

TAUFIK ABRÃO

Engenheiro Eletricista, Escola Politécnica da USP, 1992

**CIRCUITOS INTEGRADOS DIGITAIS
DE ALTA VELOCIDADE EM GaAs:
DEMULTIPLEXADOR DE 16 CANAIS
EM 2,5 Gb/s**

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientadora: Dra. FÁTIMA SALETE CORRERA

**São Paulo
1996**

TAUFIK ABRÃO

Engenheiro Eletricista, Escola Politécnica da USP, 1992

**CIRCUITOS INTEGRADOS DIGITAIS
DE ALTA VELOCIDADE EM GaAs:
DEMULTIPLEXADOR DE 16 CANAIS
EM 2,5 Gb/s**

*Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo como parte
dos requisitos necessários à obtenção do
título de Mestre em Engenharia Elétrica.*

Área de Concentração:

MICROELETRÔNICA

Orientadora:

Dra. FÁTIMA SALETE CORRERA

São Paulo

1996



**UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA**

**TERMO DE JULGAMENTO
DE
DEFESA DE DISSERTAÇÃO DE MESTRADO**

Aos 21 dias do mês de maio de 1996, às 10:00 horas, no Departamento de Engenharia Eletrônica da Escola Politécnica da Universidade de São Paulo, presente a Comissão Julgadora, integrada pelos Senhores Professores Doutores Fátima Salete Correra, orientadora do candidato, José Vieira do Vale Neto e Ricardo Guerra Pereira iniciou-se a Defesa de Dissertação de Mestrado do Senhor **TAUFIK ABRÃO**.

Título da Dissertação: "CIRCUITOS INTEGRADOS DIGITAIS DE ALTA VELOCIDADE EM GaAs: DEMULTIPLEXADOR DE 16 CANAIS EM 2,5 Gb/s".

Concluída a argüição, procedeu-se ao julgamento na forma regulamentar, tendo a Comissão Julgadora Atribuído ao candidato as seguintes notas:

Profa.Dra. Fátima Salete Correra.....(10)..(dez)

Prof. Dr. José Vieira do Vale Neto.....(10)..(dez)

Prof. Dr. Ricardo Guerra Pereira.....(10)..(dez)

Para constar, é lavrado o presente termo, que vai assinado pela Comissão Julgadora e pela Secretária de Pós-Graduação.

São Paulo, 21 de maio de 1996.

Presidente: Fátima Salete Correra

Ricardo Guerra Pereira José Vieira do Vale Neto

Secretária Mara Fátima de Jesus Luz Sanches

Observações: Aprovado "COM LOUVOR"

Homologado pela C.P.G. em reunião realizada à 17/06/1996.

PEE

Universidade de São Paulo
Biblioteca da Escola Politécnica

FD-1920

*À minha família e
À Maria Josefa,*

com carinho.

Este trabalho foi realizado com o apoio financeiro das seguintes entidades:

- **Laboratório de Microeletrônica da USP - LME USP**
- **CPqD-Telebrás, contratos Telebrás-USP JDPqD-516/93 e JDPqD-586/94**

AGRADECIMENTOS

À minha orientadora Dra. Fátima Salete Correra, pela orientação, dedicação e amizade, que muito contribuíram para a minha formação;

Ao Dr. Edmar Camargo, pela iniciação às atividades acadêmicas na área de microondas;

Ao Dr. José Kleber da Cunha Pinto, coordenador geral do Laboratório de Microeletrônica;

A todos os colegas do Laboratório de Microeletrônica da USP, pela compreensão, pelo respeito e incentivo durante a realização deste trabalho.

Aos colegas do CPqD/TELEBRÁS, pela realização do leiaute do circuito projetado e pela contribuição na caracterização do CI.

Ao Dr. Wilhelmus Van Noije do Laboratório de Sistemas Integráveis da USP, LSI, pelo empréstimo de equipamentos por ocasião da caracterização final do CI.

A todos aqueles que de uma forma ou de outra colaboraram para a realização deste trabalho.

SUMÁRIO

LISTA DE SIGLAS

LISTA DE SÍMBOLOS

RESUMO

“ABSTRACT”

1. INTRODUÇÃO

1.1 BREVE HISTÓRICO E APLICAÇÕES DE CI's EM GaAs	1
1.2 OBJETIVOS DA DISSERTAÇÃO	3
1.2.1 Capacitação em projetos de alta velocidade	4
1.2.2 Uso de Foundry Externa	6
1.3 DESCRIÇÃO DO CONTEÚDO DOS CAPÍTULOS	7

2. TECNOLOGIAS DE CI's DIGITAIS DE ALTA VELOCIDADE

2.1 INTRODUÇÃO	8
2.2 COMPARAÇÃO COM OUTRAS TECNOLOGIAS	8
2.3 FAMÍLIAS LÓGICAS QUE EMPREGAM MESFET EM GaAs	13
2.3.1 Portas lógicas Normalmente-ON	17
2.3.2 Portas lógicas Normalmente-OFF	20
2.3.3 Desempenho em termos do produto velocidade - consumo de potência	32
2.4 FOUNDRIES DE CI's DIGITAIS DE ALTA VELOCIDADE EM GaAs COM SERVIÇOS MULTI-USUÁRIOS	36
2.4.1 Critérios de seleção de foundry	37
2.4.2 Foundries selecionadas	39
2.4.3 Conclusões da análise comparativa dos serviços de foundry	44

3. DEMULTIPLEXADOR DE ALTA VELOCIDADE: TOPOLOGIAS

3.1 INTRODUÇÃO	46
3.2 CRITÉRIOS PARA A SELEÇÃO DA TOPOLOGIA DO DEMUX	46

3.2.1 Funcionalidade	47
3.2.2 Compactação: número de elementos ativos necessários	48
3.2.3 Realização da topologia em termos de células padrão	49
3.3 TOPOLOGIAS DE DEMULTIPLEXADOR ANALISADAS	49
3.3.1 Registrador de Deslocamento Clássico	49
3.3.2 Registrador de Deslocamento Modificado I	52
3.3.3 Registrador de Deslocamento Modificado II	54
3.3.4 Circuito de Controle (Divisores)	56
3.3.4.a Contador Síncrono (ou Anel)	56
3.3.4.b Contador “Ripple” (ou Assíncrono)	59
3.3.5 Árvore com flip-flop tipo tipo D	61
3.3.6 Árvore com flip-flop tipo D e Tristage	64
3.3.7 Árvore com flip-flop tipo Tristage e latch tipo Freeze	68
3.3.8 Árvore com seletores 1:2	72
3.3.9 Paralela	76
3.3.9.a Paralela com flip-flop tipo D	77
3.3.9.b Paralela com flip-flop tipo D/Tristage	79
3.3.10 Árvore-Paralela com flip-flop tipo D/Tristage	81
3.3.11 Primeiro Divisor por 2: implementações alternativas	84
3.3.11.a Divisor por 2 Regenerativo	84
3.3.11.b Divisor por 2 Dinâmico	86
3.3.12 Comparação entre Topologia Árvore e Registrador de Deslocamento	89
3.4 TOPOLOGIAS DE CIRCUITO DE SKIP ANALISADAS	94
3.4.1 Skip Série empregando seletor 2:1 ou XOR	95
3.4.2 Skip Série empregando registrador de deslocamento	97
3.4.3 Skip Série empregando contador módulo 3	98
3.4.4 Skip Paralelo com seletores 2:1 e remultiplexagem	99
3.4.5 Skip Paralelo empregando XOR nos ramos dos sinais de relógio	101
3.4.6 Comparação entre circuitos de Skip analisados	105
3.5 CONCLUSÕES	106

4. PROJETO DO DEMULTIPLEXADOR

4.1 INTRODUÇÃO	107
4.2 ESPECIFICAÇÕES DO CI	108
4.3 SELEÇÃO DA FOUNDRY E CONSEQUENTES RESTRIÇÕES	109
4.3.1 Características da foundry TriQuint Semiconductor	109
4.3.2 Limitações da taxa de operação das células padrão da TriQuint	111

4.3.3 Limitações do projeto devido ao uso da foundry TriQuint	113
4.3.4 Sub-Blocos integrantes do demultiplexador especificado	113
4.3.5 Características globais de entrada e saída do demultiplexador	115
4.4 TOPOLOGIA DE DEMULTIPLEXADOR E DE SKIP ESCOLHIDAS	118
4.5 CONSIDERAÇÕES DE PROJETO EM TAXAS DE Gb/s EMPREGANDO CÉLULAS PADRÃO QLSI-TriQuint	120
4.5.1 Considerações Gerais	120
4.5.2 Parâmetros Potência-Velocidade e Carregamento Capacitivo	127
4.5.3 Projeto do Demultiplexador 1:4 e 1:16	132
4.5.4 Projeto dos Divisores de Relógio	134
4.5.5 Projeto do Circuito de Seleção de Modo Demux 1:4/1:16 e do Circuito Desabilitador das Saídas	136
4.5.6 Projeto do Circuito de Skip Série empregando Seletores 2:1 Modificado...	139
4.5.7 Projeto do Circuito Habilitador do Modo de Relógio CK/2	142
4.5.8 Avaliação da Área necessária	146
4.6 SIMULAÇÕES LÓGICAS	150
4.6.1 Vetores de Testes Longos	151
4.7 CONSIDERAÇÕES DE LEIAUTE	156
4.7.1 Procedimento geral de leiaute	157
4.7.2 Considerações sobre o "floorplanning" utilizado	160
4.7.3 Roteamento	160
4.7.4 Resultados da extração de parasitas - "back-annotation"	161
4.7.5 Pontos críticos no desenvolvimento do leiaute	162
 5. RESULTADOS EXPERIMENTAIS DO DEMULTIPLEXADOR	
5.1 INTRODUÇÃO	164
5.2 CARACTERIZAÇÃO DE DEMULTIPLEXADORES DE ALTA VELOCIDADE	164
5.3 MEDIDAS	166
5.3.1 Setup de Medidas	167
5.3.2 Parâmetros Medidos e Resultados	170
5.4 COMPARAÇÃO DOS RESULTADOS COM OS DA LITERATURA	182
5.5 CONCLUSÕES	185

6. CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

6.1 CONCLUSÕES GERAIS	186
6.2 SUGESTÕES PARA TRABALHOS FUTUROS	187

7. APÊNDICES

APÊNDICE A4.1.a	188
APÊNDICE A4.1.b	188
APÊNDICE A4.2	189
APÊNDICE A4.3	195
APÊNDICE A5.1	203
APÊNDICE A5.2	203

8. REFERÊNCIAS BIBLIOGRÁFICAS

LISTA DE SIGLAS

BDCFL	Buffered DCFL
BER	Taxa de Erro de Bit
BFL	Buffer FET Logic
BW	Faixa de frequência de passagem
B-ISDN	Broadband Integrated Services Digital Networks
CAE	Computer Aided Engineering
CCFL	Capacitor-Coupled FET Logic
CDFL	Capacitor-Diode FET Logic
CMOS	Complementar MOS
CMRR	Relação de rejeição em modo comum de amplificação (em amplificadores diferenciais)
DCFL	Direct Coupled FET Logic
D-FET	FET de modo depleção, $V_{th} < 0V$
E-FET	FET de modo enriquecimento, $V_{th} > 0V$
GaAs	Arseneto de Gálio
Gb/s	Gigabits por segundo
HBT	Heterojunction Bipolar Transistor
HEMT	High Electron Mobility Transistor
LBFL	Low Power BFL
LSCFL	Low Power Source Coupled FET Logic
LSI	Circuito integrado com escala de integração alta
MESFET	Metal-Semiconductor Field Effect Transistor
MMIC	Monolithic Microwave Integrated Circuit
MOS	Metal Oxid Semiconductor
MSI	Circuito integrado com escala de integração média
NMOS	MOS canal n
PCM	“Process Control Monitor”: estruturas padrão para o monitoramento dos parâmetros de processo durante as etapas de construção de CI's.
QFL	Quasi-FET Logic
RO	Oscilador em anel
SCFL	Source Coupled FET Logic

SDFL	Schottky Diode FET Logic
SDH	Synchronous Digital Hierarchy
SONET	Synchronous Optical Network
OC-12	Sistema de comunicação de padrão SONET com taxa de 622 Mb/s, equivalente ao sistema de padrão SDH STM-4
OC-48	Sistema de comunicação de padrão SONET com taxa de 2,488 Gb/s, equivalente ao sistema de padrão SDH STM-16
VLSI	Circuito integrado com escala de integração muito alta

LISTA DE SÍMBOLOS

$C_{fan-out}$	Somatória das capacitâncias de entrada, C_{in} , de todas as células conectadas à saída da célula analisada.
C_{gd}	Capacitância porta-dreno de um transistor MESFET
C_{in}	Capacitância de entrada característica da porta lógica
C_{load}	Capacitância total de carga na saída da célula
C_{12}	Capacitância de crosstalk, ou entre linhas de interconexão adjacentes, separadas por uma distância s
C_{wire}	Capacitância parasitária das trilhas de interconexão entre células
DC	Ciclo de trabalho de um sinal periódico
Demux $1:2^N$	Demultiplexador de ordem N
FI	Fan-in de uma porta lógica
FO	Fan-out de uma porta lógica
f_{osc}	Frequência de oscilação de um oscilador em anel
f_T	Frequência de operação na qual o ganho de corrente do transistor é unitário
f_{toggle}	Frequência máxima de operação de um elemento de memória configurado como divisor por dois.
H	Espessura do substrato semiconductor
J_S	Densidade de corrente reversa do diodo
K	Taxa de ocupação da tensão de dreno durante o tempo de transição de nível lógico "1" → "0"
l	Comprimento físico da conexão metálica entre células
L_g	Comprimento de canal do MESFET
Loading Delay	Fator de sensibilidade ao carregamento de saída de uma célula
Load Delay _{max}	Atraso de carregamento máximo permitido em uma célula devido ao carregamento capacitivo de saída
m	Número ímpar de inversores em um oscilador em anel
M.F.	Margem de Fase
n	Fator de idealidade do diodo
N	Ordem de multiplexagem e/ou demultiplexagem
NI	Imunidade a ruído

NM	Margem de Ruído de uma porta lógica
NM^0	Margem de Ruído para o nível lógico de entrada “0”
NM^1	Margem de Ruído para o nível lógico de entrada “1”
P_{diss}	Potência consumida por uma porta lógica
R_{on}	resistência de saída do transistor em condução
R_{sheet}	Resistência de folha de um metal de interconexão
R_{wire}	Resistência série das trilhas de interconexão entre células
s	Espaçamento entre duas interconexões metálicas adjacentes
T	Período do sinal de relógio ou duração do sinal de dados em um demultiplexador
t_f	Tempo para o sinal lógico na saída de uma porta lógica excursionar de “1” até “0”, medido entre 10 e 90% ou 20 e 80% das tensões nominais correspondentes aos níveis lógicos.
t_{hold}	Tempo de manutenção do dado em um flip-flop
t_{pw}	Largura de pulso mínima em uma porta lógica ou elemento de memória.
t_r	Tempo para o sinal lógico na saída de uma porta lógica excursionar de “0” até “1”, medido entre 10 e 90% ou 20 e 80% das tensões nominais correspondentes aos níveis lógicos.
t_{setup}	Tempo de preparação do dado em um flip-flop
$t_{0-90\%}$	Tempo necessário para que a tensão de saída em uma rede RC varie de 0 a 90% de seu valor final
T_{CK}	Período do sinal de relógio
$T_{CK/2^N}$	Período do sinal de relógio dividido por 2^N
u.a.	Unidade de área relativa de células-padrão
V_{bi}	Potencial de junção do diodo porta-fonte
V_{ds}	Tensão dreno-fonte do transistor MESFET
V_{high}	Tensão , em volts, correspondente ao nível lógico “1”
V_{low}	Tensão , em volts, correspondente ao nível lógico “0”
V_p	Tensão de pinch-off do transistor: tensão através do canal totalmente depletado
V_{sw}	Excursão lógica, em volts, entre os níveis “0” e “1”

V_{th}	Tensão de porta-fonte de limiar acima da qual ocorre a condução do transistor
w	Largura física da conexão metálica entre células
W_g	Largura de canal do MESFET
α_{nom}	Fase relativa nominal entre o sinal de dados e de relógio, na entrada ou saída em um demultiplexador.
$\alpha_{\%}$	Desvio percentual em relação à fase relativa nominal
ϵ_r	Constante dielétrica relativa do material
$\theta_{ck2,dat}$	Fase relativa entre sinal de relógio e dados na entrada do primeiro bloco Demux 1:2, em uma topologia árvore
τ_{pd}	Tempo de propagação intrínseco do sinal através de uma porta lógica

RESUMO

Esta dissertação trata do projeto, construção e caracterização de circuitos integrados digitais de alta velocidade em Arseneto de Gálio, operando em taxas de gigabits por segundo. Circuitos digitais de alta velocidade são essenciais para melhorar o desempenho de computadores, sistemas de comunicação de alta capacidade, sistemas eletrônicos militares e de instrumentação. Circuitos integrados monolíticos em Arseneto de Gálio apresentam um bom compromisso entre consumo de potência e taxa de operação na faixa de gigabits por segundo, sendo uma solução para aplicações em alta velocidade.

Neste trabalho são apresentadas as principais famílias lógicas estáticas implementáveis a partir de transistores MESFETs de GaAs, bem como uma análise comparativa de suas características.

São abordadas as principais questões relativas ao projeto de circuitos integrados de alta velocidade através do projeto detalhado de um demultiplexador no tempo. O circuito foi projetado visando operar até 2,5 Gb/s com dois modos de demultiplexagem, 1:4 e 1:16, e integra um circuito rotacionador de bits de saída. Analisa-se as topologias desses dois tipos de circuito, apresentando-se o projeto de um demultiplexador empregando topologia tipo árvore com flip-flop tipo D e Tristage, a qual associa alta velocidade de operação e baixo consumo de potência. O circuito rotacionador de bits integrado ao demultiplexador utilizou uma topologia inédita, proposta a partir de modificações de circuitos encontrados na literatura.

O circuito projetado foi construído utilizando-se um serviço de foundry de GaAs disponível comercialmente, empregando células padrão SCFL que usam transistores MESFETs com comprimento de porta de 1 μm . A área total utilizada no processamento do circuito integrado foi de 2,78 x 2,78 milímetros quadrados.

São discutidas questões relativas à caracterização de circuitos integrados de alta velocidade, apresentando-se os resultados da caracterização do demultiplexador projetado.

O circuito construído demonstrou operar corretamente em ambos os modos de demultiplexagem até a taxa de 2,7 Gb/s, com consumo médio total de 1,4 W. Verificou-se a correta atuação do circuito rotacionador de bits, comprovando-se a efetividade da topologia proposta.

As características do circuito integrado projetado demonstraram que o mesmo pode ser utilizado no processamento de sinais elétricos em sistemas de comunicações ópticas com padrões SDH e SONET.

“ABSTRACT”

The subject of this work is the design, construction and characterization of digital integrated circuits on Gallium Arsenide, operating at gigabits per second rates. High speed digital circuits are essential to improve the performance of computers, high capacity communication systems, military systems and instrumentation. Gallium Arsenide monolithic integrated circuits are a solution for high speed applications, presenting low power consumption at gigabits per second operating range.

This work presents the main static logic families employing GaAs MESFETs and a comparison among their characteristics. The main issues on the design of high speed digital integrated circuits are discussed and applied to the design of a demultiplexer circuit. This circuit was designed to operate up to 2.5 Gb/s as a 1:4 or a 1:16 demultiplexer and integrates a skip circuit. Topologies for high speed demultiplexer and skip circuits are analyzed and the design of a demultiplexer employing tree type architecture and D-type and Tristate flip-flops is presented in detail. The skip circuit was designed employing a new topology obtained modifying circuits presented in the literature.

The designed circuit was constructed using a commercially available foundry service based on a 1 micron MESFET technology. The design approach employed SCFL standard cells. The resulting chip area is 2.78 x 2.78 millimeters square.

Issues on characterization of high speed digital circuits are discussed and the experimental results of the demultiplexer are presented.

The circuit demonstrated correct operation in both 1:4 and 1:16 demultiplexing modes, operating up to 2.7 Gb/s with 1.4 W of power consumption. The correct operation of the skip circuit demonstrated the effectiveness of the circuit topology proposed in this work.

The performance of the demultiplexer with the integrated skip circuit allows its use on signal processing at optical communication systems using SDH and SONET standards.

Capítulo 1

1. INTRODUÇÃO

1.1 BREVE HISTÓRICO E APLICAÇÕES DE CI's EM GaAs

Circuitos digitais de alta velocidade são componentes importantes na obtenção de melhores desempenhos em sistemas de comunicação, computadores, sistemas eletrônicos militares e instrumentação. Circuitos integrados baseados em substratos de Arseneto de Gálio, GaAs, aparecem como uma boa solução para aplicações de alta velocidade, apresentando a vantagem da baixa dissipação de potência em taxas de Gb/s.

Particularmente, sistemas de comunicação ópticas com grande capacidade de transmissão de dados têm representado uma das áreas de ampla aplicação de CI's digitais de alta velocidade. O desenvolvimento destes sistemas foi estimulado pela necessidade crescente de comunicação em todo o mundo nos últimos anos. O sistema "Broadband Integrated Services Digital Networks", B-ISDN, é um exemplo de sistema de comunicação de alta capacidade com serviços de voz, dados e vídeo integrados, e portanto só pode ser implementado empregando canais físicos de elevada largura de banda de passagem, BW, como por exemplo a combinação de fibra óptica e circuitos digitais capazes de processar sinais em taxas de Gb/s. A figura 1.1 apresenta o diagrama de blocos simplificado para um sistema de comunicações por fibra óptica de longa distância em 2,5 Gb/s. Pode-se citar os seguintes circuitos elétricos integrantes do sistema: "laser driver", amplificador de transimpedância, chave "crosspoint", multiplexador, demultiplexador, deslocador de fase, circuito de decisão e recuperador de relógio. O exemplo mostra como combinar 16 canais independentes de 155 Mb/s em um único canal, multiplexado no tempo, com taxa de 2,5 G/s. Genericamente, ter-se-ia no transmissor um multiplexador de ordem de multiplexagem N com 2^N entradas, onde N é inteiro, e, no receptor, um demultiplexador de mesma ordem de demultiplexagem, N. Quando se adota a multiplexagem de canais no tempo, pode-se obter um ganho real de sistema devido à drástica redução do número de receptores, fibras ópticas, etc. Este ganho é ainda maior quando as distâncias entre transmissor e receptor são consideráveis, da ordem de centenas ou mesmo milhares de quilômetros.

Sistemas de comunicação ópticas têm-se mostrados bastante eficientes na transmissão de informação em taxas de Gb/s, além de apresentar inúmeras vantagens em relação aos sistemas de comunicação por microondas, como por exemplo imunidade a interferência eletromagnética e maior capacidade de transmissão de informação. Os padrões digitais de comunicação de mais alta capacidade SDH (Synchronous Digital Hierarchy), de origem européia, e o americano SONET (Synchronous Optical Network)

1. Introdução

estão operando atualmente nas taxas de 2,5 e 10 Gb/s, sistemas STM-16, OC-48 e STM-64, OC-192, respectivamente.

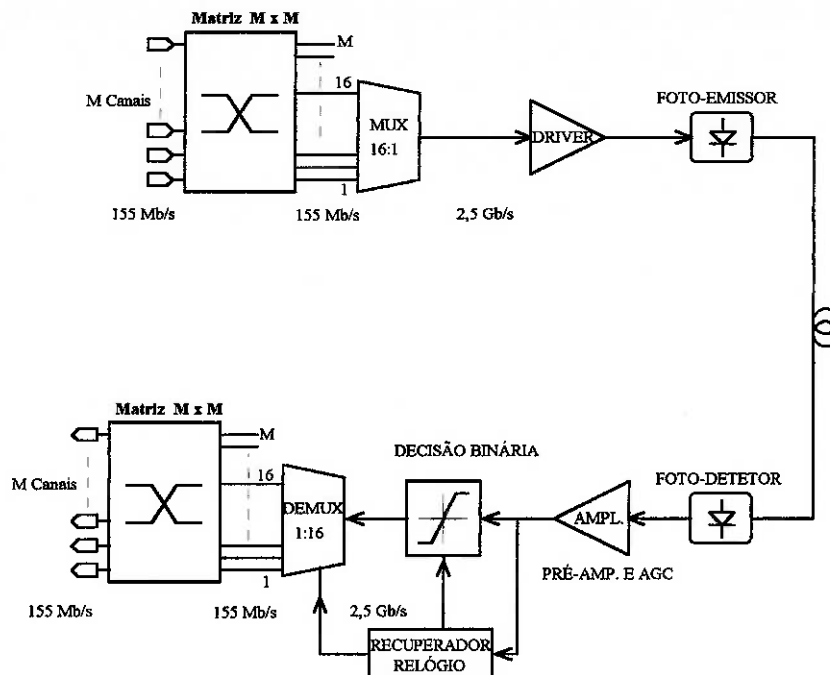


Figura 1.1 Diagrama de blocos de um enlace óptico para comunicação a longa distância.

Historicamente, o primeiro circuito digital comercial em GaAs operando em Gigabits por segundo foi anunciado em 1983¹, e o primeiro guia de circuitos em GaAs, incluindo circuitos digitais e analógicos, foi publicado em 1986². Os primeiros CI's digitais em GaAs foram baseados na tecnologia MESFET, a qual ainda hoje é a tecnologia mais usada. Recentemente, projetos de CI's digitais de alta velocidade empregando dispositivos HEMT e HBT, baseados em heteroestruturas, têm sido largamente relatados, demonstrando o potencial destas tecnologias emergentes na obtenção de taxas de operação mais altas³⁻⁵.

Já a disponibilidade de serviços externos de foundry em GaAs está permitindo aos projetistas acessar processos de fabricação bem estabelecidos. Assim, a tarefa desafiadora de desenvolvimento de CI's de alta velocidade em GaAs tornou-se mais viável. Algumas foundries de GaAs oferecem serviços de prototipagem multi-usuário de baixo custo, viabilizando as atividades de projeto de grupos de P&D, bem como as atividades de investigação acadêmica.

1.2 OBJETIVOS DA DISSERTAÇÃO

Os objetivos dessa dissertação foram desenvolver capacitação em projeto, construção usando foundry externa e caracterização de CI's digitais de alta velocidade em GaAs.

Para a realização desses objetivos optou-se pelo projeto de um demultiplexador de sinais operando na faixa de 2,5 Gb/s, com características que permitisse seu uso em sistemas profissionais de comunicação óptica.

As especificações do demultiplexador e o suporte financeiro para a fabricação do mesmo foram fornecidos pelo CPqD da Telebrás.

A fim de atingir tais objetivos, foram realizadas as seguintes atividades relacionadas a CIs digitais de alta velocidade em GaAs:

- estudo de famílias lógicas para taxas de Gb/s;
- estudo comparativo das diversas topologias de demultiplexadores;
- treinamento em ferramentas de projeto de CI's digitais: CADENCE EDGE (SOLLO 2000) e GDT V.5.2;
- realização de um projeto completo - captura esquemática, simulação, leiaute e simulação pós-leiaute - de um CI MSI empregando células padrão;
- emprego de técnicas de leiaute em altas taxas;
- uso de foundry externa na fabricação de um demultiplexador em GaAs;
- capacitação em medidas digitais de alta taxas (Gb/s).
- caracterização elétrica em taxas de Gb/s do CI MSI processado.

Na etapa de definição de objetivos considerou-se a possibilidade de realizar o projeto do demultiplexador ao nível de transistor. Obviamente, um projeto ao nível de transistor permite obter funções lógicas mais compactas, justamente pelo fato do usuário poder projetar células dedicadas segundo as necessidades do circuito, resultando muitas vezes em menor consumo de potência para o mesmo desempenho de velocidade. No entanto, optou-se por realizar o demultiplexador empregando-se células padrão de uma biblioteca pelas seguintes razões:

- ênfase do presente trabalho relaciona-se ao estudo de topologias de demultiplexadores e não à otimização de células básicas;
- as bibliotecas já contém portas lógicas otimizadas quanto a área, potência e taxa de operação;
- os dados referentes às células padrão permitem uma comparação realista entre topologias de demultiplexador, quando realizadas a partir da mesma tecnologia.

1.2.1 Capacitação em projetos de alta velocidade

Tendo em vista a inserção do circuito em receptores ópticos, optou-se pelo desenvolvimento de um demultiplexador com taxa de operação estimada em 2,5 Gb/s com 16 canais de saída ou, alternativamente, em 622 Mb/s com 4 canais de saída, visando atender aos padrões de comunicação SDH STM-16 ou STM-4, e, equivalentemente, padrões SONET OC-48 ou OC-12. O CI projetado incluiu também um circuito de “skip” que permite deslocar os dados presentes nas saídas demultiplexadas para as saídas adjacentes, permitindo obter o correto alinhamento de quadro. Essa escolha foi motivada pelo interesse acadêmico em dominar técnicas de projeto e de caracterização de CI's digitais de alta velocidade em GaAs, conjuntamente aos objetivos do CPqD-Telebrás que, através dos contratos Telebrás-USP JDPqD 516/93 e JDPqD 586/94, financiou o processamento do CI em foundry externa e colocou à disposição equipamentos de medidas de taxas altas, necessários à realização da caracterização do CI.

O CI foi construído a partir de uma tecnologia de foundry comercialmente disponível, empregando-se MESFETs com comprimento de porta de 1 μm . Representa, até onde é de nosso conhecimento, o primeiro resultado de engenharia brasileira em projeto de CI de GaAs operando em taxas de Gb/s. Este trabalho aborda técnicas de projeto e de medidas de CI's digitais de alta velocidade em GaAs de média escala de integração (MSI).

Procurou-se desenvolver todas as etapas de projeto do CI demultiplexador, bem como habilitar-se para uso de foundry externa necessária ao processamento do circuito e, finalmente, realizar a caracterização do CI digital de alta velocidade.

A figura 1.2 sintetiza as principais etapas de projeto e caracterização de um CI digital de alta velocidade em GaAs. O processo como um todo é similar àquele empregado em CI's de baixa taxa em Si. A diferença reside nos procedimentos de simulação e de layout que devem considerar os elementos parasitas das interconexões internas ao CI. Estes elementos parasitas afetam fortemente o desempenho do circuito em alta velocidade. A etapa de caracterização em alta velocidade requer cuidados especiais devido aos efeitos de parasitas associados às conexões e transições, presentes na “jig” de teste.

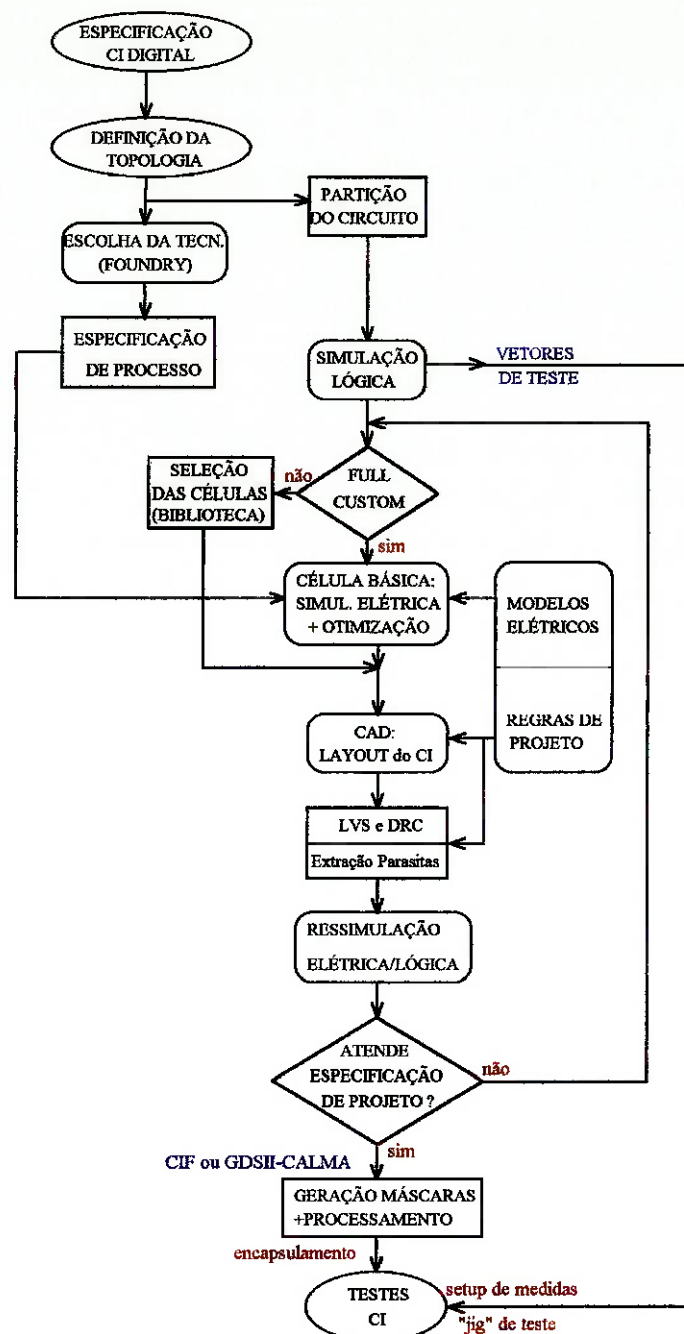


Figura 1.2 Fluxograma das principais etapas de projeto e caracterização de um CI digital de GaAs.

Neste esquema, parte-se de uma especificação funcional do circuito digital a ser projetado. Se este for demasiado complexo, deve-se fazer partições em sub-blocos funcionais menores. As características lógicas do circuito e da foundry selecionada determinarão se a abordagem de projeto será ao nível de transistor, ou baseada exclusivamente em células padrão de uma biblioteca já disponível, ou ainda uma abordagem mista que mescle as duas filosofias de projeto. Caso haja uma biblioteca de células padrão a qual possua todas as portas lógicas necessárias à implementação do circuito, então simulações lógicas serão suficientes para se garantir o desempenho desejado do circuito. Simulações elétricas adicionais serão necessárias caso o usuário

1. Introdução

necessite otimizar novas células não disponíveis na biblioteca, para o caso de se empregar abordagem mista. Normalmente, são necessários algumas ressimulações elétricas e/ou lógicas para otimização do desempenho do circuito projetado. Após a realização do leiaute, devem ser extraídos os valores das capacitâncias e resistências parasitárias, associados às interconexões que deverão ser considerados nas ressimulações pós-leiaute. Obtido finalmente o desempenho desejado, pode-se enviar para a foundry o arquivo que descreve o leiaute do circuito através de figuras geométricas, normalmente em formato GDSII-Calma ou CIF. Após o processamento, as amostras recebidas da foundry podem finalmente ser caracterizadas empregando técnicas e “jig” de teste de alta velocidade.

1.2.2 Uso de Foundry Externa

A tarefa complexa e sofisticada de obtenção de um CI digital de alta velocidade, do projeto ao teste, pode ser subdivida em três fases: o projeto, o processamento e, finalmente, a caracterização do CI. O acesso a foundries externas de GaAs com processos de fabricação bem estabelecidos permite ao projetista obter circuitos no estado atual da arte, trabalhando apenas em técnicas de projeto e caracterização.

A disponibilidade de foundries externas que processam CI digitais de GaAs torna possível a formação de projetistas de CI de alta velocidade ao nível nacional. Mesmo porque existindo a opção de processamento onde vários usuários compartilham a mesma lâmina, a fabricação de CI em GaAs empregando foundry externa possibilita a redução dos custos de protótipos, viabilizando projetos de caráter experimental e de investigação.

No entanto, o uso de foundry externa requer do projetista a adequação de seu ambiente de projeto ao da foundry, que envolve um amplo suporte de projeto para um determinado processo tecnológico, incluindo arquivos de descrição e de verificação de regras de projeto, arquivos de bibliotecas de elementos e células padrão e arquivos de modelos elétricos. Este suporte, em geral, está disponível somente para determinados softwares comerciais de projeto, o que pode, ocasionalmente, exigir do projetista um trabalho adicional de adaptação desses arquivos para outras ferramentas computacionais disponíveis.

Regra geral, são necessários 5 a 6 meses para se percorrer o ciclo completo de processamento de um CI em foundry externa na opção multi-usuário, do envio do leiaute do circuito ao recebimento das amostras encapsuladas.

1.3 DESCRIÇÃO DO CONTEÚDO DOS CAPÍTULOS

Apresenta-se nos próximos capítulos considerações de projeto e resultados experimentais do demultiplexador de alta velocidade com circuito alinhador de bits proposto. No capítulo 2 são discutidas questões referentes ao desenvolvimento de CI's digitais de alta velocidade em GaAs, sendo abordados os itens: comparação com outras tecnologias, principais famílias lógicas de alta velocidade atualmente implementáveis em GaAs e critérios de seleção de foundry externa.

No capítulo 3 é feita extensa análise comparativa das topologias de demultiplexadores e circuitos de "skip" encontrados na literatura à luz de critérios de excelência previamente estabelecidos.

O projeto do circuito integrando os dois modos de demultiplexagem e o rotacionador de bits de saída é descrito no capítulo 4. São feitas considerações de projeto e de leiaute do CI baseado no uso de células padrão tendo em vista a otimização do compromisso velocidade versus consumo de potência.

O capítulo 5 apresenta os resultados da caracterização elétrica das amostras do demultiplexador recebidas da foundry. Inicialmente são apresentados os principais parâmetros associados à caracterização de demultiplexadores com taxas de operação em Gb/s. Apresenta-se a seguir o setup de medidas e os resultados experimentais obtidos, comparando-os com os resultados das simulações lógicas do circuito projetado e com os resultados das principais publicações internacionais.

Finalmente, são apresentadas no capítulo 6 as conclusões e sugestões para trabalhos futuros, obtidas durante o processo de ordenação das idéias subjacentes ao período de realização deste trabalho.

Capítulo 2

2. TECNOLOGIAS DE CI's DIGITAIS DE ALTA VELOCIDADE

2.1 INTRODUÇÃO

Nesta seção é feita uma breve comparação entre as tecnologias de GaAs e Si, destacando-se suas principais propriedades elétricas visando a construção de circuitos integrados de alta velocidade. A seguir, resume-se as características das famílias lógicas estáticas mais empregadas em GaAs. Classifica-se as estruturas lógicas de alta velocidade, do ponto de vista do tipo de transistor utilizado, dividindo-as em lógicas normalmente-ON ou normalmente-OFF. Finalmente, é feita uma avaliação das foundries de GaAs digitais existentes. São estabelecidos critérios para seleção de foundry, visando a escolha de uma foundry comercial para a realização da prototipagem do CI demultiplexador enfocado neste trabalho.

2.2 COMPARAÇÃO COM A TECNOLOGIA DE SILÍCIO

A realização de CIs digitais empregando tecnologias de GaAs com potencialidades de alta velocidade e baixo consumo de potência apresenta certa dificuldade de obtenção, uma vez que é necessário obter simultaneamente:

- a) baixíssimos atrasos de propagação, τ_{pd} ,
- b) reduzido consumo de potência por porta lógica, P_{diss} ;
- c) produto consumo de potência-velocidade, $P_{diss} \cdot \tau_{pd}$, reduzido;
- d) densidade de integração muito elevada, VLSI;
- e) maturidade e bom rendimento de processo tecnológico;

As tecnologias disponíveis de circuitos integrados rápidos baseadas em silício, a bipolar e a MOS, apresentam algumas vantagens de processo e material quando comparadas com a tecnologia GaAs^{6,7}:

- fácil purificação;
- fácil formação de cristal;
- crescimento epitaxial bastante simples;
- alta integridade no crescimento do óxido, contribuindo para o aumento do rendimento.

Um dos principais compromissos feitos em projetos de CI's digitais refere-se ao desempenho da estrutura projetada em função do rendimento obtido. O rendimento global é definido como a fração dos chips que satisfazem aos critérios de desempenho

previamente especificado. Tanto o processo quanto o projeto do circuito afetam o rendimento global. O rendimento de processo envolve o controle de largura de linha, número de passos de máscaras, etc. É caracterizado simplesmente pela densidade de defeitos nas lâminas processadas. Já o rendimento de projeto, relaciona-se a escolha da topologia do circuito e à robustez de funcionamento do CI face às variações dos parâmetros do transistor. Um projeto lógico pode ser otimizado para funcionar sobre toda ou apenas uma porção do espalhamento dos parâmetros do processo de fabricação empregado.

Adicionalmente, existem mecanismos de processo tecnológico que possibilitam melhorar o desempenho de velocidade dos CI's. A tecnologia MOS tem se beneficiado destes mecanismos, uma vez que essa tecnologia encontra-se em fase bastante amadurecida. Primeiro, aumentando-se a tensão de alimentação e a excursão lógica, incrementa-se a transcondutância média dos dispositivos ativos, ou dito de outra forma, aumenta-se o produto *ganho de corrente - faixa de passagem*, obtendo-se a maximização da frequência de transição, f_T , devido ao ponto de polarização do transistor. Finalmente, reduzindo-se a geometria dos dispositivos (MOS de canal curto) até o limite da resolução do processo foto-litográfico, além de se elevar a velocidade de operação, aumenta-se também o nível de integração. No entanto, surgem problemas quando se adota estes dois procedimentos. O aumento da tensão de alimentação traz aumento de consumo de potência e da energia dinâmica de chaveamento, a qual pode atingir níveis inaceitáveis para obtenção de circuitos com escala VLSI. Já o contínuo reescalonamento dos dispositivos atinge rapidamente o patamar de rendimento de processo inaceitável, resultando em custos e complexidade de processo elevados. Relatos na literatura para osciladores em anel construídos com tecnologia Si MOS submicrométrico apontam para desempenho excelente, com atrasos de propagação da ordem de 100 ps. No entanto, estes resultados não são reprodutíveis em escala comercial devido aos baixos níveis de rendimento e às altas energias de chaveamento associadas.

A emergência do GaAs como material de alto desempenho na obtenção de CI's de alta velocidade é resultado não apenas das suas propriedades básicas de semiconductor, mas também do compromisso favorável entre um grande número de aspectos, incluindo propriedades elétricas, implementação de dispositivos, faixa de temperatura de operação, tolerância à radiação, etc. O quadro 2.1⁸ compara as principais características elétricas do Silício do Arseneto de Gálio para a realização de dispositivos eletrônicos e circuitos integrados, considerando temperatura ambiente.

Quadro 2.1 Características elétricas do Arseneto de Gálio do Silício

Propriedade Elétrica (@ Temp = 300 K)	Símbolo	Unidade	GaAs	Silício
Mobilidade elétrica ($N = 10^{17} \text{ cm}^{-3}$)	μ_n	cm^2/Vs	5000	800
Mobilidade das lacunas ($N = 10^{17} \text{ cm}^{-3}$)	μ_p	cm^2/Vs	250	350
Concentração intrínseca de portadores	n_i	cm^{-3}	$9,0 \cdot 10^6$	$1,45 \cdot 10^{10}$
Velocidade máxima de deriva do elétron	V_d	cm/s	$2 \cdot 10^7$	$1 \cdot 10^7$
Campo elétrico crítico	E_c	V/cm	$3 \cdot 10^3$	$1 \cdot 10^4$
Campo elétrico de ruptura		V/cm	$4 \cdot 10^5$	$3 \cdot 10^5$
Intervalo da banda de energia proibida		eV	1,43	1,12
Tipo de Intervalo de energia	-	-	direto	indireto
Densidade de estados na banda de condução		cm^{-3}	$5 \cdot 10^{17}$	$3 \cdot 10^{19}$
Resistividade máxima	ρ	$\Omega \cdot \text{cm}$	$\sim 10^9$	$\sim 10^5$
Tempo de vida dos portadores minoritários		seg.	10^{-8}	10^{-3}
Altura da barreira Schottky	ϕ_B	V	0,6-0,8	0,4-0,6
Condutividade térmica		$\text{W/cm} \cdot ^\circ\text{C}$	0,46	1,45
Coefficiente de dilatação	$\Delta L/(L \Delta T)$	$^\circ\text{C}^{-1}$	$5,9 \cdot 10^{-6}$	$2,5 \cdot 10^{-6}$
Permitividade Relativa	ϵ_r	-	12,9	11,7

As principais vantagens do GaAs sobre o Si na obtenção de circuitos digitais de alta velocidade⁸ são:

- *Mobilidade elétrica* do GaAs tipo n é cerca de 6 a 7 vezes mais alta que o Si. Portanto, tempos de trânsito da ordem de 5 a 10 ps, correspondendo a produtos *ganho de corrente - faixa de passagem* entre 15 e 25 GHz podem ser obtidos para transistores com L_g entre 0,5 e 1,0 μm . Estes valores para o produto ganho-BW correspondem a uma melhoria de até 5 vezes sobre os dispositivos construídos a partir do silício;
- *Propriedade semi-isolante do substrato de GaAs* (resistividade na faixa de 10^7 a $10^9 \Omega \cdot \text{cm}$ para temperatura ambiente) é outra vantagem que permite a simplificação tecnológica e otimização de desempenho: não apenas minimiza as capacitâncias parasitárias para o plano terra como proporciona também a fácil isolamento elétrica de dispositivos em um mesmo substrato;
- GaAs possui *faixa de operação de temperatura* mais ampla que o Si, entre -200°C a $+200^\circ\text{C}$ devido ao intervalo de energia mais amplo do GaAs. Além disto, o GaAs apresenta-se mais resistente à radiação devido à ausência de óxido de porta;
- *Barreira Schottky* pode ser realizada em GaAs a partir de uma ampla variedade de metais (Al, Pt, Ti, ...); obtém-se junções schottky de ótima qualidade associada a fatores de idealidade, n , menores que 1,1 e baixíssimas correntes reversa, $J_S < 1 \mu\text{A}/\text{cm}^2$. Fatores de idealidade excelentes permitem a realização de MESFETs com

características bem controladas.

- *Intervalo de energia com transição direta* entre as bandas de valência e de condução permite a recombinação radioativa eficiente de elétrons e lacunas, possibilitando que junções pn diretamente polarizadas possam ser empregadas na construção de emissores de luz; obtém-se com isto a integração eficiente de funções elétricas e ópticas.

Por outro lado, a tecnologia GaAs apresenta limitações de realização de circuitos que empreguem simultaneamente transistores tipo n e p, devido à baixa mobilidade de lacunas em relação aos elétrons, contrariamente ao que ocorre em circuitos CMOS de Si. Assim, muitas das estruturas de circuitos lógicos empregadas em Si não podem ser adaptadas para GaAs. Outro problema encontrado na tecnologia GaAs está associado à obtenção de elevados níveis de integração de dispositivos (VLSI e ULSI), uma vez que as características térmicas e também mecânicas do GaAs são inferiores às do Si. A condutividade térmica do GaAs é três vezes menor que a do Si, apresentando problemas de dissipação de potência quando o nível de integração cresce excessivamente. Por sua vez, o coeficiente de dilatação do GaAs é cerca de duas vezes maior que o do Si, que associado à pior condutividade térmica resulta em delicados problemas de montagem. Além disto, os procedimentos de fabricação em GaAs devem levar em conta a grande fragilidade do substrato, devido às pequenas espessuras, tipicamente entre 100 e 300 μm . Estes fatores são alguns dos que influenciam na obtenção de um menor rendimento de processo de fabricação na tecnologia GaAs.

Por sua vez, o Si apresenta limitações quando se trata de aplicações de alta velocidade. Atualmente, estas aplicações estão divididas em dois campos:

- computadores ultra-rápidos, com ciclos de máquina abaixo dos nanosegundos;
- sistemas de telecomunicações e de instrumentação em taxas de multi-Gigabit/s.

A primeira classe de aplicações de alta velocidade requer circuitos com níveis de integração muito alto, VLSI, e a segunda, níveis de integração alto, LSI. Uma tecnologia para circuitos digitais de alta velocidade com escala de integração elevada e muito elevada deve satisfazer os requisitos de integração, alto rendimento de processo e baixíssima energia dinâmica de chaveamento. Esta energia é definida como sendo a mínima energia necessária para se obter o chaveamento entre níveis lógicos considerando um ciclo de relógio, sendo dado pelo produto *potência dissipada - atraso*, $2 \cdot P_{\text{diss}} \cdot \tau_{\text{pd}}$. O requisito de baixa energia dinâmica de chaveamento é bastante severo: energias menores que 0,1pJ são fundamentais para se obter circuitos VLSI de alta velocidade. A figura 2.1⁷ mostra os limites entre a energia dinâmica de chaveamento e o número de portas lógicas por chip para um caso realístico de potência dissipada pelo chip de 2 W.

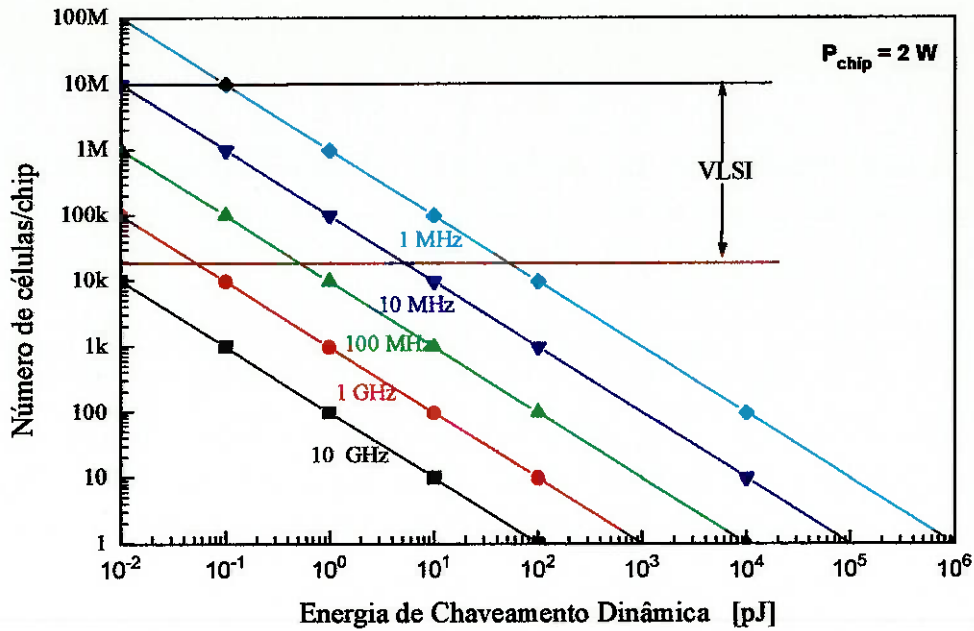


Figura 2.1 Limite para a obtenção de circuitos VLSI em função da energia dinâmica de chaveamento, considerando-se caso prático de $P_{\text{diss}} = 2\text{ W}$.

Fazendo-se uma comparação entre portas lógicas implementadas em tecnologias de Si e de GaAs verifica-se também a superioridade de desempenho em alta velocidade do GaAs, em termos de energia dinâmica de chaveamento. A figura 2.2 apresenta a energia dinâmica de chaveamento calculada^{7,9} para portas lógicas normalmente-ON e família SDFL em GaAs, em função do atraso de propagação, comparando-as com portas normalmente-OFF em Si. Note que em ambos os casos são considerados MESFETs de $W=10\mu\text{m}$, $L=1\mu\text{m}$ e capacitância de carga nas saídas das portas igual a 30 fF. Obtém-se, evidentemente, uma drástica redução da energia mínima necessária ao chaveamento, bem como do produto potência-velocidade, quando se emprega MESFET's de GaAs. Assim, velocidades de chaveamento da ordem de 4 a 6 vezes maiores são obtidas com transistor MESFET de GaAs, para a mesma excursão lógica. O melhor desempenho das portas implementadas com MESFET's de GaAs seria ainda mais acentuado se ambas as portas lógicas empregassem transistores do tipo enriquecimento. Como será discutido no próximo ítem, portas lógicas n-OFF necessitam de menor energia de chaveamento.

Assim, conclui-se pelo potencial de desempenho superior das portas lógicas de alta velocidade realizadas a partir de tecnologias em GaAs. CI's empregando FET's de GaAs têm demonstrado ser mais rápidos que os CI's de tecnologias MOS e bipolares de homojunção de Si, ou, alternativamente, exibem menor consumo de potência para a mesma taxa de operação.

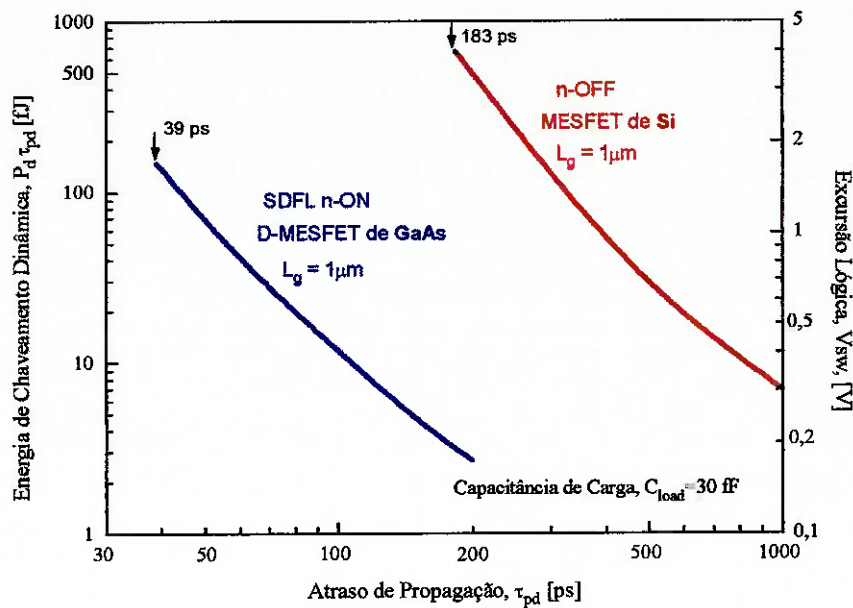


Figura 2.2 Desempenho de chaveamento de portas lógicas implementadas a partir de MESFET's de Si e GaAs para a mesma capacitância de carga.

2.3 FAMÍLIAS LÓGICAS QUE EMPREGAM MESFET EM GaAs

Existem inúmeras famílias lógicas^{7,10-16} implementáveis em GaAs. Todas elas podem ser classificadas, basicamente, em duas abordagens construtivas: portas lógicas normalmente-ON e normalmente-OFF. Portas lógicas normalmente-ON são construídas empregando-se apenas transistores do tipo depleção, D-FETs ($V_{th} < 0$) e foram, historicamente, a primeira geração de dispositivos desenvolvidos para circuitos digitais de GaAs. Isto foi devido à maturidade de processo dos D-FETs. Mais tarde, quando o rendimento de processo e a uniformidade da tensão de limiar, V_{th} , dos transistores do tipo enriquecimento, E-FETs ($V_{th} > 0$), foram suficientemente aperfeiçoados, introduziu-se as portas lógicas normalmente-OFF. Estas são construídas empregando-se D-FETs e E-FETs, detendo características essenciais para a implementação de circuitos LSI e VLSI em GaAs, i.e., área reduzida e baixa energia dinâmica de chaveamento.

O projeto de uma porta lógica em GaAs deve incluir as seguintes etapas¹⁴:

- definição da configuração da porta: normalmente-ON ou -OFF;
- otimização das características estáticas da porta: curva de transferência, margem de ruído, etc, objetivando garantir operação correta da função implementada para as condições de pior caso de variação de processo e temperatura;
- otimização das características dinâmicas: velocidade, potência, dependência de fan-in e fan-out, etc.
- minimização da área de leiaute.

A otimização global do projeto de uma porta lógica depende do compromisso entre todos esses parâmetros. No caso de projeto das portas lógicas em GaAs, a otimização é feita quase sempre visando atingir máxima velocidade, ou em alguns casos, minimização do consumo de potência.

Uma porta lógica estática em GaAs é sempre constituída por um bloco lógico com i entradas (FI), conectadas a uma fonte de alimentação através de uma carga. Este bloco é essencialmente um amplificador de tensão. Segue-se então um amplificador buffer com impedância de saída muito baixa, que fornece maior corrente de saída, ampliando a capacidade de fan-out da porta. Deve ser capaz de alimentar j portas (FO), conectadas em paralelo na saída. Em algumas famílias lógicas, este bloco desempenha também alguma função lógica, ou mesmo atua como deslocador de nível de tensão em portas lógicas normalmente-ON.

Como em Si, portas lógicas construídas em GaAs podem ser estáticas ou dinâmicas. Esta última, também chamada de porta lógica de transferência, emprega o FET como transistor de passagem, estando atualmente em fase de desenvolvimento. Exemplos de lógicas dinâmicas em GaAs são: *a)* TTDL (Tricke Transistor Dynamic Logic), *b)* SPDL (Split Phase Dynamic Logic) *c)* TDFL (Two Phase Dynamic FET Logic) *d)* DPTL (Differential Pass-Transistor Logic) *e)* CCDL (Capacitively Coupled Domino Logic). No entanto, as lógicas dinâmicas não são objetos deste trabalho e portanto não serão abordadas.

A margem de ruído em uma porta lógica, NM, é definida¹¹ a partir de sua curva de transferência, $V_{out} \times V_{in}$, como apresentado na figura 2.3. Usualmente, a margem de ruído é dada pelo intervalo de tensão de entrada, medido entre o ponto de operação, $V("0")$ ou $V("1")$, e o ponto de intersecção com a reta de inclinação $G = \frac{dV_o}{dV_i} = -1$, i.e., a reta correspondente ao ganho unitário. Duas outras definições comumente empregadas para NM substituem os pontos de ganho unitário da definição anterior por *a)* aqueles onde as tensões de saída atingem 10% e 90% do valor da excursão lógica, V_{sw} , ou ainda *b)* os pontos de intersecção da reta tangente ao ponto de inflexão ($G > 1$) com os níveis de saída "0" e "1".

Observe-se que dependendo do ponto de operação escolhido, $V("0")$ e $V("1")$, determina-se valores de margem de ruído associado aos pontos de operação, NM^0 e NM^1 , distintos. Para maximizar a margem de ruído, i.e., $NM^0 = NM^1 = NM$, deve-se fazer V_{th} no ponto médio da excursão lógica, V_{sw} , i.e.,:

$$V_{th} = \frac{V("0") + V("1")}{2} \quad (2.1)$$

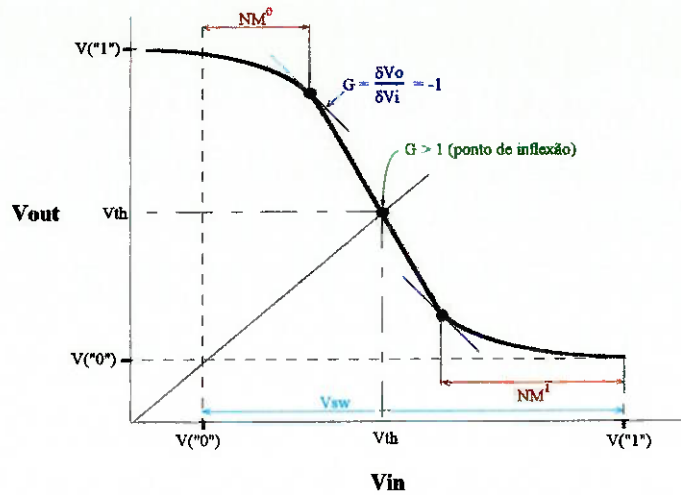


Figura 2.3 Curva de transferência DC para um inversor genérico, mostrando um dos critérios para obtenção da margem de ruído.

Uma vez que a geração do ruído interno à porta lógica aumenta com o incremento da excursão lógica, o parâmetro imunidade a ruído, NI, de uma porta ou mesmo de uma família lógica, é empregado muitas vezes para se comparar o desempenho de circuitos distintos. A imunidade de ruído pode ser expressa por¹¹:

$$NI = \frac{\min\{NM^1, NM^0\}}{V_{sw}} \quad (2.2)$$

O projeto otimizado de uma porta lógica deve ter como especificação uma corrente de carga menor que a corrente máxima através do transistor driver de saída. Esta condição pode ser expressa pelo ganho linear da porta lógica nas proximidades de V_{th} : deve-se ter $G > 1$. Com isto, em uma sequência de células lógicas cascadeadas permite-se que algumas portas sucessivas apresente ganho global ligeiramente menor que 1. Neste caso, basta restaurar o ganho através de um estágio fortemente regenerativo, obtendo-se $G > 1$.

A margem de ruído maximizada está relacionada à excursão lógica e ao ganho linear ao redor de V_{th} (assumindo $G > 1$) da porta lógica através de¹⁴:

$$NM^0 = NM^1 = \frac{V_{sw}}{2} \cdot \left(1 - \frac{1}{G}\right) \quad (2.3)$$

Por outro lado, a operação em alta velocidade restringe o ganho a valores baixos, tipicamente da ordem de $G = 2$, uma vez que a capacitância de carga na saída da porta lógica, figura 2.4, é composta por¹⁴:

$$C_{load} = C_{wire} + FI [C_{gd} (1 + 1/G) + C_D] + FO [C_{gs} + C_{gd} (1 + G)] \quad (2.4)$$

onde: $(1 + 1/G)$: efeito Miller da capacitância de entrada para a saída
 $(1 + G)$: idem, de saída para a entrada

C_D : capacitâncias associadas ao dreno

com $G > 1$, então o ganho não pode ser muito grande, pois resultaria em C_{load} elevado, o que é incompatível com operação em alta velocidade.

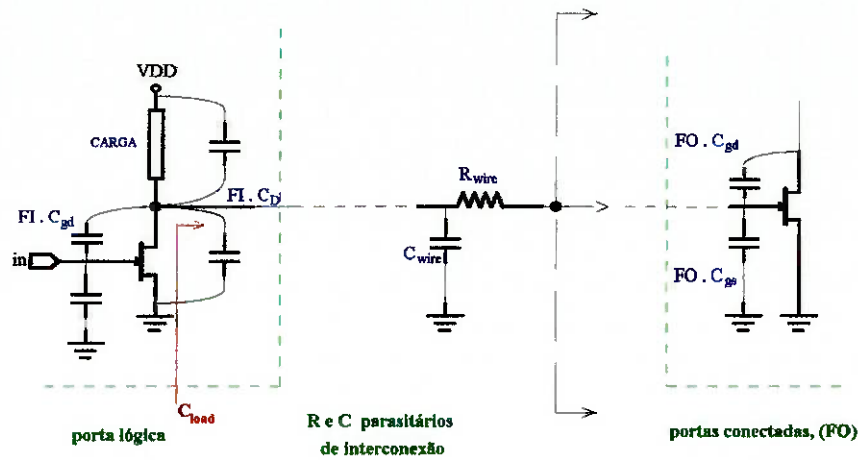
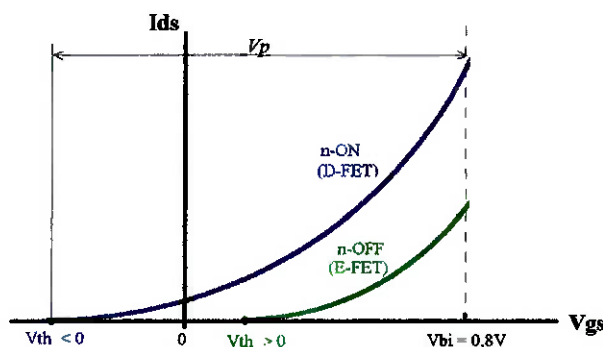


Figura 2.4 Componentes da capacitância C_{load} em uma porta lógica.

A exigência de baixos ganhos implica no conhecimento e controle de todas as fontes de ruídos lógicos. Assim, preocupação bastante pertinente ao projeto de portas lógicas rápidas refere-se à identificação e caracterização das fontes de ruído associadas ao circuito, são elas: cross-talk entre portas independentes, correntes transientes presentes nas linhas de alimentação e as não-uniformidades de processo tecnológico. Estes fatores podem causar variação no desempenho da porta, ou mesmo operação imprópria. Como regra geral, a somatória instantânea para o pior caso das amplitudes de todos os ruídos deve ser menor que a margem de ruído da porta lógica, afim de que o ruído não provoque comutação de estado lógico da porta lógica.

Vale ressaltar ainda aqui a relação utilizada para a tensão de limiar de condução do transistor, V_{th} , e a tensão de pinch-off, V_p , dado por:



$$V_p = V_{bi} - V_{th} \quad (2.5)$$

Figura 2.5 Relação entre a tensão de limiar, de pinch-off e built-in para transistores E- e D- FETs.

2.3.1 Portas lógicas Normalmente-ON

Um grande número de famílias lógicas tem sido proposto empregando-se FETs que operam em modo depleção, D-FET. As mais exploradas têm sido: Buffered FET Logic (BFL), Schottky Diode-FET Logic (SDFL) e Capacitor-Coupled FET Logic (CCFL). Em geral, famílias lógicas que empregam apenas transistores normalmente-ON necessitam de duas fontes de alimentação. A fonte negativa alimenta o estágio de saída, que por sua vez fornece nível de tensão negativo, necessário para se obter o corte do D-FET de entrada da próxima porta. Tensão de limiar para as famílias normalmente-ON estão na faixa de -3,0 a -0,5V.

Buffered FET Logic (BFL)

A estrutura básica para uma porta lógica BFL é mostrada na figura 2.6.a. Consiste de duas seções: lógica de entrada e driver / deslocador de nível de saída. Pode-se implementar diferentes funções lógicas modificando-se a configuração dos transistores da seção lógica de entrada, quer seja colocando mais transistores em paralelo (NOR), quer seja colocando-os em série (NAND). A combinação de transistores série e paralelo em uma mesma porta originará funções lógicas combinatórias mais complexas. Já os estágios driver / deslocador de nível de saída garantem aumento substancial na capacidade de fan-out e compatibilidade de nível lógico de entrada e saída entre portas lógicas. Esta estrutura emprega fonte de alimentação negativa, V_{SS} , com o objetivo de obter o chaveamento OFF dos D-FETs (T_S) da próxima porta lógica conectada à saída, incrementando o nível de complexidade da porta. A tensão de limiar dos D-FETs está na faixa de $-2,5 < V_{th} < -1,0$ V, e os níveis lógicos "1" = +0,5 V, e "0" = -2,0V.

Assim, a família lógica BFL emprega um número razoavelmente grande de transistores por porta, tornando-a inviável para projetos VLSI. Por outro lado, a estrutura BFL é considerada uma das mais rápidas, embora esta velocidade seja obtida justamente às custas de área e de consumo de potência do elevados. Como exemplo, portas lógicas BFL empregando MESFET de $L_g = 1 \mu\text{m}$ e $f_T = 15$ GHz apresentaram atraso de propagação intrínseco da ordem de $\tau_{pd} = 60$ ps para um consumo de potência de 12mW ¹⁷. Ou ainda, atrasos de propagação da ordem de $\tau_{pd} = 34$ ps foram relatados⁸ em portas BFL com $P_{diss} = 41$ mW e $L_g = 0,5 \mu\text{m}$.

A maior parte desta potência é dissipada no estágio driver de saída. Portanto, é possível obter uma versão de consumo de potência reduzido para a estrutura BFL eliminando-se o transistor de carga do estágio driver, T_D , como mostrado na figura 2.6.b.

Esta nova configuração é denominada às vezes LBFL (Low Power Buffered FET Logic), ou às vezes UFL (Unbuffered FET Logic), sendo aplicável a projetos de complexidade LSI. A tensão de limiar da lógica LBFL, V_{th} , é aumentada de -2,5V, no caso da porta BFL, para -1,0V, resultando em uma potência consumida reduzida,

tipicamente 5mW/porta. No entanto, a ausência de T_D reduz significamente a capacidade de fan-out e a velocidade da porta.

Outra limitação da estrutura LBFL refere-se à necessidade de maior controle no desvio de V_{th} ao longo da lâmina, o que só é obtido com processos tecnológicos maduros e bem estabelecidos, com os quais são então possíveis obter transistores E-FETs com características estáveis e reproduzíveis.

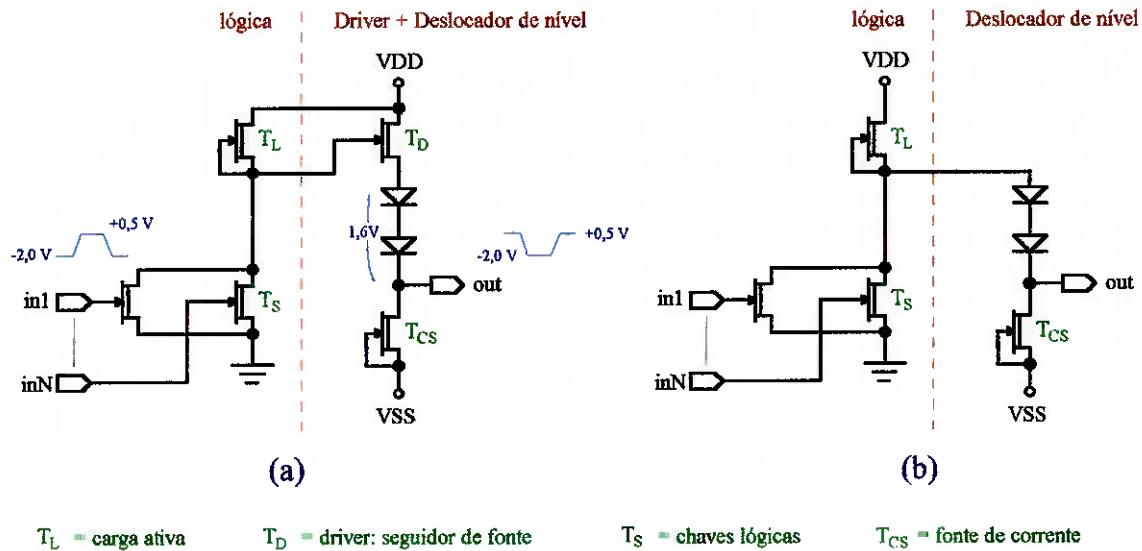


Figura 2.6 a. Porta BFL b. Porta LBFL ou UFL, sem o driver seguidor de fonte.

Schottky Diode-FET Logic (SDFL)

Nesta abordagem de projeto de portas rápidas são empregados diodos schottky na implementação da função lógica OR. Uma possível configuração é apresentada na figura 2.7.a. O diodo D_S provê um deslocamento de nível de tensão; finalmente, um estágio buffer é acrescentado com o objetivo de se obter ganho de corrente maior que 1. A estrutura SDFL básica apresenta menor consumo de potência e área que a BFL, devido à substituição dos transistores de entrada pelos diodos schottky, de área reduzida, mas com menor velocidade e capacidade de fan-out.

É possível, no entanto, aumentar a capacidade de fan-out de uma porta através do acréscimo de um estágio seguidor de fonte push-pull na saída, como mostrado na figura 2.7.b.

Os diodos schottky empregados para a realização da função OR de entrada são de alto desempenho. Se a função combinatória é mais complexa e/ou for a função NAND, será implementada em dois níveis lógicos, como visto na figura 2.8.a. Uma porta SDFL com 3 níveis lógicos de complexidade é necessária para implementar a função OR-NAND/Wired-AND, figura 2.8.b. Portanto, a estrutura SDFL apresenta a seguinte característica de conectividade na realização das funções lógicas:

- . apresenta fan-in virtualmente ilimitado para o primeiro nível lógico;

- . para o segundo nível, fan-in está limitado a 2 ou 3;
- . por razões de realização, fan-in no terceiro nível lógico está limitado a 2.

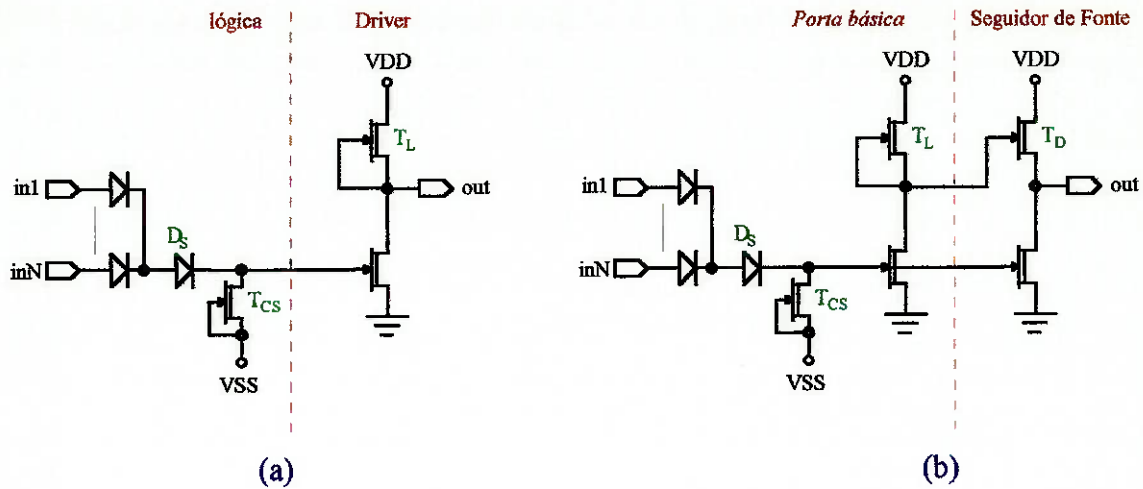


Figura 2.7 a. Porta SDFL básica b. Porta SDFL com estágio seguidor de fonte.

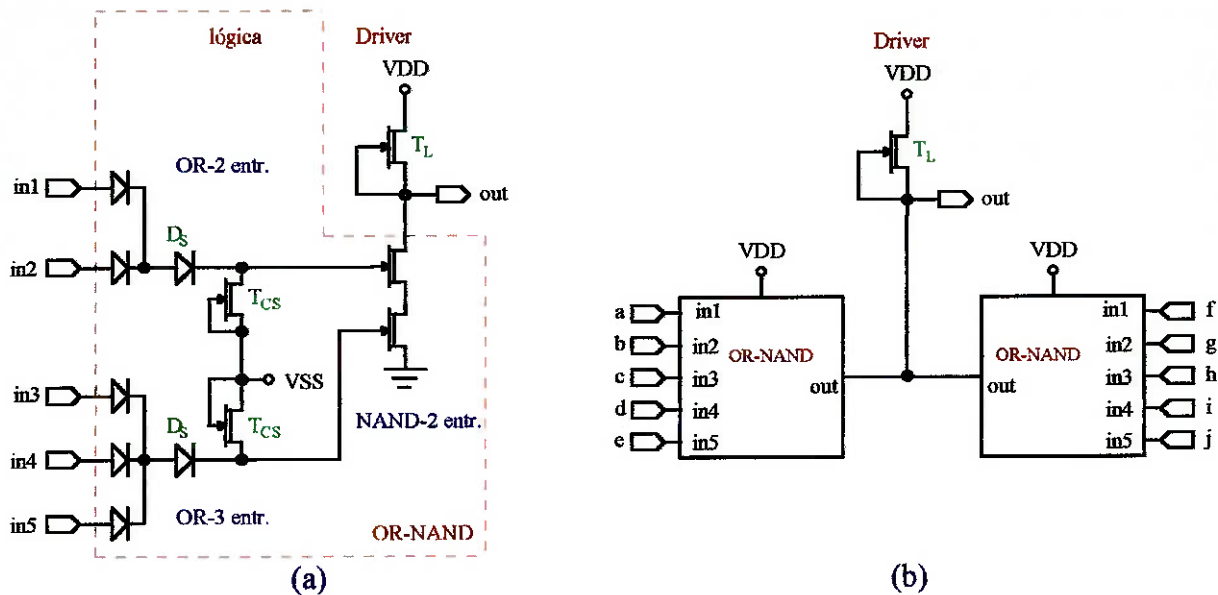


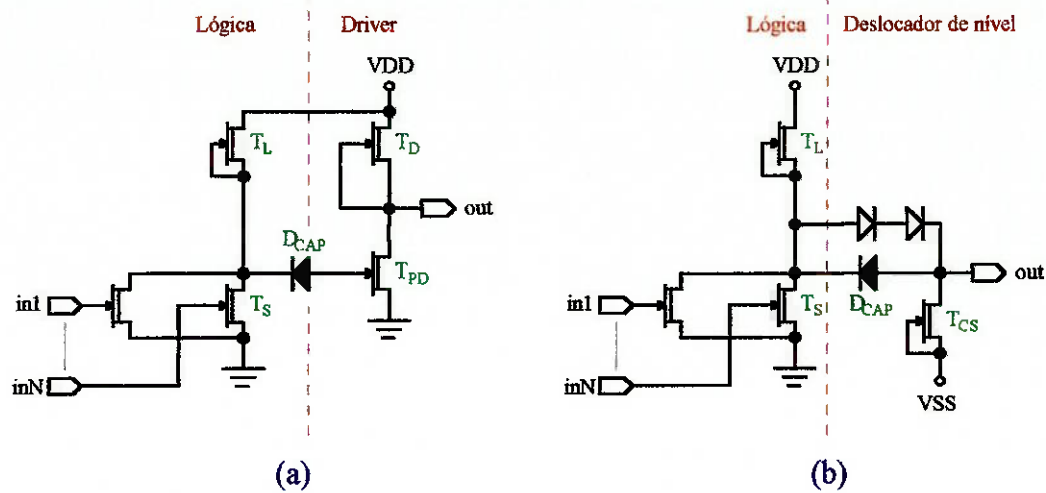
Figura 2.8 a. OR-NAND em SDFL b. OR-NAND/Wired-AND em SDFL.

Capacitor-Coupled FET Logic (CCFL).

A lógica de transistor acoplado através de capacitor permite eliminar a necessidade de diodos deslocadores de nível em portas normalmente-ON. A figura 2.9.a apresenta uma porta CCFL típica, onde um diodo reversamente polarizado é empregado como capacitor, D_{CAP} , no acoplamento interestágio.

Obtém-se nesta configuração redução de potência consumida em relação à família BFL e SDFL, uma vez que não há dissipação de potência nos capacitores. Além disto, como o capacitor é colocado em série com a porta do transistor T_{PD} , a capacitância de

carga é reduzida e portanto a velocidade da porta lógica é melhorada. Esta configuração admite enorme faixa de variação na tensão de limiar. Foi reportado¹⁵ circuito operando corretamente em 1GHz com variações de tensão de limiar de $-4,0 < V_{th} < -0,5$ V na mesma lâmina.



D_{CAP} = diodo reversamente polarizado (capacitor)

Figura 2.9 a. Porta CCFL b. Porta CDFL.

No entanto, o uso de capacitor implica em uma frequência operacional mínima para o circuito, determinada basicamente pelas correntes de fuga, pelo tamanho relativo do capacitor de acoplamento e pela polarização reversa porta-fonte do transistor T_{PD} . Para tornar ótima a eficiência de transferência da porta lógica, deve-se ter capacitâncias de polarização reversa elevadas. Para um inversor, a área ocupada pelo diodo representa aproximadamente 40 % da área total do circuito. Tipicamente, a frequência mínima de operação é de alguns KHz. Em aplicações onde não é aceitável a existência de uma frequência de corte inferior, pode-se combinar a polarização reversa e direta de diodos objetivando o deslocamento de nível de tensão e o acoplamento capacitivo interestágio. A figura 2.9.b mostra tal configuração, denominada Capacitor-Diode FET Logic (CDFL). A desvantagem desta estrutura em relação à porta CCFL é um aumento da área, resultado da adição dos diodos deslocadores de nível, embora possa ser mantido um baixo consumo de potência.

2.3.2 Portas lógicas Normalmente-OFF

Portas lógicas normalmente-OFF em GaAs tornaram-se viáveis somente em meados da década de 80, devido ao aperfeiçoamento dos processos tecnológicos, particularmente, pela redução do desvio máximo da tensão de limiar ao longo da lâmina e de sua reprodutibilidade de lâmina para lâmina. Complementarmente, algumas famílias normalmente-OFF foram propostas visando minimizar a dependência de seu desempenho (funcionamento e margem de ruído) em relação às variações de V_{th} . Este tipo de porta

utiliza FETs de enriquecimento, E-FETs, como dispositivo de chaveamento e D-FETs como carga ativa, fonte de corrente, etc. Necessitam geralmente de apenas uma única fonte de alimentação para obter o mesmo desempenho dinâmico que a maior parte das famílias normalmente-ON. Incluem-se aqui as famílias Quasi-FET Logic (QFL), Direct-Coupled FET Logic (DCFL) e Source Coupled FET Logic (SCFL).

Quasi-FET Logic (QFL)

A estrutura QFL foi proposta visando minimizar a dependência de desempenho em relação às variações de V_{th} . Como exemplo, permite-se variações na tensão de limiar na faixa de $-0,4$ a $+0,1$ V com pequeno efeito na margem de ruído da porta. A figura 2.10 mostra a estrutura básica para a porta QFL. Consiste da seção lógica e de um deslocador de nível na saída. Na estrutura QFL, a insensibilidade de desempenho às variações de processo é devido justamente ao circuito deslocador de nível. No entanto, como o circuito opera com altas correntes de saída, e V_{DD} é da ordem de $2,5$ V, resulta em uma dissipação de potência considerável.

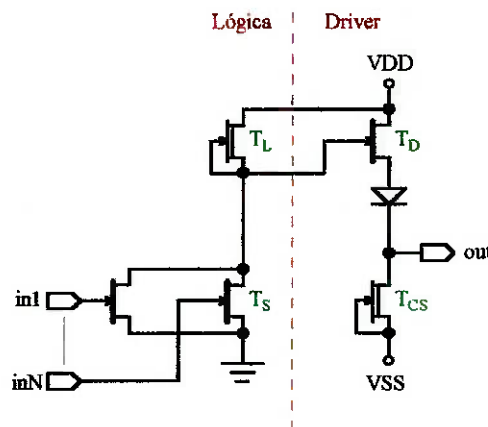


Figura 2.10 Configuração básica para a porta QFL

Direct-Coupled FET Logic (DCFL)

A estrutura básica DCFL, vista na figura 2.11.a, consiste de um transistor D-FET funcionando como carga ativa (T_L) e um transistor de chaveamento E-FET, conectados da mesma forma que uma porta NMOS. Necessita por isso de melhor controle no processo de fabricação do circuito a fim de se obter reprodutividade do V_{th} ao longo da lâmina, que é o fator crítico na maioria das famílias normalmente-OFF.

A topologia DCFL dispensa estágios deslocadores de níveis, resultando em um número mínimo de dispositivos por função lógica, o que acarreta em dissipação mínima de potência, proporcionando uma densidade de integração VLSI e melhor compromisso velocidade-potência. Para tanto, a tensão de alimentação única deve estar na faixa de 1 a 2 V. O circuito em DCFL opera por acomodação de corrente. A maior parte da potência dissipada é estática, eliminando-se o ruído da fonte causado pelo transiente de alta

corrente. Portanto, o consumo de potência é quase que independente da frequência de operação e estado lógico. A largura do canal do transistor de carga D-FET deve ser ajustado para se obter suficiente excursão lógica, V_{SW} , e margem de ruído, NM. Este parâmetro também influencia o desempenho potência-velocidade da porta, P_{diss} , τ_{pd} e t_f . Para o cálculo da potência dissipada em uma porta DCFL, figura 2.11.a, devem ser levados em conta a parcela estática e a dinâmica. A potência dissipada é dada por^{7,14} :

$$P_{diss}^{DCFL} = V_{DD} \cdot I_D + C_{load} \cdot V_{SW}^2 \cdot f \quad (2.6)$$

- C_{load} : capacitância de carga na saída da porta;
 f : frequência de operação, assumindo-se ciclo de trabalho de 50%;
 V_{SW} : excursão lógica do sinal sobre C_{load} ;
 V_{DD} e I_D : tensão e corrente de alimentação DC.

onde o primeiro termo corresponde à potência estática e o segundo à dinâmica.

Existe a possibilidade de construção de células que compatibilizem suas entradas e saídas com os níveis lógicos das famílias SCFL, BFL, ECL, TTL, etc. Para se garantir compatibilidade com a família ECL, faz-se necessário acrescentar uma segunda fonte de tensão de -2V. Tipicamente, células DCFL consomem 20% a 25% da potência dissipada por uma célula ECL de mesma função lógica e mesmo desempenho em termos de atraso total. Exemplo típico do produto potência x atraso de propagação DCFL é 100 μ W/célula e $\tau_{pd} = 100$ a 150 ps.

As principais desvantagens da estrutura estão associadas a:

- pequena excursão lógica de saída (menor que 0,8 V) e igual à altura da barreira de potencial schottky do transistor E-FET. Isto implica em uma reduzida margem de ruído. Tipicamente tem-se NM = 100 a 150 mV, para $P_{diss} = 0,5$ mW/célula e $V_{DD} = 1,2$ V.
- reduzida capacidade de fan-out, o que limita o desempenho de circuitos muito complexos ou com linhas de interconexão longas. O atraso total cresce muito rapidamente em função da carga: DCFL sem carga apresenta atraso total pequeno, tipicamente 42 ps, mas, por exemplo, para fan-out = 3 e $L_g = 2$ μ m, o atraso cresce para $\tau_{pd} = 200$ ps. Isto se deve à baixa capacidade de corrente de saída da porta lógica.
- intrinsecamente, apenas as funções lógicas inversora e NOR podem ser implementadas em DCFL. Portanto, todas as demais funções, como por exemplo, AND, seletor 2:1, flip-flop D, etc. são geradas a partir de inversores e NORs, como pode ser visto na figura 2.12.

Uma possível solução para a pequena capacidade de carga e reduzida margem de ruído da topologia DCFL é empregar uma configuração super buffer/inversor, mostrada na figura 2.11.b. Esta configuração representa um bom compromisso entre lógicas

normalmente-OFF bufferizadas e não-bufferizadas. Os transistores T_D e T_{PD} do estágio buffer são dimensionados para atender uma determinada carga capacitiva. No entanto, existem problemas com a configuração super buffer. Os transistores T_D e T_{PD} estarão fortemente conduzindo por um curto período de tempo toda vez que o nível lógico na saída sofrer a transição “1” \rightarrow “0”. Este “spike” de corrente causa momentaneamente uma queda de tensão na linha de alimentação. Assim, a ação conjunta do chaveamento de muitas células em um circuito VLSI produz quedas de tensão na linha de alimentação elevadas, podendo resultar em operação lógica incorreta ao longo do circuito. Assim, devem ser tomados cuidados especiais no projeto das linhas de alimentação toda vez que se usar super buffers. Além disto, o emprego de super buffers acarreta acréscimo na capacitância de entrada e reduzida capacidade de fan-in devido ao aumento da complexidade da porta.

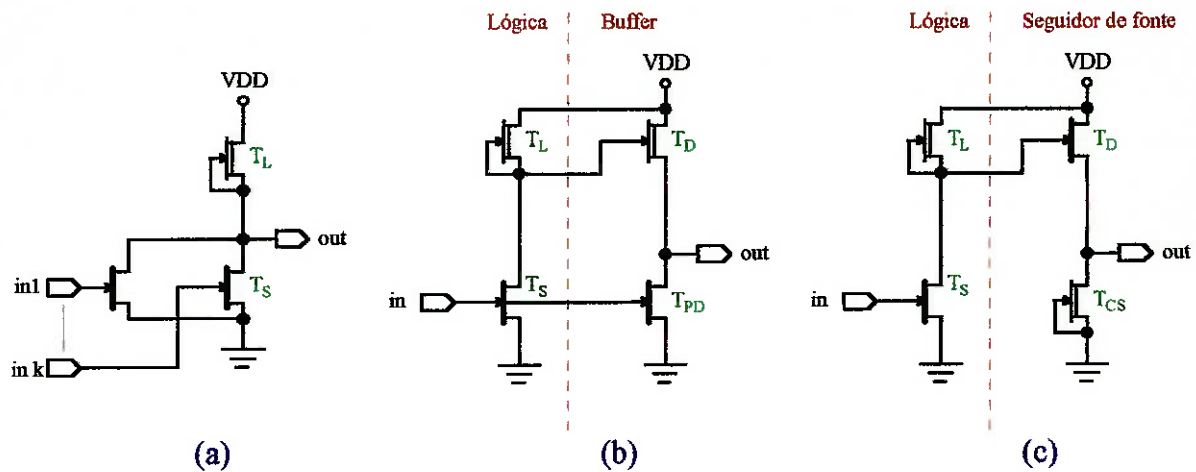


Figura 2.11 a. Configuração básica para a porta DCFL: NOR de k entradas
b. super buffer/inversor c. inversor BDCFL

Outra abordagem para aumentar a margem de ruído e capacidade de fan-out em DCFL é empregar buffers de saída, dando origem às células BDCFL (Buffered Direct Coupled FET Logic), figura 2.11.c. Aqui, um estágio seguidor de fonte, com transistores dimensionados para atender a uma determinada carga capacitiva, é acrescentado à saída de uma célula DCFL, aumentando a margem de ruído para 150 a 200 mV, quando $V_{DD} \geq 2,0$ V. Portas BDCFL com operação quase independente da variação de temperatura são mais viáveis de serem obtidas do que portas DCFL, considerando uma faixa de temperatura de 0 a 125 °C. O estágio buffer torna a porta BDCFL menos sensível ao aumento de fanout, podendo ser projetado para compensar efeito de temperatura até 125 °C mais facilmente que para o caso de portas DCFL. Os transistores do buffer operam na região de saturação com tensão V_{gs} mais elevada que em DCFL, resultando em um maior fluxo de corrente no estágio de saída.

A estrutura BDCFL apresenta as desvantagens de maior complexidade, consumo

de potência e atraso intrínseco adicionais, quando comparada com a versão não bufferizada. No entanto, uma porta BDCFL pode ser 50 a 100% mais rápida que uma DCFL, admitindo-se um consumo de potência da ordem de 6 vezes maior, tipicamente 3,4 mW contra 0,5 mW de uma porta DCFL. Estas desvantagens podem ser amenizadas mesclando células DCFL e BDCFL em um mesmo circuito. Uma possível abordagem de projeto seria utilizar células DCFL para a realização das funções lógicas com baixo requisito de fan-out, "bufferizando" apenas aqueles nós com elevado carregamento, devido a fan-out e aos elementos parasitários de interconexão. Desta forma, pode-se otimizar o compromisso velocidade-consumo de potência em circuitos de complexidade VLSI em GaAs.

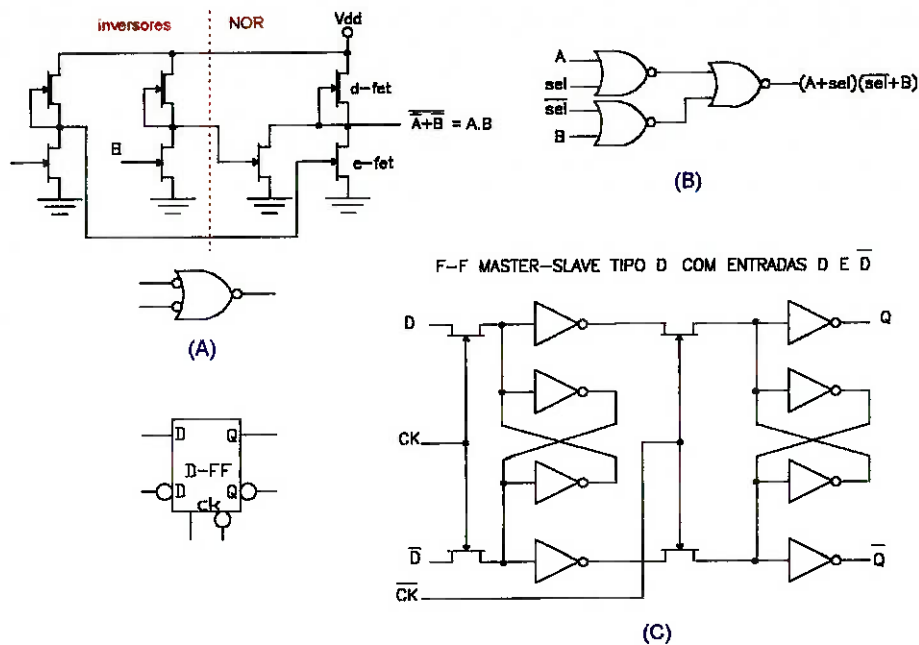


Figura 2.12 Funções lógicas implementadas em DCFL: a. AND b. Seletor 2:1 c. flip-flop tipo D

Source Coupled FET Logic (SCFL)

A estrutura SCFL foi inicialmente proposta¹⁸ empregando apenas transistores do tipo depleção. Mais tarde, com o aperfeiçoamento dos processos tecnológicos, empregou-se transistores de enriquecimento com o objetivo de reduzir a amplitude da tensão de alimentação e o consumo de potência, mantendo o mesmo desempenho de velocidade. A figura 2.13.a e 2.13.b mostram uma célula básica SCFL implementada apenas com transistores do tipo depleção e com transistores de depleção e de enriquecimento, respectivamente. Pode-se na verdade substituir alguns ou todos os transistores tipo depleção pelo tipo enriquecimento^{14,19,20}. A estrutura SCFL²¹⁻²⁵ consiste de um estágio diferencial de entrada, onde é composta a função lógica, seguida de um buffer seguidor de fonte com diodos deslocadores de nível. Os sinais de entrada são aplicados nas portas

dos pares de transistores FET's configurados diferencialmente, tornando a operação lógica do circuito menos sensível às variações de V_{th} dos transistores. Os sinais de saída diferenciais da porta lógica são obtidos das saídas de dois buffers seguidores de fonte. O estágio diferencial emprega transistores empilhados para a realização de portas lógicas com múltiplas entradas, como a AND/NAND da figura 2.14, apresentando ótima funcionalidade. São realizáveis até 5 níveis de empilhamento. Até quatro níveis de tensão podem ser obtidos em portas lógicas SCFL, sem degradar excessivamente o atraso intrínseco de propagação, sendo que na prática utiliza-se de 2 a 3 níveis. Portanto, o número de diodos deslocadores de níveis na saída de uma célula deve ser igual ao número máximo de transistores empilhados da porta lógica a ser alimentada. Assim, é possível implementar funções lógicas SSI bastante rápidas e compactas em uma única célula SCFL, como por exemplo EX-OR/NOR de 3 entradas, seletor 4:1, latch, somador completo de 1 bit, etc.

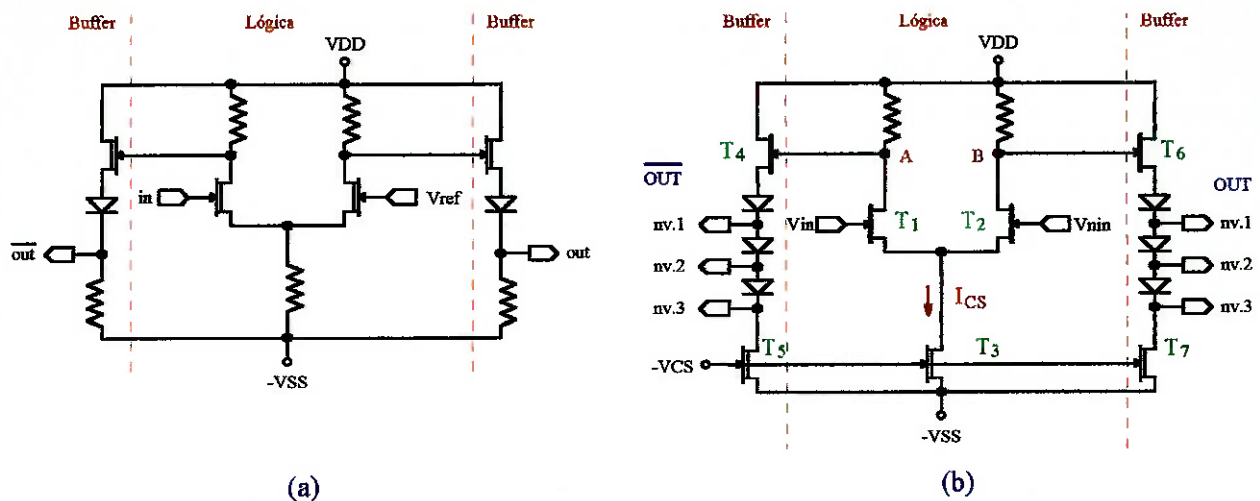


Figura 2.13 Célula básica inversora SCFL implementada com MESFETs tipo:
a. Depleção **b.** Depleção/Enriquecimento

Os transistores T_3 , T_5 e T_7 na figura 2.13.b constituem fontes de correntes para o estágio diferencial de entrada e para os buffers de saída. A fonte de corrente formada por T_3 e pelas fontes de tensão $-V_{SS}$ e $-V_{CS}$ fornece uma corrente de polarização constante, I_{CS} , para o par de transistores diferencial, T_1 e T_2 . Geralmente, V_{DD} é aterrada e $-V_{CS}$ é derivada de $-V_{SS}$. As tensões de entrada V_{IN} e V_{NIN} determinam a razão entre as correntes que fluem nos ramos A e B. A corrente constante I_{CS} fluirá inteiramente pelo ramo A se $V_{IN} = "1"$, e $V_{NIN} = "0"$; T_1 estará conduzindo, causando uma queda de tensão no nó A, concomitantemente, nenhuma corrente flui através do ramo de T_2 e a queda de tensão sobre R_2 será 0 V. Argumento similar se aplica para o caso em que $V_{NIN} = "1"$ e $V_{IN} = "0"$, quando então a corrente constante I_{CS} estará fluindo inteiramente pelo ramo B. Assim, a função de transferência da entrada para o nó A constitui um inversor e para o nó B o seu complemento. Não havendo a disponibilidade do sinal complementar de entrada, uma tensão de referência DC, V_{REF} , é aplicada à entrada *nin*. No entanto, isto requer

transistores de chaveamento T_1 e T_2 com larguras maiores, ou V_{sw} de entrada duas vezes maior que para o modo diferencial, com a finalidade de manter o chaveamento completo da corrente I_{CS} através dos ramos A ou B. Deste modo, o melhor compromisso capacitância de entrada (velocidade) versus margem de ruído é obtido empregando-se entradas com sinais diferenciais.

Os dois estágios seguidores de fonte, compostos por T_4 , T_5 e T_6 , T_7 com seus respectivos diodos fornecem deslocamento de nível de tensão e amplificação. Faz-se necessário o deslocamento de níveis a fim de manter os transistores de chaveamento do próximo estágio adequadamente polarizados. Assim, o par de transistores diferencial, fisicamente mais próximo da fonte de corrente, deverá ser chaveado por tensões lógicas correspondentes à saída de nível 3, $nv.3$, figura 2.14; o par imediatamente acima deverá ser conectado às saídas de $nv.2$, e assim por diante.

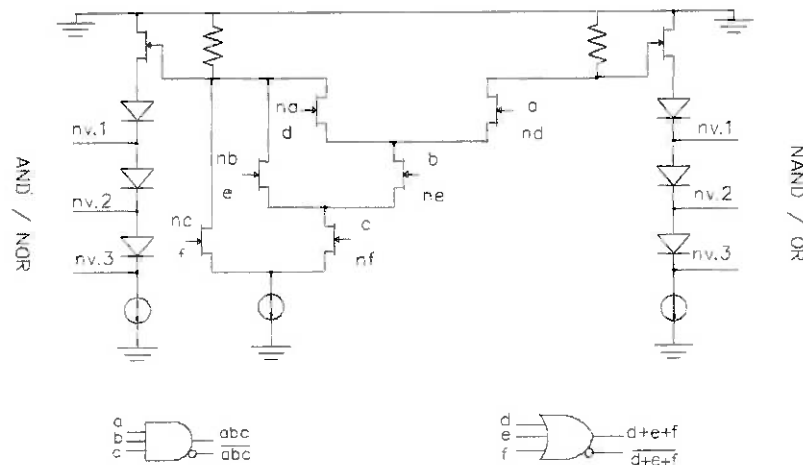


Figura 2.14 Porta lógica AND/NAND implementada a partir da família SCFL.

Existem inúmeras vantagens da estrutura SCFL sobre as demais famílias. Primeiro, existem propriedades intrínsecas à configuração SCFL que contribuem para o alto desempenho de velocidade. São elas:

a) *capacitância de entrada C_{in} reduzida*: é essencialmente pequena, uma vez que a tensão dreno-fonte, V_{ds} para o estado ON é projetada para ser maior que em qualquer outra família²¹, como por exemplo BFL. Assim, a alta tensão de dreno assegura que o transistor T_1 , figura 2.13.b, seja sempre mantido na região de saturação. A capacitância de entrada é dada por:

$$C_{in} = C_{gs1} + (1 + |A|)C_{gd2} \quad (2.7)$$

onde: C_{gs1} = capacitância porta-fonte de T_1

C_{gd2} = capacitância porta-dreno de T_2

A = ganho de porta-dreno de T_1

A capacitância Miller, último termo da equação 2.1, $(1 + |A|)C_{gd2}$, é essencialmente

pequena uma vez que os transistores de chaveamento são permanentemente mantidos na região de saturação devido à elevada magnitude da tensão de dreno, região onde a capacitância Miller é pequena.

Resultados de simulação²¹ comparando a capacitância de entrada, C_{in} , de uma porta SCFL e DCFL, empregando transistores de mesmas geometria, mostraram que a capacitância média de entrada (para a gama de valores de V_G necessária à comutação) da porta SCFL foi reduzida a 66% do valor da capacitância média da DCFL.

b) *descarga rápida*: tempo de descarga de saída do estágio diferencial, nós A e B, é pequeno devido ao domínio da corrente de saturação. Isto não ocorre em outras famílias. Em BFL, por exemplo, o transistor de chaveamento realiza a descarga de corrente passando pela região ôhmica, onde ocorre a redução da corrente de descarga. Na região de saturação, a corrente de descarga exibe uma dependência linear com o tempo, enquanto que na região não-saturada, o FET apresenta um comportamento mais lento, retardando a propagação do sinal até a saída. Além disto, as capacitâncias de entrada do estágio seguidor de fonte garantem constantes de tempo RC pequenas para os nós A e B. O comportamento de descarga para os transistores de estágio seguidor de fonte de uma porta SCFL é considerado na figura 2.15. Considera-se a transição das tensões de dreno correspondentes aos níveis "0" e "1", V_D^L e V_D^H , respectivamente, e a tensão de dreno mínima onde ocorre a saturação, V_D^S . Nota-se que V_D^H e V_D^S estão localizados na região de saturação da corrente de dreno, enquanto V_D^L encontra-se abaixo desta região.

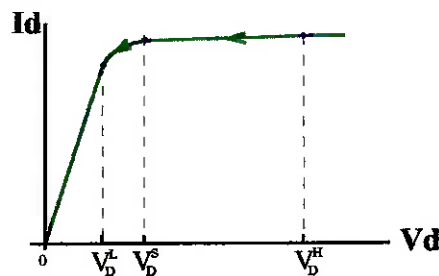


Figura 2.15 Comportamento para o chaveamento do estado ON de um FET.

Assim, pode-se definir uma constante K capaz de expressar a taxa de ocupação da tensão de dreno na região de saturação durante o tempo de transição de nível "1" → "0", dado por:

$$K = \frac{V_{SAT}}{V_{SAT} + V_{NONSAT}} \quad (2.8)$$

onde: $V_{SAT} = V_D^H - V_D^S$; $V_{NONSAT} = V_D^S - V_D^L$

Simulações elétricas considerando portas SCFL e DCFL mostraram²¹ que o valor da constante K para SCFL é cerca de 4 vezes maior da obtida em células DCFL: $K_{SCFL} =$

0,75, contra $K_{\text{DCFL}} = 0,18$, confirmando ainda que a taxa de ocupação de tensão na região de saturação para uma porta SCFL é próxima à unidade.

c) *boa capacidade de fan-out*: os buffers seguidores de fonte, devido as suas baixas impedâncias de saída, possibilitam cargas e descargas rápidas das cargas capacitivas dos estágios seguintes e das linhas de interconexão. Assim, fan-out altos, da ordem de $FO = 4$ e fan-in de até $FI = 6$ são possíveis, como em ECL. Devido a essa alta capacidade de fan-out, a margem de ruído não varia significativamente com a variação de carga (fan-out de até 3).

d) *alta frequência de transição, f_T* : parâmetro importante quando se considera operação em alta velocidade, a frequência na qual o ganho de corrente se torna unitário, f_T , de um FET é maior quando o transistor opera na região de saturação. Um transistor com elevado f_T poderá rapidamente comutar a corrente I_{CS} entre os dois ramos do amplificador diferencial em uma porta SCFL. Deve-se então buscar maximizar a frequência de transição do FET, que pode ser estimada²⁴ por:

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.9)$$

onde: g_m = transcondutância do transistor;

C_{gs} = capacitância de porta-fonte, depende da tensão de polarização V_{gs} ;

C_{gd} = capacitância de porta-dreno, depende da tensão de polarização V_{gd} .

Assim, para incrementar f_T deve-se reduzir as capacitâncias de porta-fonte e de porta-dreno. Valor mínimo de C_{gd} é alcançado quando^{21,24} $V_{ds} > V_p$, tensão de pinch-off do FET, condição facilmente obtida por polarização externa adequada. Já C_{gs} mínima é atingida quando $V_{gs} < V_{th}$, representando uma condição impossível de ser atingida, uma vez que faz-se necessário a comutação do transistor para o estado ON. A capacitância C_{gs} cresce com a tensão V_{gs} até esta atingir valores próximo a V_{bi} . No entanto, lógicas baseadas no modo corrente, como a SCFL, não operam com tensões V_{gs} extremas, possibilitando obter uma redução na capacitância C_{gs} , quando comparada com outras estruturas de alta velocidade.

Considerando um mesmo processo tecnológico, obtêm-se frequências de transição maiores para a estrutura SCFL, uma vez que essencialmente a capacitância de entrada, C_{in} , função das capacitâncias de porta-fonte e porta-dreno, C_{gs} e C_{gd} , é mantida menor em relação a outras topologias, devido à maior taxa de ocupação da tensão na região de saturação desta família. Simulações com divisores de frequência binário mostraram^{21,23} que pode ser obtido o dobro de frequência de toggle para um flip-flop SCFL em relação ao DCFL, considerando uma potência dissipada 3 vezes maior que em DCFL. Por exemplo²⁶, para flip-flops construídos com uma mesma tecnologia de MESFET de GaAs, $L_g = 0,8 \mu\text{m}$, obteve-se frequência de toggle de 3 GHz para a topologia SCFL e

de 1 GHz para a DCFL.

Segundo, a família SCFL apresenta operação lógica quase independente em relação às variações da tensão de limiar, V_{th} do FET de chaveamento. Esta larga faixa de tolerância à variação de V_{th} é devida à boa *rejeição de modo comum*, razão entre o ganho de modo comum e o ganho diferencial, no estágio diferencial de entrada. O amplificador diferencial de entrada pode ser projetado para ter alta taxa de rejeição de modo comum (CMRR) e moderado ganho. Existe o compromisso de projeto que deve minimizar a corrente de polarização DC nas entradas e maximizar a resistência diferencial de entrada da porta lógica. A tensão de limiar lógica, transição de "0" → "1" e "1" → "0", em uma célula SCFL não é dominada diretamente pelo V_{th} do FET. Assim, a operação correta é obtida para uma ampla faixa de variação de V_{th} ao longo da lâmina, tornando possível obter circuitos menos sensíveis às variações de processo de fabricação dos transistores. Portas lógicas SCFL projetadas com tensão de limiar nominal de $V_{th} = -0,1V$ demonstraram^{15,23} operar adequadamente para $-0,6 V \leq V_{th} \leq +0,4 V$. Obtém-se ainda alta excursão de tensão entre os níveis lógicos "0" e "1", como por exemplo, $V_{sw}=1,2V$, podendo ser diretamente compatível com ECL e alta margem de ruído, tipicamente, $NM=0,45V$ para tensão de alimentação única, $V_{SS} = -5.2V$. A família lógica SCFL apresenta ainda imunidade parcial às variações de temperatura:

- *atraso de propagação intrínseco x temperatura*: cresce muito lentamente em uma ampla faixa de temperatura (25 a 180°C), uma vez que as amplitudes dos sinais internos à célula decrescem juntamente com o tempo necessário para carregar as capacitâncias parasitárias. Estudo térmico de células SCFL indicaram²³ que entre 20 e 100°C não há acréscimo no atraso de porta. Entre 100 e 180°C, o acréscimo medido foi próximo de 20 ps. Particularmente, a manutenção do atraso ao longo da faixa de temperatura ocorre porque o ganho do transistor também é reduzido devido à corrente de fuga. Finalmente, para temperaturas acima de 180°C, o atraso de propagação intrínseco cresceu rapidamente: de 280ps (200°C) para 380ps (305°C).
- *níveis de tensão de saída x temperatura*: a excursão lógica de tensão, V_{sw} , e os níveis de tensão de saída alto e baixo, V_{oh} e V_{ol} , são extremamente estáveis para a faixa de temperatura²³ de 50 a 180°C.

Terceiro, existe similaridade entre a topologia SCFL e a ECL que emprega transistores bipolares de Si, uma vez que ambas são baseadas na operação por modo de corrente^{27,28}, Current Mode Logic (CML), tendo como princípio o sinal diferencial de entrada e saída. A operação por modo de corrente garante consumo de potência constante para toda a faixa de frequências de operação²⁹, uma vez que os sinais através de portas com princípio de operação CML, comandam fontes de corrente constante, na etapa diferencial de entrada e na etapa seguidor de fonte de saída, no caso de portas SCFL. No entanto, durante as transições de níveis lógicos, ocorrem pequenos picos de corrente,

originados da carga e descarga das capacitâncias. Estes picos de corrente, quando comparados com outras famílias, apresentam amplitudes bastante reduzidas, não introduzindo problemas de ruído de fonte de alimentação.

Finalmente, a operação diferencial proporciona um aumento na margem de ruído, considerando a mesma excursão lógica, V_{SW} . Com isto, pode-se reduzir V_{SW} à metade em portas SCFL em relação às famílias não-diferenciais, mantendo-se a mesma margem de ruído. Além disso, sinais diferenciais resultam na realização da função lógica, f , e sua respectiva negação, \bar{f} , simultaneamente, proporcionando uma superioridade nas características DC, AC e transiente da estrutura SCFL em relação às famílias não-diferenciais.

Como desvantagens da família SCFL, pode-se citar que a densidade de integração máxima é LSI devido ao elevado número de transistores empregados na implementação das funções lógicas básicas e a necessidade de interconexões diferenciais, que aumentam a complexidade do roteamento. Desta forma, a área de CI resultante é maior que a obtida para outras famílias lógicas, como a DCFL.

No entanto, a topologia SCFL permite a implementação de funções complexas em uma mesma célula. Assim, a minimização lógica ocorre muitas vezes ao nível de célula (configuração dos transistores) e não ao nível das equivalências das equações booleanas, implicando em atrasos de propagação menores. As figuras 2.14, 2.16, 2.17 e 2.18 apresentam funções lógicas básicas implementadas a partir da família SCFL, em ordem crescente de complexidade, respectivamente uma porta lógica AND/NAND_OR/NOR, SELETOR 2:1 e LATCH sem e com "reset". Estas configurações sugerem que muitas funções lógicas de complexidade SSI podem ser implementadas com apenas um nível de atraso de propagação, quando se emprega estruturas SCFL. As fontes de corrente indicadas são obtidas com transistores, configurados como já mostrado na figura 2.13.b. Comparando-se as estruturas, verifica-se que funções lógicas da complexidade de um LATCH com "reset" podem ser implementadas em SCFL empregando-se um número de transistores e conexões similar ao usado em portas combinatórias simples, como AND/NAND. Funções lógicas de memória e combinatórias são implementadas empregando-se de 13 a 20 transistores, diferentemente de outras famílias que utilizam um número de transistores diretamente proporcional à complexidade da função implementada. Note que, como a estrutura SCFL apresenta as entradas e saídas diferenciais, a mesma configuração de transistores da célula básica AND/NAND, figura 2.14, realiza também a função OR/NOR, bastando inverter a designação dos sinais de entrada e saída em relação aos seus respectivos complementos, como sugere a identidade de DeMorgan, $\overline{A+B} = \bar{A}.\bar{B}$, com A e B variáveis booleanas.

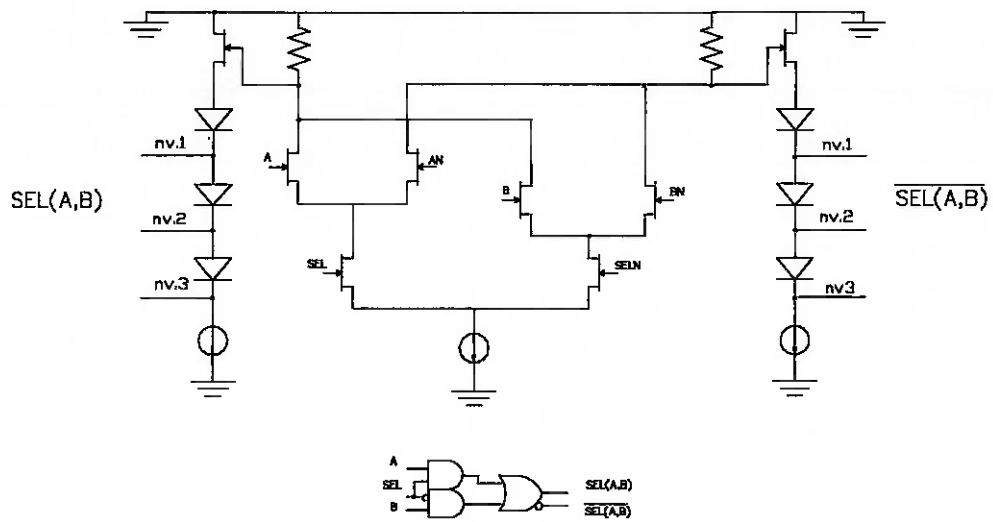


Figura 2.16 Seletor 2:1 implementado a partir da família SCFL.

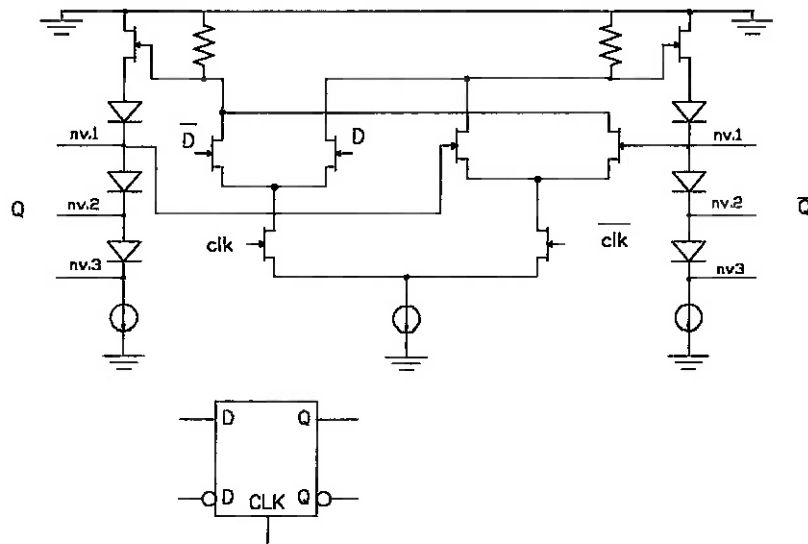


Figura 2.17 LATCH sem Reset implementado a partir da família SCFL.

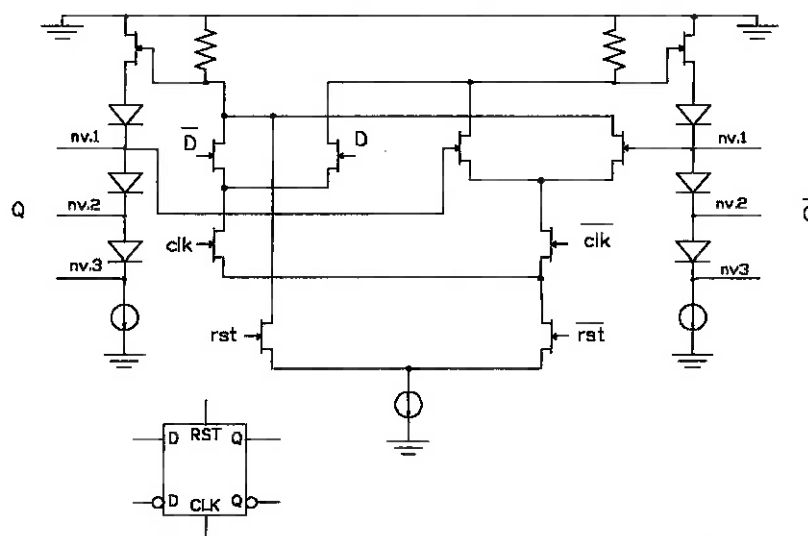


Figura 2.18 LATCH com Reset implementado a partir da família SCFL.

O consumo de potência em SCFL é elevado. Cada um dos dois estágios seguidor de fonte consome individualmente mais potência que o estágio diferencial de entrada; e mesmo para as funções lógicas mais complexas, possivelmente implementáveis através do empilhamento de transistores multi-níveis de entrada, a potência consumida pela célula SCFL ainda é maior comparada a outras famílias. Assim, a topologia SCFL é indicada para circuitos integrados de baixa e média escala de integração, cujo principal objetivo seja a maximização da operação em alta velocidade.

2.3.3 Desempenho em termos de produto velocidade-potência

O desempenho das portas lógicas é dependente principalmente do tempo de chaveamento do transistor, da carga da porta, do consumo de potência, da flexibilidade de projeto da porta, da margem de ruído e da amplitude da excursão lógica, V_{sw} . O carregamento de porta inclui tanto a carga de entrada, FI, quando a de saída, FO e capacitâncias parasitárias de interconexão. Devido ao estágio deslocador de níveis, necessariamente presente nas lógicas normalmente-ON, o desempenho em termos de integração desta lógica estará limitada a circuitos LSI. Mesmo as versões não-bufferizadas das lógicas normalmente-ON, mais apropriadas para aplicações de baixa potência, apresentam níveis de dissipação de potência acima das lógicas que empregam transistores de enriquecimento. Isto porque o consumo DC nos elementos deslocadores de níveis tem que ser mantido alto visando permitir condições de alimentação para os estágios seguintes.

O consumo de potência de uma porta com transistor de depleção é proporcional à diferença das fontes, $V_{DD} - V_{SS}$, e a V_{th} . Assim, a única alternativa para se reduzir o consumo de potência é empregar tensões de limiar próximo de zero e reduzir a diferença das tensões de alimentação. Mesmo empregando versões de baixo consumo de potência, portas lógicas de modo depleção são cerca de 2 a 10 vezes mais dissipativas que as de modo enriquecimento.

O quadro 2.2 compara os principais parâmetros de desempenho para as famílias lógicas normalmente-ON e -OFF, implementadas em GaAs empregando FETs com comprimento de porta $L_g = 1\mu m$. Analisando o desempenho velocidade-potência destas portas, nota-se a superioridade das famílias normalmente-OFF. Particularmente, a família DCFL é a que apresenta maiores condições de implementação VLSI.

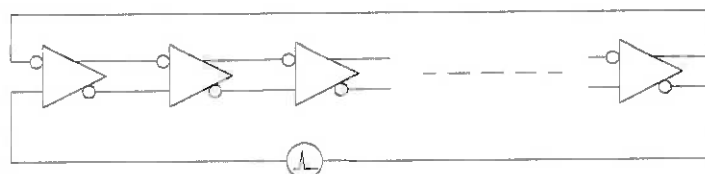
Quadro 2.2 Principais parâmetros para famílias lógicas normalmente-ON e -OFF¹⁴

PARÂMETRO		FAMÍLIA LÓGICA (para $L_g = 1\mu m$)			
		CDFL, LBFL, SDFL	DCFL	BDCFL	SCFL
V_{th}	[V]	-0,5 / -0,1	0,1 / 0,2	0,1 / 0,2	0,1 / 0,2
P_{diss}	[mW]	2 / 10	0,2 / 0,5	1 / 2	2 / 10
$\tau_{pd}^{(1)}$	[ps]	100 / 50	100 / 70	80 / 60	80 / 50
V_{sw}	[V]	0,8 / 1,0	0,5	0,6	0,4 / 0,8
Funções Básicas	-	OR, NOR, NAND	NOR	NOR e wired OR	OR, NOR, AND, NAND
Densidade	[cél/mm ²]	100 / 200	500 / 1000	100 / 500	10 / 100

(1) para FO = FI = 2

Osciladores em anel e divisores binários ultra rápidos³⁰⁻⁴² são simulados e/ou construídos a partir de células básicas com o objetivo de se poder avaliar e comparar os limites de desempenho velocidade-potência consumida por porta sob o ponto de vista de processo de fabricação e família lógica empregada. A figura 2.19 ilustra a estrutura de um oscilador em anel empregado na simulação e na caracterização do desempenho de uma família lógica. É um método de avaliação conveniente e largamente empregado na avaliação do atraso de propagação e dissipação de potência, uma vez que o oscilador em anel gera internamente sua própria fonte de sinal. Osciladores em anel são compostos por um número ímpar, m , de inversores com níveis lógicos bem definidos e suficiente ganho linear, conectados entre si até formarem um elo fechado. Mede-se então a frequência de oscilação¹⁵, f_{osc} , relacionada ao atraso de propagação intrínseco por:

$$f_{osc} = \frac{1}{2 \cdot m \cdot \tau_{pd}} \quad (2.10)$$

 m = número ímpar de inversores**Figura 2.19** Esquema de simulação elétrica para um oscilador em anel empregado na comparação de desempenho de famílias lógicas.

Os atrasos de propagação obtidos a partir da medida de f_{osc} não podem ser diretamente usados na caracterização de circuitos de alta complexidade. No entanto, a

perda de desempenho de velocidade em CIs complexos não é tão grande em GaAs quanto em circuitos de Si. Para a tecnologia NMOS, há uma diferença de pelo menos 4 a 5 vezes entre o desempenho de velocidade obtido em um oscilador em anel para um circuito real de complexidade LSI ou maior fabricado com a mesma tecnologia. Metade desta perda resulta do carregamento de saída, e o restante das capacitâncias parasitárias de leiaute. Já em GaAs, devido à tecnologia de interconexões aéreas, as capacitâncias parasitárias de leiaute são reduzidas. Portanto, há uma correspondência razoavelmente próxima entre a medida de τ_{pd} obtida no oscilador em anel e aquela obtida em circuitos complexos. O quadro 2.3 apresenta resultados de desempenho de algumas famílias lógicas em tecnologia GaAs e Si a partir de medidas feitas em osciladores em anel, considerando carregamento de entrada e saída unitário, $FI = FO = 1$, e carregamento devido a interconexão desprezível.

Quadro 2.3 Resultados de osciladores em anel para algumas famílias lógicas, para $FI = FO = 1$ ¹⁴

<i>Tecnologia</i>		<i>dimensão mín. [μm]</i>	τ_{pd} [ps]	$P_{diss} / \text{cél}$ [mW]	$P_{diss} \times \tau_{pd}$ [fJ]
GaAs	SCFL	0,7	40	7,5	300
	DCFL	1,5	42	0,5	21
MESFET		0,4	16	1,0	16
	BDCFL	0,7	22	3,4	75
	BFL	0,5	56	4,5	252
Si Bipolar	ECL	0,1	50	3,0	150
		0,35	78	2,6	200
Si	NMOS	0,3	30	1,5	30

A superioridade de velocidade da família SCFL em relação às outras famílias lógicas em GaAs só é efetiva para fan-outs maiores que 2, quando justamente o atraso total eleva-se bastante em outras lógicas, como por exemplo a DCFL. Em contrapartida, portas lógicas implementadas em DCFL apresentam baixo consumo de potência e alta simplicidade de implementação, sendo possível obter circuitos VLSI em GaAs; enquanto que o nível máximo de integração atingido com a família SCFL é LSI. Este desempenho superior de velocidade da porta SCFL deve-se em parte ao empilhamento de transistores no estágio amplificador diferencial de entrada, e em parte à menor capacitância de entrada, C_{in} , e de porta-dreno, C_{gd} , resultando em implementações de funções lógicas complexas e compactas em uma única célula com f_T superior a maior parte das outras famílias, e portanto eficientes do ponto de vista de velocidade.

Já a família BFL exibe velocidade compatível, e às vezes maior que a SCFL, enquanto consome muito mais potência devido à sua inerente tensão de limiar elevada, em torno de $-2,5V$. O decréscimo de potência consumida na estrutura SCFL deve-se ao V_{th} ótimo estar reduzido a valores próximo de zero, ligeiramente negativo.

Uma vez que a estrutura SCFL emprega topologia balanceada, exibe a vantagem da não ocorrência de spikes de correntes nas transições dos níveis lógicos, como ocorre com o super buffer/inversor DCFL e BFL. Assim, ruídos de fonte de alimentação são minimizados na estrutura SCFL.

Uma comparação do desempenho velocidade-consumo de potência considerando a implementação de flip-flop's tipo T para ambas as tecnologias é resumida no quadro 2.4. A frequência máxima de operação, f_{toggle} , é obtida fazendo $m = 1$ na equação 2.10.

Atualmente, as famílias DCFL e a SCFL estão sendo amplamente empregadas na implementação de circuitos digitais de GaAs pelas foundries que prototipam CI's. Isto se deve, como visto anteriormente, a conjunção de dois fatores complementares: a) características favoráveis destas duas famílias para a construção de CIs em GaAs, principalmente pela altíssima escala de integração obtida pela família DCFL, ou pelo ótimo desempenho de velocidade atingido pela SCFL; b) maturidade obtida com os processo de fabricação. Por exemplo, com o processo recente H-GaAs III da Vitesse¹⁹, que emprega transistores com comprimentos de porta $L_g = 0,6 \mu m$, a foundry garante dispersão máxima para a tensão de limiar dos dispositivos ao longo da lâmina, $\delta V_{th} = 60 mV$, tanto para E-MESFET, com $\bar{V}_{th} = 0,220 V$, quanto para D-MESFET com $\bar{V}_{th} = -0,825V$. Para este processo, a Vitesse dispõe de uma biblioteca de células padrão em DCFL com $f_{toggle} = 1GHz$. Como a estrutura SCFL minimiza a dependência em relação à reprodutibilidade dos parâmetros de processo ao longo da lâmina, possibilitando a implementação das diversas funções lógicas mesmo existindo uma variação relativamente grande da tensão de limiar, V_{th} , em seus transistores, é possível obter a mesma funcionalidade com um processo de fabricação não tão calibrado. Como exemplo, o processo QED/A da TriQuint⁴³ apresenta, para ambos os tipos de transistores, $\delta V_{th} = 150 mV$, i.e. desvio máximo na variação de V_{th} maior que o dobro que para o processo da Vitesse. A família SCFL está disponível através da biblioteca de células padrão QLSI⁴⁴, apresentando $f_{toggle} = 2,0 GHz$ e $L_g = 1 \mu m$. Anteriormente, a TriQuint usava lógica BFL (Buffered FET logic) com o nome de QLOGIC (Biblioteca de células padrão). Esta topologia está sendo gradualmente abandonada devido ao seu alto consumo de potência (tipicamente, $12 mW/porta$, $@\tau_{pd} = 60 ps$) e baixa escala de integração (até MSI).

Quadro 2.4 Desempenho velocidade-consumo de potência de flip-flops tipo T para GaAs e Si^{14,32}

Tecnologia		dimensão mín. [μm]	V_{sw} [mV]	Nº de div. por 2	f_{toggle} [GHz]	P_{diss} [mW]
GaAs	SCFL	0,5 ¹	400	2	11,0 9,7	149 52
	CDFL	0,2		2	14,5	98
	BFL	0,2		2	17,9	657
MESFET	DCFL	1,0	500	4	5,1 3,5	78 2,9
	BDCFL	0,8	500	2	6,6	20
	Lógica Dinamica	1,0 0,5		2 2	1,9 13,2	0,25 115
Si	Bipolar-CMOS	0,5 0,2	500	2 2	6,0 10,0	45 90
	NMOS	0,4		5	2,5	17,5

(1) tecnologia de interconexão aérea

2.4 FOUNDRIES DE CI's DIGITAIS DE ALTA VELOCIDADE EM GaAs

Uma das primeiras etapas no desenvolvimento de um circuito integrado é a seleção da foundry de GaAs para a prototipagem do CI digital. Assim, foi feita uma avaliação comparada entre as principais foundries em GaAs existentes que prestam serviços externos. Esse mapeamento leva em consideração parâmetros tais como: avaliação dos tipos de processos disponíveis em cada foundry, custos de fabricação e prazos de entrega, existência de serviços multi-usuários e facilidades de uso para Universidades e Centros de Pesquisa, softwares necessários para projeto, padrão de testes, encapsulamento, etc. Assim, para sistematizar a apresentação dos resultados comparados dos serviços de foundry em GaAs, divide-se esta seção em três partes, nas quais:

- . estabelece-se critérios de seleção de foundry de GaAs;
- . faz-se uma avaliação comparada das foundries que estejam prestando serviços externos em CI's digitais em GaAs;
- . escolha de foundry para a prototipagem do CI projetado, considerando os critérios de seleção estabelecidos inicialmente.

2.4.1 Critérios de seleção de foundry

A seleção de uma foundry para a prototipagem de circuitos integrados deve ser realizada em função de um conjunto consistente de critérios. Os principais critérios visando obter um compromisso entre eficiência, qualidade e flexibilidade na construção de CI's em GaAs são listados a seguir⁴⁵:

- custos;
- frequência máxima de operação (f_{toggle}) e a frequência de transição (f_T) associados a uma determinada família lógica e ao processo de fabricação, respectivamente, empregados pela foundry;
- disponibilidade de modelos de foundry precisos que consigam representar bem tanto o comportamento dos *elementos de circuito*, como transistores, diodos, resistores, como os *elementos parasitas de leiaute*, até vários Gigahertz. No caso de *células padrão* de uma biblioteca, deve-se esperar modelos lógicos que descrevam com precisão o comportamento dos parâmetros de entrada e saída destas células;
- flexibilidade de processo, i.e. possibilidade de incorporar em uma mesma lâmina subsistemas digitais e analógicos de alta potência, bem como de baixo ruído⁴⁶;
- solidez da foundry, uma vez que o mercado consumidor de CI's monolíticos em GaAs mudou bastante nos últimos anos, com a redução dos negócios com o setor militar e a emergência de novas aplicações comerciais⁴⁷⁻⁴⁹;
- existência de uma segunda foundry licenciada⁵⁰ que empregue rotineiramente o mesmo processo tecnológico, podendo assim suprir eventual suspensão das atividades da foundry principal.

Além dos critérios gerais apresentados acima, outros aspectos devem ser considerados na seleção da foundry a ser utilizada. Uma foundry deve ser capaz de fornecer uma boa documentação sobre as regras de projeto e bibliotecas de dispositivos ou de portas lógicas para o caso de projetos digitais. O usuário deve esperar alta flexibilidade de projeto para poder incorporar à biblioteca de dispositivos estruturas adicionais tais como FETs, resistores, indutores, capacitores, criadas em seu próprio CAE (Computer Aided Engineering) a partir de regras de projetos definidas pela foundry.

No caso de circuitos digitais, existem duas grandes abordagens de projeto. Na primeira, o usuário/projetista tem como pressuposto a existência de blocos lógicos já otimizados pela foundry, em velocidade e/ou consumo de potência, e disponíveis na forma de bibliotecas. Tal abordagem é comumente denominada projeto empregando biblioteca de células padrão. No caso a foundry fornecer uma biblioteca de células padrão é importante analisar as restrições que a mesma impõe ao projeto. Por outro lado, quando

o projeto e otimização das funções lógicas empregadas no CI digital forem realizadas pelo usuário, a abordagem de projeto será denominada “full-custom” ou projeto ao nível de transistor. Neste caso, o usuário deve fazer simulações elétricas, empregando modelos de transistores fornecidos pela foundry. A vantagem desta filosofia de projeto em relação à adoção de uma biblioteca de células-padrão está na maior compactação obtida e minimização de consumo de potência, uma vez que o projeto das funções realizadas pelo usuário pode ser mais dedicado. Por sua vez, a vantagem da abordagem célula-padrão requer menor tempo de projeto, pois não se tem a fase de simulação elétrica e otimização das células básicas.

O custo de processamento de CIs em GaAs para um usuário externo é da ordem de US\$ 60.000,00, incluindo em geral a confecção de máscaras e processamento de 2 lâminas de 76 mm a 100 mm de diâmetro. Este custo pode elevar-se caso o cliente utilize facilidades adicionais de foundry, como revisão de projeto, encapsulamento dos CIs, caracterização elétrica, etc.

Universidades e Centros de Pesquisa com atividades na área de projeto de CIs de GaAs têm a alternativa de prototipar seus circuitos através de processamentos multi-usuários, oferecidos por algumas foundries. Esses processamentos, compartilhados por um grupo de usuários com projetos distintos, caracterizam-se por oferecerem custos mais baixos, atendendo aos quesitos de grupos de pesquisa que necessitam de uma pequena quantidade de chips para avaliar a efetividade de seus projetos.

Quanto ao tempo de fabricação e entrega de CIs em GaAs, normalmente são gastos 14 a 16 semanas na geração das máscaras e fabricação das lâminas do CI. A opção multi-usuário, quando disponível, prevê a entrega de tão somente 10 a 20 chips por projeto, sendo que parte ou todos destes podem ser encapsulados, de acordo com o interesse do usuário.

O controle de qualidade do processamento é garantido pela realização de testes em estruturas e componentes PCM (Process Control Monitor), distribuídas ao longo da lâmina de GaAs. Através desse monitoramento extraem-se dados de processo que permitem controlar variáveis de processo, tais como:

- resistividade do substrato GaAs
- isolamento entre dispositivos implantados
- parâmetros S dos FET's
- parâmetros de resistor
- resistência de metalização
- valores de capacitância
- continuidade de via

O teste das células PCM em lâminas processadas é uma garantia de reprodutibilidade de processo. Na opção multi-usuário a foundry garante que os chips entregues passaram no teste PCM. Já o usuário de grande porte pode testar diretamente as células PCM como parâmetro de aceitação dos circuitos entregues pela foundry.

Existe ainda disponível nas foundries o serviço de testes DC e RF dos circuitos. Em geral estes testes são opcionais e devem ser requisitados pelo usuário. O custo deste serviço é função da complexidade do circuito integrado construído.

As foundries oferecem diferentes processos de fabricação, devendo-se selecionar uma foundry que satisfaça às necessidades do circuito a ser projetado. Algumas características de processo são:

- *comprimento de porta do transistor* que determina a máxima frequência de operação dos dispositivos ativos construídos;
- "*via holes*", furos de passagem através do substrato que reduzem os parasitas em altas frequências, uma vez que minimizam indutâncias e roteamento para o terra no circuito monolítico, reduzindo efeitos indutivos e de acoplamento entre vias de conexão. Normalmente, esta opção é empregada apenas em CI's analógicos de microondas (MMIC);
- "*air bridge*", linhas de conexão aéreas que possibilitam maior compactação de circuito e menores capacitâncias parasitárias entre via metálica e substrato;
- *níveis de interconexão metálica*: é comum encontrar processos com até 4 níveis de conexões metálicas, sendo que pelo menos um nível emprega tecnologia aérea;
- *capacitores metal-isolante-metal (MIM)*, com faixa de valores de capacitância por área e tensão de isolamento dependentes do isolante utilizado;
- *resistores de camada ativa e/ou filme fino*.

2.4.2 Foundries selecionadas

Na etapa inicial do trabalho desta dissertação foi realizada uma pesquisa sobre foundries que ofereciam serviços de prototipagem de CIs de GaAs. No período de março a junho de 1993 foram contactadas 9 foundries de GaAs, obtendo-se informações precisas a respeito de tecnologia, opções de processamento, suporte necessário de software, custos e prazos de entrega dos serviços de fabricação de CIs monolíticos digitais e de microondas em Arseneto de Gálio. Estas informações são apresentadas detalhadamente na referência [51]. Sintetiza-se a seguir as informações relevantes para projetos de CI's

digitais obtidas naquele período.

Dentre as 9 foundries contactadas, na época, apenas três processavam circuitos digitais em GaAs para clientes externos: *Philips Microwave Limeil*, *TriQuint Semiconductor Inc* e *Vitesse Semiconductor Corp*. E destas três, as duas últimas ofereciam serviços multi-usuários regularmente. Segue-se análise dos serviços prestados e detalhes de processo de fabricação de cada uma das três foundries.

PHILIPS MICROWAVE - International Product Centre

A Philips Microwave Limeil (PML) atua na área de projetos de CIs e processo tecnológico em GaAs desde o final da década de 70. Atualmente oferece serviços⁵² de projeto e fabricação de CI digitais e analógicos com base em sete processos distintos de fabricação.

Em 1993, a Philips Microwave Limeil não oferecia regularmente a opção multi-usuário, embora esta situação seja revista periodicamente, baseada diretamente na demanda de serviços.

A Philips Microwave LIMEIL possui disponível hoje 4 processos de fabricação em GaAs MESFET completamente desenvolvidos, DO7A/M, DO5ML, DO5AL e ERO7AD e 3 processos em GaAs HEMT: DO5AH, DO2AH, recentemente disponíveis e o EDO2AH, em fase de amadurecimento. Destes, apenas 1 é destinado à fabricação de CIs digitais, como descrito a seguir:

ERO7AD - Para circuitos integrados analógicos e digitais de baixo custo e baixo consumo DC e complexidade de integração máxima MSI (2000 transistores por chip). O processo ERO7AD emprega substratos de 200 μm de espessura, sem via holes e sem air bridge, 3 níveis de interconexão com isolamento dielétrica entre níveis. São usados E-MESFET com $V_{th} = 175$ mV e D-MESFET com $V_{th} = -2,0$ mV, ambos com $L_g = 0,7$ μm , proporcionando mesclar circuitos analógicos de baixo ruído com digitais de baixo consumo de potência em um mesmo "die"; $f_T = 17,0$ GHz

A Philips Microwave usa correntemente no desenvolvimento de projetos internos as seguintes famílias lógicas: DCFL, BDCFL e SCFL.

Para o processo PML ERO7AD, os custos de fabricação de uma lâmina, incluindo o manual de regras de projeto, revisão/verificação de regras de projeto (DRC), suporte técnico, conjunto de máscaras, processamento, afinamento e corte da lâmina está entre US\$ 54.000 e US\$ 65.000, dependendo das opções de máscara e de processo selecionados.

Em 1994 a PLM desenvolveu também a opção transistor modo enriquecimento do processo DO2AH. Este novo processo, denominado EDO2AH, combina transistores HEMT de $L_g = 0,2 \mu\text{m}$ normalmente-ON ($V_{th} = -0,8 \text{ V}$) e -OFF ($V_{th} = 0,0 \text{ V}$) em um mesmo chip, possibilitando projetos de CIs digitais com taxas acima de 10 GHz. A previsão para o processo entrar na linha de produção da foundry era 1995.

Em meados de 1994 a PML passou a oferecer os processos ERO7AD (digital) e DO2AH na opção multi-usuário, a qual denominou "multichip project" (MCP), não estando disponível nenhuma biblioteca de células padrão. Em maio deste mesmo ano, o processo DO2AH pôde ser acessado em opção multi-usuário através do programa acadêmico francês CMP (Circuit Multi-Projects). O custo aproximado é de US\$ 1.110 / mm^2 para 10 a 15 chips não encapsulados.

TRIQUINT SEMICONDUCTOR (TQS)

Os serviços externos da foundry da TriQuint incluem projeto e fabricação de circuitos analógicos e digitais¹⁷. É disponível a opção de compartilhamento do conjunto de máscaras por vários usuários (multi-projeto), permitindo-se desenvolver economicamente circuitos monolíticos. A TriQuint denomina esta opção de "Prototype Chip Option" (PCO).

Cinco processos de fabricação (1A, HA, QED, QED/A e 1D) são disponíveis na opção multi-usuário (PCO), sendo que todos estes empregam lâminas de diâmetro igual a 100 mm. Dentre os processos citados, atualmente dois são utilizados para a fabricação de CIs digitais de alta velocidade, com as seguintes características adicionais:

1. Processo GaAs QED

- D-MESFET ($V_p = -0,60\text{V}$);
- E-MESFET ($V_{th} = 0,15\text{V}$);
- $L_g = 1,0\mu\text{m}$;
- $f_T = 15 \text{ GHz}$;
- Diodo Schottky;
- Resistores implantados;
- 12 níveis de máscaras;
- $f_{toggle} = 4 \text{ GHz}$;
- Manual de regras de projeto QED/A;
- Biblioteca células padrão QLSI (SCFL) com 50 células e $f_{toggle} = 2 \text{ GHz}$;
- elementos padrão para FET's, diodos, capacitores, indutores, resistores de filme fino e implantados;
- Programa de geração de modelos para o SPICE (QMOD).

2. Processo GaAs QED/A

- D-MESFET ($V_p = -0,60V$);
 - E-MESFET ($V_{th} = 0,15V$);
 - Disponíveis MESFET's: $V_p = 0,2$ e $-2,0V$;
 - $L_g = 1,0\mu m$;
 - $f_T = 15$ GHz ;
 - Diodo Schottky;
 - Resistores implantados;
 - Resistores de filme fino;
 - Capacitores MIM;
 - Air-bridge;
 - Via holes;
 - 13 níveis de máscaras;
 - $f_{toggle} = 4$ GHz;
- Manual de regras de projeto QED/A;
 - Biblioteca QLSI (SCFL) com 50 células padrão e $f_{toggle} = 2$ GHz;
 - Elementos padrão para FET's, diodos, capacitores, indutores e resistores de filme fino e implantados;
 - Programa de geração de modelos para o SPICE (QMOD).

Em abril de 1995, a TriQuint introduziu o processo QEDA2, versão melhorada e tecnologicamente enriquecida do processo QED/A. O processo QEDA2 emprega transistor MESFET com $L_g = 0,7 \mu m$ com $f_T = 21$ GHz e permite até 4 níveis de interconexões com dielétrico de baixa constante dielétrica, resultando em capacitâncias parasitárias de até 25% em relação às obtidas no QED/A.

Os custos de processamento na opção multi-usuário dependem basicamente do processo e do tamanho do chip. Situa-se na faixa de US\$ 1.750 a US\$ 4.300 por mm^2 . Restrições de área são naturalmente impostas pela opção multi-usuário. Em geral, para cada processo existem pré-definidos 3 tamanhos de "die", que permitem processar CI's com áreas entre $(1mm)^2$ e $(3mm)^2$.

Programa Circuit Multi-Projets (CMP) - VITESSE

Existem dois processos de fabricação de CIs digitais oferecidos pela foundry norte-americana Vitesse Semiconductor Corp. que podem ser acessados em opção multi-usuário por Universidades e Centros de Pesquisa, através do programa acadêmico francês CMP. Esses processos empregam a tecnologia SAGA (Self Aligned Gallium Arsenide)⁵³ e transistores MESFETs com comprimento de porta de 0,8 e 0,6 μm para os processos H-GaAs II e H-GaAs III, respectivamente.

Resume-se abaixo as principais características dos processos digitais de alta velocidade em GaAs da VITESSE e disponíveis no programa CMP:

Características do processo 0,8 μ m H-GaAs II

- E e D-MESFETs
- $L_g = 0,8\mu\text{m}$;
- 4 níveis de interconexão (alumínio)
- diodos Schottky
- lâminas de 100 mm
- 11 máscaras
- capacidade de integração: 400K dispositivos ativos

Suporte de projeto:

- Manual de Regras de Projeto

Custos do processo 0,8 μ m SAGA: aprox. US\$ 500.00/ mm² (2700 FF/mm²) para 15 “die”, não incluído custos de encapsulamento e de taxas de importação.

Atualmente a CMP não oferece opções de bibliotecas de células padrão para o processo H-GaAs II.

Características do processo¹⁹ 0,6 μ m H-GaAs III :

- E-MESFETs $V_{th}(\text{nom}) = 220 \pm 60 \text{ mV}$;
- D-MESFETs $V_{th}(\text{nom}) = -825 \pm 60 \text{ mV}$;
- $L_g = 0,6\mu\text{m}$;
- 5 níveis de interconexão (4 metais + 1 metal de porta);
- diodos Schottky;
- lâminas de 100 mm;
- 13 máscaras;
- máxima área de chip: (15 mm)²;
- capacidade de integração: 1000K dispositivos ativos;

Suporte de projeto:

- Manual de Regras de Projeto;
- biblioteca de células padrão da família DCFL, com $f_{toggle} = 1\text{GHz}$, desenvolvida pela empresa norte-americana SPEC⁵⁴ para ferramentas automáticas de projetos de CI's COMPASS. O custo do kit de projetos educacional, “GSC10 Educational Design Kit”, destinado a Universidades e Laboratórios de Pesquisa é aprox. US\$ 3.150

Custos do processo 0,6 μ m H-GaAs III: aproximadamente US\$ 500 /mm² para 15 chips, não incluído custos de encapsulamento e de taxas de importação.

2.4.3 Conclusões da análise comparativa dos serviços de foundry

Da análise realizada anteriormente, conclui-se que os serviços de prototipagem multi-usuário de baixo custo para CI's digitais em GaAs são oferecidos atualmente por um número reduzido de foundries, quando comparados com foundries que processam CI's digitais em Si. Tecnologias baseadas em MESFET's de GaAs estão disponíveis atualmente nas foundries TriQuint Semiconductor Inc, Vitesse Semiconductor Corp. e Philips Microwave Limeil (PML). A foundry TriQuint organiza suas próprias corridas de prototipagem multi-usuários duas vezes ao ano. Já os serviços de foundry da Vitesse podem ser acessados através do programa francês CMP (Circuits Multi Projects). A foundry PML passou a oferecer processamento de CIs digitais em esquema multi-usuários apenas a partir de meados de 1995.

O quadro 2.5 resume as informações da tecnologia MESFET oferecidas pela TriQuint, Vitesse, e PML para a opção multi-usuário. Note que, preliminarmente, estão atendidas as necessidades de projeto inicialmente propostas em termos de frequência e/ou taxa máxima de operação dos CI's em GaAs que seriam fabricados, uma vez que os comprimentos de porta de transistor são iguais ou menores de $1\mu\text{m}$ nas três foundries. Projetistas de CI's digitais de alta velocidade que empregam a abordagem "full-custom", i.e. projeto ao nível de transistor, podem acessar atualmente tecnologias baseadas em MESFET's com comprimentos de porta na faixa de $0,6$ a $1,0\mu\text{m}$. O projetista tem ainda a opção de empregar a abordagem de células-padrão em seus circuitos. Neste caso, as tecnologias disponíveis são mais restritas. A TriQuint oferece a biblioteca QLSI de células padrão baseada em transistores MESFET's com comprimento de porta de $1\mu\text{m}$ e emprega a família lógica Logic Source Coupled FET (SCFL) na construção de funções lógicas combinatórias e de memória, garantindo sua operação até $2,0\text{ Gb/s}$. Outra opção é acessar a biblioteca de células padrão da Vitesse baseada na família lógica Direct Coupled FET Logic (DCFL) e taxa de operação máxima de $1,0\text{ Gb/s}$. Finalmente, a Philips Microwave Limeil não oferece bibliotecas de células padrão para a opção multi-usuários (MCP).

Quando se faz uma comparação dos custos de projeto e de fabricação dos CI's em GaAs baseada nas informações obtidas no início deste trabalho, conclui-se que a opção normal de processamento apresenta custos proibitivos para os orçamentos das entidades acadêmicas, já que Universidades e entidades associadas a pesquisa pública possuem finalidades experimentais, de investigação e não-comerciais.

Para os custos de fabricação de CI's em GaAs digitais a TriQuint e CMP-Vitesse, na opção multi-usuário, representavam opções razoáveis em termos de orçamento disponível para o projeto acadêmico. A CMP-Vitesse apresentava-se como a melhor opção. Seu custo de fabricação era inferior ao da TriQuint. No entanto, a opção de projeto, inicialmente adotada aqui, empregando exclusivamente células padrão, na época decididamente inviabilizou a utilização do programa da CMP-Vitesse, que não oferecia

biblioteca de células padrão. Já os processos QED e QED/A da TriQuint apresentavam-se como opções razoáveis para a fabricação do CI digital proposto neste trabalho.

Quadro 2.5 Características gerais de processamento de CI's digitais em GaAs para as foundries TriQuint, Vitesse-programa CMP e PML.

<i>Parâmetro</i>	<i>Foundry</i>		
	TriQuint	VITESSE - prog. CMP	PML
Processo	QED/A	H-GaAs II e III	ERO7AD
L_g do MESFET	1 μm ou 0,7 μm	0,8 μm e 0,6 μm	0,7 μm
E-MESFET's	sim	sim	sim
D-MESFETs	sim	sim	sim
f_T	15 GHz ou n.d.	n.d.	17
f_{toggle}	4 Gb/s ou n.d.	n.d.	4
Biblioteca (Família lóg. - taxa max.)	QLSI (SCFL - 2 Gb/s)	VCB50K ^(*) (DCFL - 1Gb/s) (SCFL - 3 Gb/s)	SCFL / DCFL ^(**)

(*) A biblioteca VCB50K, associada originalmente ao processo H-GaAs II, não está disponível na opção multi-usuário do programa CMP;

(**) No entanto, estas bibliotecas não estão disponíveis na opção multi-usuário (MCP) da Philips.

n.d. : dado não disponível

Escolheu-se então o processo QED/A da TriQuint para se realizar o processamento do CI proposto neste trabalho uma vez que para este processo a foundry oferecia:

- disponibilidade de uma biblioteca de células padrão bastante completa em termos de funções lógicas e versões de potência disponíveis, a QLSI, construída a partir de uma topologia que reúne características de alta velocidade e consumo de potência moderado, a família SCFL;
- taxa de operação de 2 Gb/s para as células da biblioteca QLSI, garantida para toda a faixa de variação de processo;
- serviço multi-usuário disponível;
- qualidade e confiabilidade dos serviços.

Desta forma, o demultiplexador proposto neste trabalho foi fabricado empregando-se células da biblioteca QLSI da TriQuint baseada em MESFET's de 1 μm e família lógica SCFL.

Capítulo 3

3. DEMULTIPLEXADORES DE ALTA VELOCIDADE: TOPOLOGIAS

3.1 INTRODUÇÃO

Analisar-se-á neste capítulo as diversas topologias de demultiplexadores, bem como os circuitos redirecionadores de bits (“skip circuit”) encontrados na literatura. Para efeito de comparação, serão estabelecidos critérios que indiquem a excelência da estrutura analisada. São critérios gerais que buscam fixar bases para o projeto de um circuito demultiplexador de alta velocidade, capazes de apontar, dentre as estruturas analisadas, aquela que inerentemente possui maior potencial de utilização do ponto de vista do compromisso consumo de potência versus desempenho de velocidade.

Como se pretendia a priori projetar um demultiplexador empregando células padrão da biblioteca QLSI⁴⁴ da foundry TriQuint, as topologias de demultiplexador e circuito de skip foram analisadas do ponto de vista de realizabilidade através das células padrão disponíveis. Além disso, estimou-se o consumo de potência e da área ocupada pelas topologias estudadas, caso as mesmas fossem implementadas com células padrão da biblioteca QLSI. Embora os parâmetros utilizados nessa análise sejam particulares da biblioteca QLSI, baseada na família lógica SCFL, os resultados obtidos desse procedimento permitem uma comparação realística das topologias estudadas em termos de consumo de potência e área ocupada.

3.2 CRITÉRIOS PARA A SELEÇÃO DA TOPOLOGIA DO DEMULTIPLEXADOR

As seguintes características são desejáveis em um demultiplexador de alta velocidade baseado em elementos de memória :

- deve ter um número mínimo de entradas e a geração das subseqüentes fases de relógios deve depender apenas de uma única lógica de relógio;
- todos os dados de saída devem estar alinhados no tempo;
- a frequência do sinal de relógio de entrada deve ser igual a taxa de bit do sinal de dados de entrada, uma vez que os atuais circuitos de recuperação de relógio geralmente reconstituem o sinal de relógio a partir do sinal de dados;
- integrar recursos adicionais:
 - circuito para alinhamento de bit (“skip control”): empregando um sinal (bit ou palavra) de controle externo para rotacionar os bits de dados de saída demultiplexados ou, mais completamente;

- incluir adicionalmente um circuito para detecção de quadro interno, capaz de detectar o desalinhamento dos dados de saída demultiplexados e de gerar um sinal de controle que atue no circuito de alinhamento de bits, resultando, no entanto, nível ainda maior de integração;
- apenas a fase relativa entre dados de entrada e relógio de entrada pode ser alinhada externamente. Nenhum outro atraso externo deve ser usado para ajustar fases relativas internas ou de saída;
- margem de fase extensa e alta sensibilidade dos sinais de entrada do demultiplexador são desejáveis, embora não sejam imprescindíveis, pois permitem eliminar em alguns casos o circuito de decisão, que precede o circuito demultiplexador em um sistema de recepção óptica de alta capacidade;
- finalmente, deve-se aproveitar o limite tecnológico de um dado processo em termos da máxima taxa de operação assegurada, obtendo-se um circuito integrado com o produto custos-velocidade otimizado;

Para quantificar estas características, foram propostos os seguintes critérios:

3.2.1 Funcionalidade

- a) *Atraso físico x atraso lógico*: uma topologia que utilize apenas atraso lógico terá um melhor desempenho em relação àquela com atraso físico em sua estrutura. O uso de atraso físico pode se tornar inadequado em altas velocidades, devido aos desvios de processo de fabricação e/ou quando o demultiplexador operar em mais de uma taxa.
- b) *Ampla margem de fase de entrada e interna*: define-se margem de fase, MF, de entrada em um demultiplexador à faixa de valores possíveis para a fase relativa entre os sinais de relógio e de dados de entrada tal que seja mantida a recuperação correta dos dados de saída para uma dada taxa de operação. A figura 3.1 mostra a relação das fases de relógio e dados na determinação da margem de fase genérica, equação 3.1. Pode-se estender o conceito de MF para os sinais de dados e relógio internos e de saída em um demultiplexador. Na análise topológica de um demultiplexador é sempre útil avaliar as margens de fase teóricas de entrada e interna. Quanto maior a margem de fase de entrada, melhor, uma vez que esta reduz a sensibilidade do demultiplexador às variações da fase de relógio e ao ruído de fase provenientes do circuito recuperador de relógio. Por sua vez, as variações de processo de fabricação, bem como as especificidades no projeto das interconexões internas ao circuito na fase de leiaute podem afetar as margens de fase de entrada e interna, e um pouco menos a fase relativa de saída em demultiplexador de alta velocidade.

3. Demultiplexadores de Alta Velocidade: Topologias

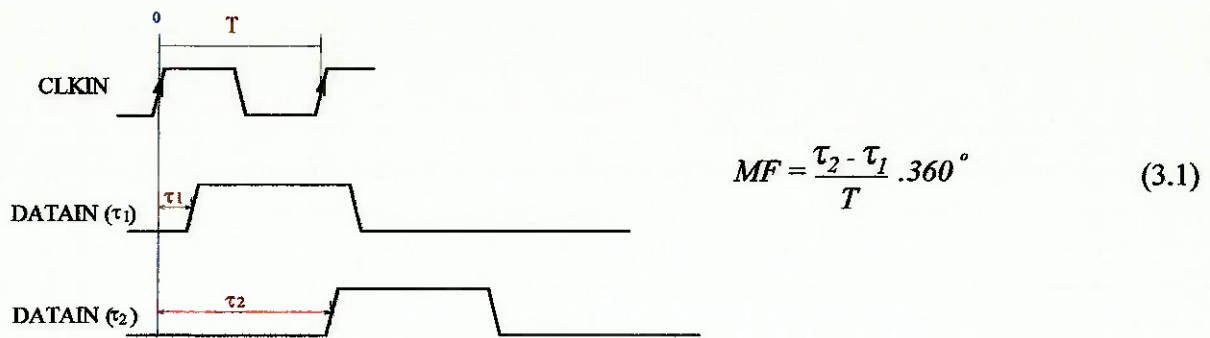


Figura 3.1 margem de fase genérica: fase relativa mínima e máxima entre relógio e dado tal que se possa ainda recuperar corretamente a informação na saída do demultiplexador

- c) *Instante da amostragem do sinal nas etapas síncronas de demultiplexagem:* para se obter maior imunidade às variações de processo de fabricação do CI, a amostragem do sinal pelos circuitos regenerativos (flip-flop tipo D), nas diversas etapas da demultiplexagem do sinal, deve ser realizada no instante médio de duração do sinal naquela etapa. Desta forma, este procedimento resulta em máxima margem de fase interna.
- d) *Alinhamento dos sinais de dados e relógio de saída:* todos os sinais de dados demultiplexados e o de relógio de saída devem estar alinhados no tempo. Além disto, o sinal de relógio de saída deve ter ciclo de trabalho igual a 50%, facilitando o interfaceamento com sistemas síncronos de menor taxa.

3.2.2 Compactação: número de elementos ativos necessários

Evidentemente uma topologia terá melhor desempenho em termos de custo se for capaz de minimizar a área ocupada e a potência consumida na realização do demultiplexador para uma dada taxa de operação.

A fim de comparar as diferentes topologias analisadas, assume-se que as mesmas serão realizadas empregando-se células padrão da biblioteca QLSI da TriQuint. Quando o demultiplexador exigir o uso de uma célula não disponível nessa biblioteca, estima-se a área ocupada e a potência dissipada pela mesma, comparando-a com células da biblioteca QLSI de complexidade similar.

- a) *Área necessária:* para efeito de comparação, emprega-se a medida de unidade de área relativa, u.a., da biblioteca de células padrão QLSI-TriQuint para estimar a área total ocupada pelas células internas necessária em cada topologia analisada. Esta unidade de área relativa está estabelecida para cada célula da biblioteca e leva em consideração também a potência consumida pela célula.

- b) *Número de células operando na taxa máxima. Potência total consumida estimada:* emprega-se dados de consumo de potência das células padrão QLSI para avaliação comparativa da potência consumida pelas topologias a serem analisadas, uma vez que um dos parâmetros a ser minimizado no projeto do demultiplexador de alta velocidade é o consumo de potência. Existe relação direta entre consumo de potência e taxa de operação das células. Topologias de demultiplexador contendo grande número de células operando em taxas elevadas apresentarão consumo de potência acima daquelas que minimizem o número de células operando em taxas elevadas.

3.2.3 Realização da topologia em termos de células padrão

Embora o emprego de células padrão na realização de uma topologia não implique necessariamente em melhor desempenho da estrutura, pode significar, como neste caso, facilidades e redução no tempo de projeto. Assim, uma vez escolhido o processo QED/A e a biblioteca de células padrão QLSI da TriQuint, como visto anteriormente, analisar-se-á nos próximos itens as topologias também em função da possibilidade de realização em termos de células padrão. Topologias que empreguem células não disponíveis na biblioteca QLSI, e que necessariamente devam ser projetadas ao nível de transistor também serão analisadas. Porém, na etapa seguinte serão descartadas em função dos critérios de projeto inicialmente adotados neste trabalho.

3.3 TOPOLOGIAS DE DEMULTIPLEXADOR ANALISADAS

Basicamente, existem duas topologias que realizam a função de demultiplexagem no tempo de sinais digitais de alta velocidade. A primeira, uma topologia clássica oriunda dos sistemas de baixa taxa, denominada de registrador de deslocamento. A segunda, denominada topologia árvore, apresenta algumas vantagens em relação à topologia registrador de deslocamento. Analisar-se-á nesta seção as variações e especificidades de cada uma das dez topologias encontradas na literatura para demultiplexadores de alta velocidade, tentando traçar um quadro comparativo o mais abrangente possível.

3.3.1 Registrador de Deslocamento Clássico

A topologia de demultiplexagem de sinais no tempo baseada em registradores de deslocamento é bastante utilizada em sistemas de baixa taxa. Embora apresente algumas desvantagens em relação à topologia árvore, como será visto mais adiante, ela tem sido empregada com sucesso também em altas taxas⁵⁵⁻⁵⁸. Considere-se um demultiplexador com 2^N saídas de dados, onde N é a ordem de demultiplexagem. Os sinais de dados,

inicialmente multiplexados no tempo, alimentam um registrador de deslocamento que está sincronizado por um sinal de relógio com taxa CK, como apresentado na figura 3.2. Após 2^N bordas do sinal CK, as saídas Q's dos flip-flop's estarão com os respectivos dados de entrada demultiplexados. O conjunto de latch's de saída permite amostrar e alinhar no tempo os dados demultiplexados. A figura 3.3 apresenta as formas de onda idealizadas para um demultiplexador de ordem $N=3$ sem considerar atrasos intrínsecos e de carregamento das portas lógicas. Em topologias de registrador de deslocamento que empreguem latch's para obter o alinhamento dos sinais de saída, o ciclo ativo, DC, do sinal LOAD é inversamente proporcional à ordem de demultiplexagem N , sendo dado por:

$$DC = \frac{100}{2^N} \quad [\%] \quad (3.2)$$

Mesmo quando N cresce, tem-se associado ao ramo LOAD a exigência de uma reduzida *largura mínima de pulso*, t_{pw} , para as células combinatórias, ou alta f_{toggle} para as células de memória (2^N latch's), ou seja a mesma banda de passagem exigida para células que operam em taxa de $CK/2$, o que caracteriza uma desvantagem em termos de minimização de consumo de potência.

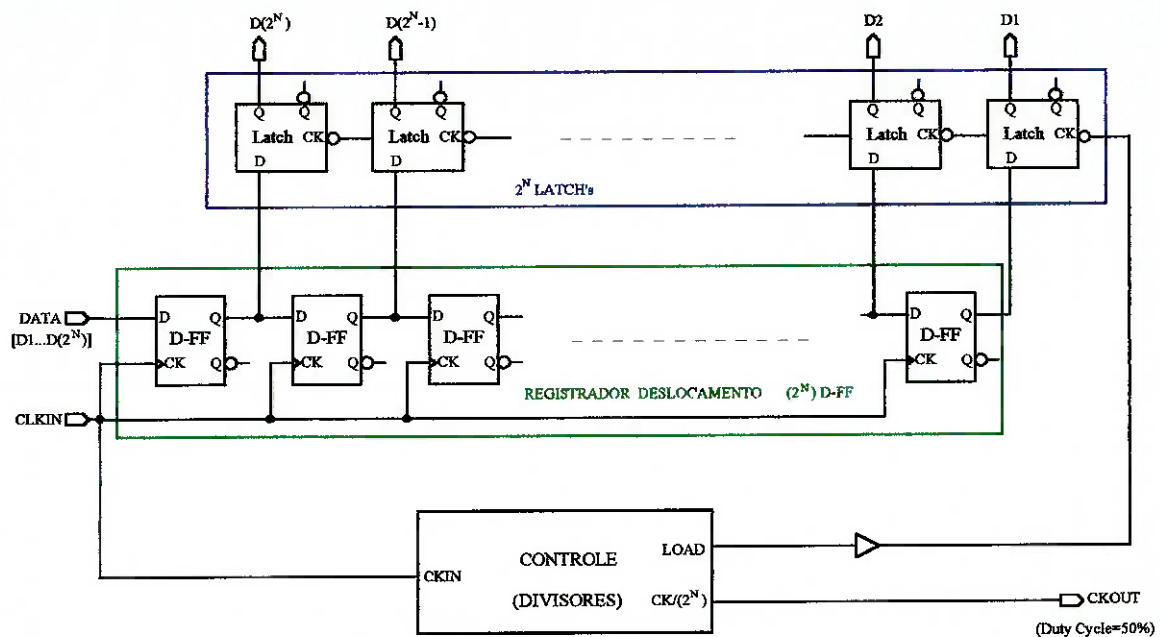


Figura 3.2 Diagrama de blocos de um Demultiplexador de ordem genérica N que emprega topologia registrador de deslocamento clássico

Define-se condição de *amostragem ótima* nos elementos de memória em qualquer etapa de demultiplexagem à captura do dado no instante médio de sua duração, sincronizado pelo sinal de relógio da respectiva etapa. É possível obter amostragem ótima nos latch's de saída através da introdução de atraso adicional no ramo do sinal "LOAD".

Pode-se enumerar as seguintes características para um demultiplexador baseado

em registrador de deslocamento clássico:

- todas os D-FLIP-FLOP do registrador de deslocamento operando em taxa de CK;
- portanto, apresenta consumo de potência elevado;
- a porta que alimenta o ramo “CKIN” apresenta fan-out elevado;
- as células associadas ao ramo LOAD devem satisfazer a mesma exigência de largura mínima de pulso que as que operam em taxa de CK/2;
- expansível para qualquer N;
- número de latch’s necessários para a lógica de demultiplexagem: $3 \cdot 2^N$;
- realizável empregando apenas células da biblioteca QLSI-TriQuint.

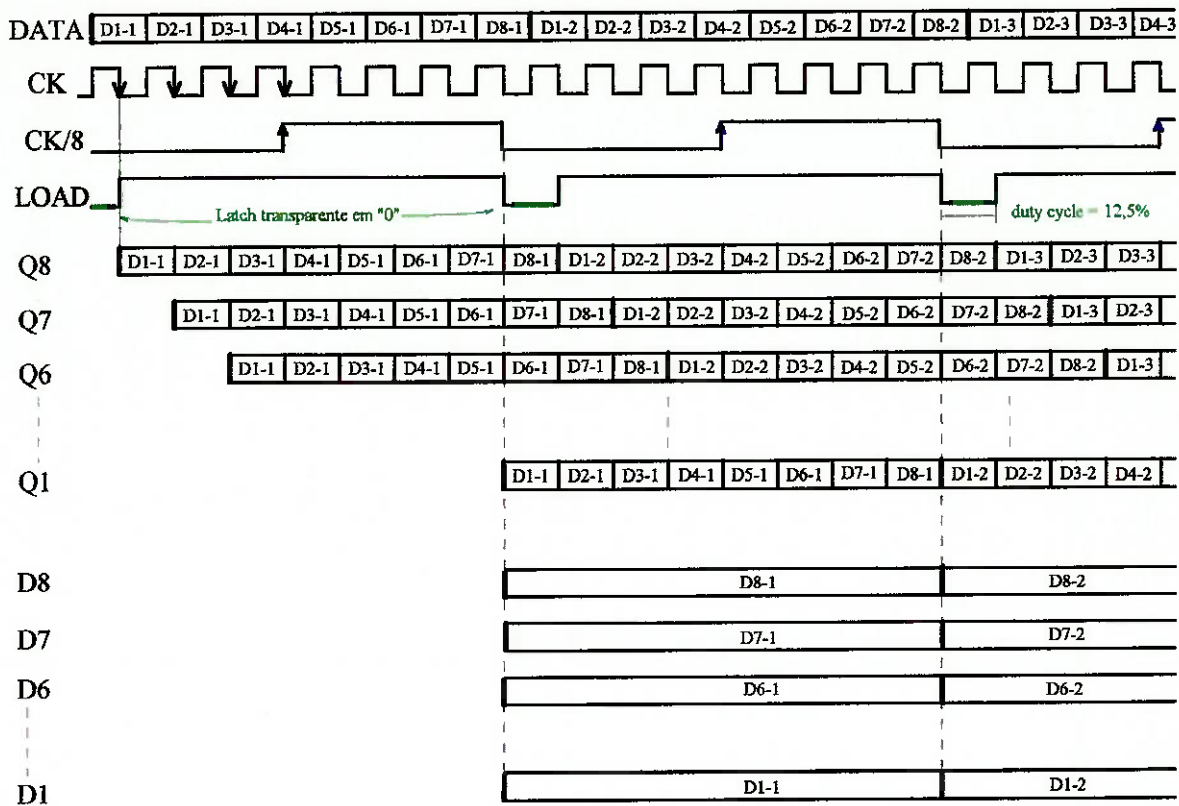


Figura 3.3 Carta de tempos idealizada para o Demultiplexador 1:8 que emprega a topologia registrador de deslocamento clássico

O Circuito de Controle (Divisores + sinal “Load”) de um demultiplexador baseado em registradores de deslocamento pode ser implementado basicamente através de contadores tipo “Ripple” e Binário. Avalia-se na secção 3.3.4 algumas implementações do circuito de controle que empregam os dois tipos de contadores.

3.3.2 Registrador de Deslocamento Modificado I

É uma variação da topologia do item anterior. Emprega o conceito árvore de demultiplexagem em um único nível para qualquer N , combinado a dois registradores de deslocamento de comprimento 2^{N-1} bits.

A título de exemplo, apresenta-se na figura 3.4 um diagrama de blocos de um demultiplexador de ordem $N=2$ que emprega topologia registrador de deslocamento modificado I⁵⁹. Na figura 3.5 tem-se a correspondente carta de tempos idealizada para o exemplo apresentado.

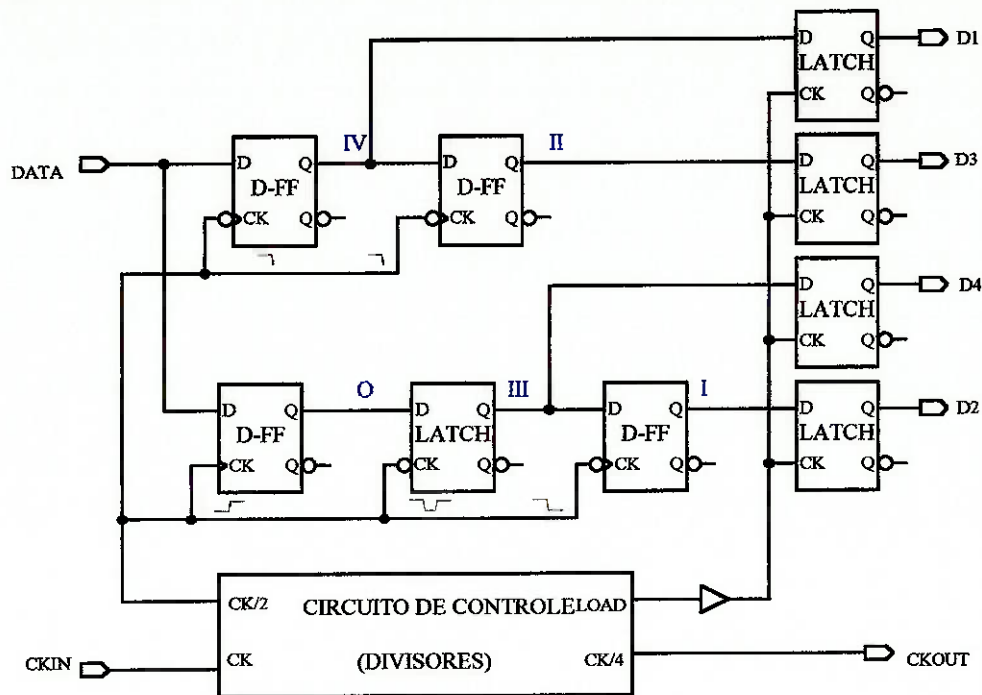


Figura 3.4 Diagrama de blocos de um Demultiplexador de ordem $N=2$ que emprega topologia registrador de deslocamento modificado I.

O demultiplexador 1:4 em topologia registrador de deslocamento modificado I consiste de dois registradores de deslocamento em paralelo e sincronizados por ambas as bordas do sinal de relógio, com metade da taxa do sinal de relógio original. Assim, um dos registradores de deslocamento é sensível à borda de subida enquanto o outro, à borda de descida do sinal de relógio $CK/2$.

O sinal de sincronismo dos dados de saída demultiplexados, $LOAD$, apresenta taxa de $CK/2^N$ e ciclo ativo como referenciado na equação 3.2; para este caso, $CK/4$ e 25%, respectivamente. O sinal $LOAD$ é responsável pela amostragem dos bits demultiplexados dos registradores. Os latch's de saída atuam como elementos de memória os quais retêm os dados demultiplexados no tempo até a próxima amostragem. Dito de outra forma, os dados de saída estão alinhados no tempo e sincronizados ao sinal de relógio de saída,

CKOUT, que é igual a $CK/4$ neste caso.

Garante-se amostragem ótima nesta etapa para todos os dados, uma vez que atraso adicional no sinal de dados de $\frac{1}{2} T_{CK/2}$ é obtido através do latch do registrador de deslocamento inferior, como pode ser observado pelas formas de onda 0 e III da figura 3.5.

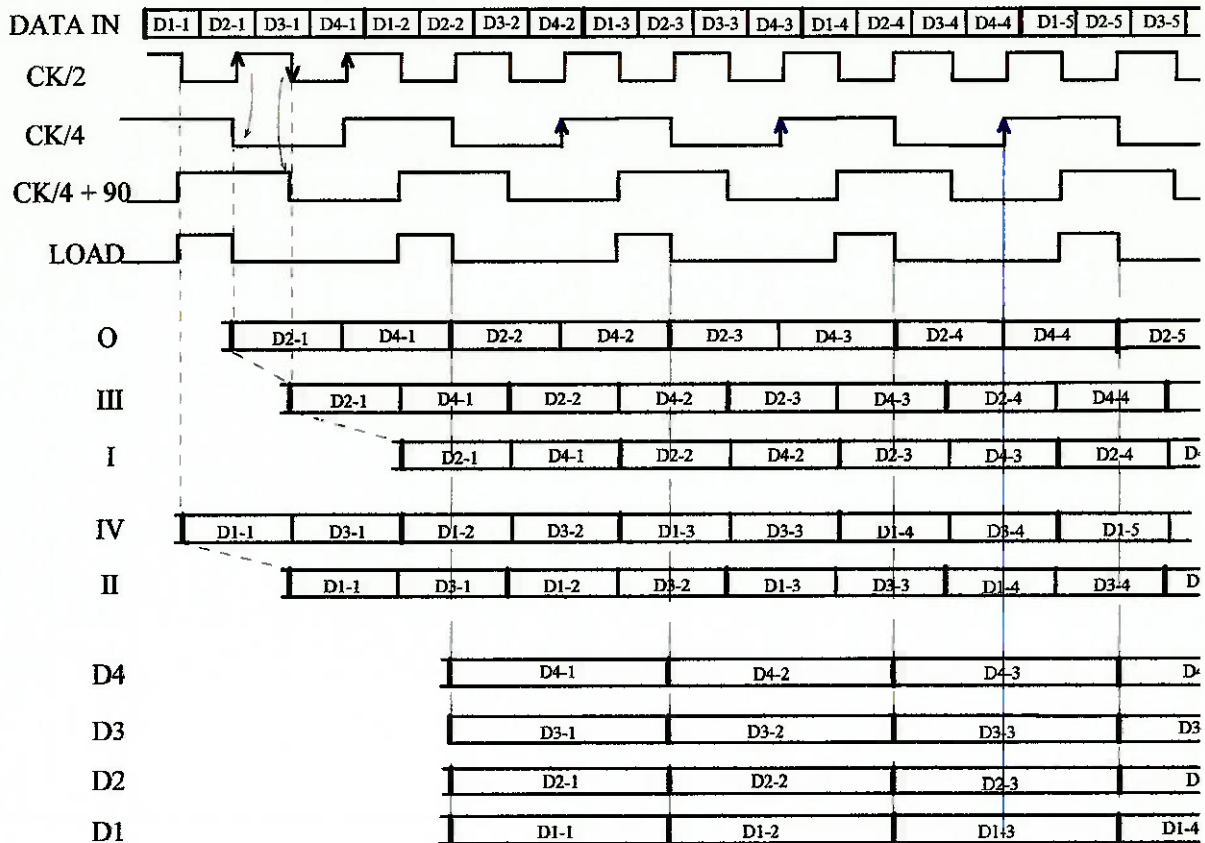


Figura 3.5 Carta de tempos idealizada para o Demultiplexador 1:4 da figura 3.4

Esta arquitetura resulta em menor consumo de potência, quando comparada com a topologia registrador de deslocamento clássico, na qual todos os flip-flop's do registrador de deslocamento em si operam em taxa de relógio. Nesta topologia apenas uma pequena parcela das células operam em taxa máxima: somente o divisor por dois estático, necessário à obtenção do sinal de $CK/2$. Obtém-se demultiplexador de ordem maior que dois através do aumento do número de divisores de relógio, do número de elementos de memória dos dois registradores de deslocamento e dos respectivos latch's de saída.

Pode-se apontar as seguintes características gerais para a topologia registrador de deslocamento modificado I:

- todos os flip-flop's e latch's do registrador de deslocamento operam em taxa de $CK/2$;
- melhor desempenho de consumo de potência/área em relação à topologia anterior quando N cresce ($N \geq 3$);

3. Demultiplexadores de Alta Velocidade: Topologias

- as células associadas ao ramo LOAD devem satisfazer a mesma exigência de largura mínima de pulso que as que operam em taxa de $CK/2$;
- expansível para qualquer N ;
- número de latch's necessários para a lógica de demultiplexagem: $3 \cdot 2^{N-1} + 1$;
- implementável empregando apenas células da biblioteca QLSI-TriQuint.

3.3.3 Registrador de Deslocamento Modificado II

Outra variação da topologia registrador de deslocamento clássico é a topologia apresentada na figura 3.6, que também reduz a taxa de operação para $CK/2$ nos dois registradores de deslocamento de 2^{N-1} bits.

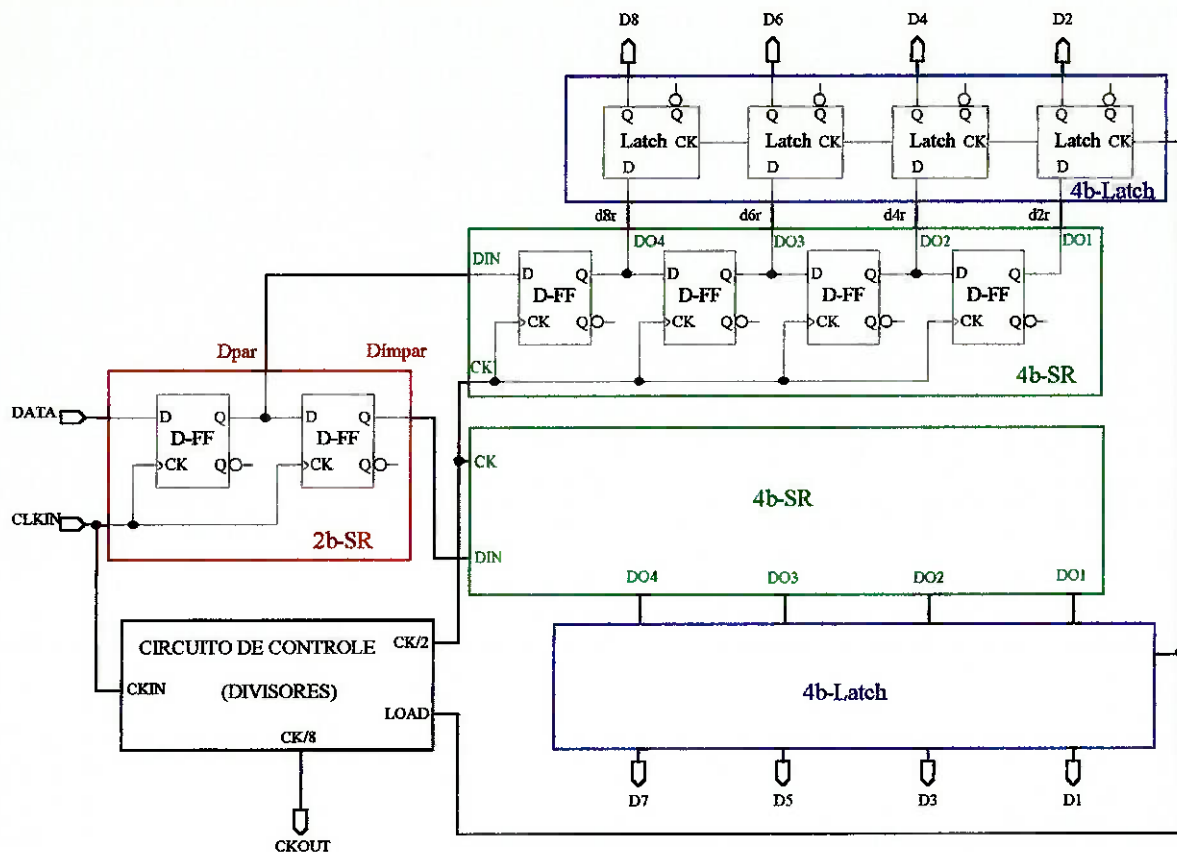


Figura 3.6 Diagrama de blocos de um demultiplexador de ordem $N=3$ que emprega topologia registrador de deslocamento modificado II

Diferentemente da variação topológica anterior, nesta estrutura faz-se necessário o uso de um registrador de 2 bits, para qualquer ordem N , operando em taxa de CK . Higashisaka et al⁶⁰ implementaram o par Mux/Demux de 16 bits e taxa de 2,5 Gb/s empregando a topologia de registrador de deslocamento modificado II para o demultiplexador.

O registrador de deslocamento de 2 bits faz uma pré-demultiplexagem separando

os dados pares dos ímpares em dois canais, D_{par} e $D_{ímpar}$. A partir deste ponto, tem-se a mesma estrutura de demultiplexagem do registrador de deslocamento clássico. A figura 3.7 apresenta a carta de tempos para o diagrama de blocos do demultiplexador 1:8 da figura 3.6.

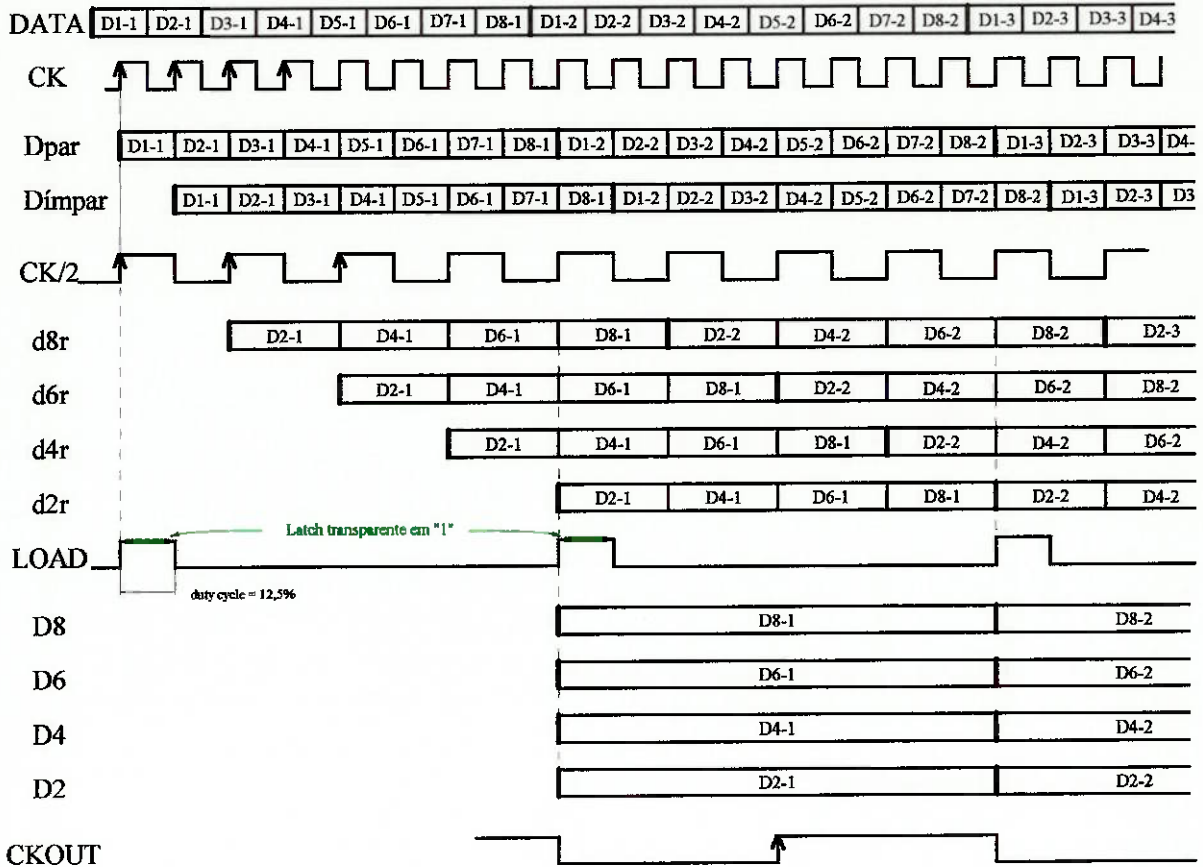


Figura 3.7 Carta de tempos idealizada para um demultiplexador 1:8 que emprega topologia registrador de deslocamento modificado II

Pode-se enumerar as seguintes características para essa topologia:

- consumo de potência intermediário em relação às duas topologias anteriores;
- 2 registradores de 2^{N-1} bits operando em taxa de $CK/2$;
- 1 registrador de 2 bits operando em taxa de CK .
- exigência de largura mínima de pulso para as células associadas ao ramo $LOAD$ são as mesmas que nas topologias anteriores;
- expansível para qualquer N ;
- número de latch's necessários para a lógica de demultiplexagem: $3 \cdot 2^N + 4$;
- implementável empregando apenas células da biblioteca QLSI-TriQuint.

3.3.4 Circuito de Controle (Divisores)

Concluindo a análise das topologias de demultiplexadores que empregam registradores de deslocamento, discute-se neste ítem o circuito de controle necessário à geração dos sinais CK/2, LOAD e CKOUT. Estes sinais podem ser obtidos através de contadores em anel ou a partir de contadores “ripple”, acrescidos de uma lógica de controle de baixa complexidade. A divisão digital síncrona e a assíncrona possuem suas vantagens e desvantagens, que serão vistos a seguir. O sinal LOAD é obtido a partir de combinações das fases de relógio disponíveis nos contadores empregando tanto elementos combinatórios como de memória. A seguir são apresentadas, a título de exemplo, duas possíveis configurações para cada princípio de contagem binária.

3.3.4.a Contador Síncrono (ou Anel)

A figura 3.8 e 3.10 apresentam divisores em anel simples e torcido de módulo 4, respectivamente. Este tipo de contador é constituído por um registrador de deslocamento realimentado, de tal forma a permitir a circulação de um bit (“1” ou “0”) à direita. Dentre os contadores digitais estáticos, os mais rápidos são os em anel⁶¹, além de apresentarem a vantagem da geração síncrona das fases de relógio. A frequência máxima de operação obtida com um contador em anel é dado por:

$$f_{toggle} = \frac{1}{\tau_{pd} + t_{setup}} \quad (3.3)$$

Nos contadores em anel, somente um flip-flop muda a cada borda de subida de relógio. Assim, a f_{toggle} é limitada pelo tempo de propagação, τ_{pd} , do dado de entrada em D até a saída Q. Além disso, esta mudança deve ser efetivamente transferida ao próximo flip-flop. Portanto, o dado deve permanecer estável na entrada por um tempo mínimo igual ao tempo de preparação, t_{setup} .

Este tipo de contador possui a desvantagem do elevado consumo de potência. Uma vez que todos os flip-flop's operam em taxa de CK, o critério minimização área/consumo de potência, muito importante quando N e a taxa de operação são elevados, torna-se impossível de ser atendido utilizando-se a *configuração A*, apresentada a seguir. Já com a *configuração B*, obtém-se algum ganho em termos de redução da área/consumo de potência.

Configuração A

Apresenta-se na figura 3.8 o diagrama de blocos de um circuito de controle para um demultiplexador com registrador de deslocamento de ordem N=2. Esta configuração

utiliza flip-flop's tipo D no contador em anel e um flip-flop tipo R/S^{20,57} para gerar os sinais de LOAD e CKOUT com ciclos ativo de $100 \cdot 2^{-N} \%$ e 50%, respectivamente. Na figura 3.9 apresenta-se a carta de tempos ideal para o exemplo da figura 3.8. O sinal RESET é necessário para que haja a correta inicialização do contador com único "1" e o restante (três, neste caso) "0". Assim, o "1" circula através do contador em anel a cada borda de subida do sinal de CLK.

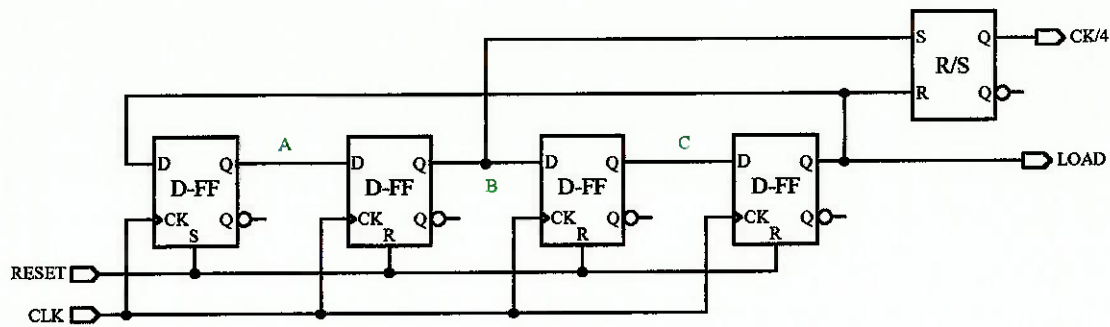


Figura 3.8 Diagrama de blocos do circuito de controle que emprega contador em anel para um Demultiplexador 1:4 topologia registrador de deslocamento

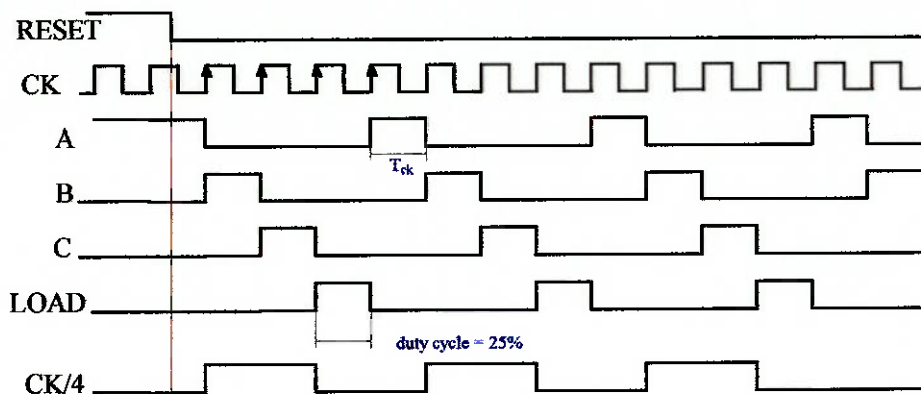


Figura 3.9 Carta de tempos idealizada para o circuito de controle da figura 3.8

Como características gerais desta configuração de contador síncrono pode-se citar:

- todos os flip-flop's tipo D do contador por 2^N operam na taxa de CK;
- latch's necessários: $(2^{N+1} + 1)$;
- geração síncrona dos sinais LOAD e CKOUT;
- faz-se necessário sinal assíncrono RESET para a correta inicialização do contador;
- tempo mínimo para alteração do dado de entrada em cada flip-flop: um período de relógio, T_{ck} , isto é, $DC_{(LOAD)} = 100 \cdot 2^{-N} \%$

Configuração B

A figura 3.10 apresenta outra configuração para a realização do circuito de controle com contador em anel torcido ou Johnson. É necessário menor número de latch's em relação à configuração A. Na figura 2.11 está representada a respectiva carta de tempos.

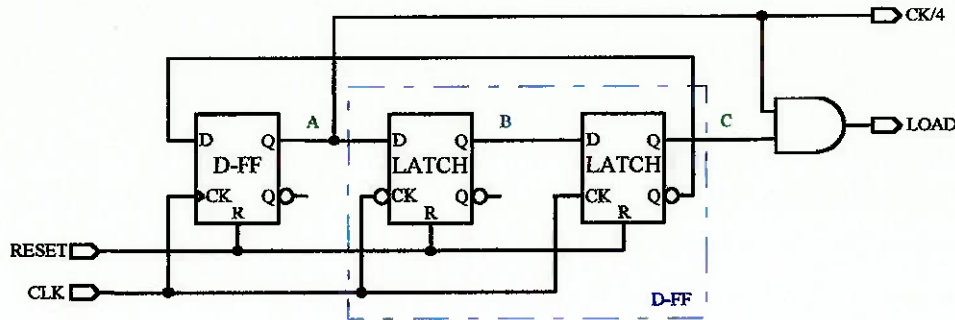


Figura 3.10 Diagrama de blocos do circuito de controle que emprega contador em anel torcido. Configuração B.

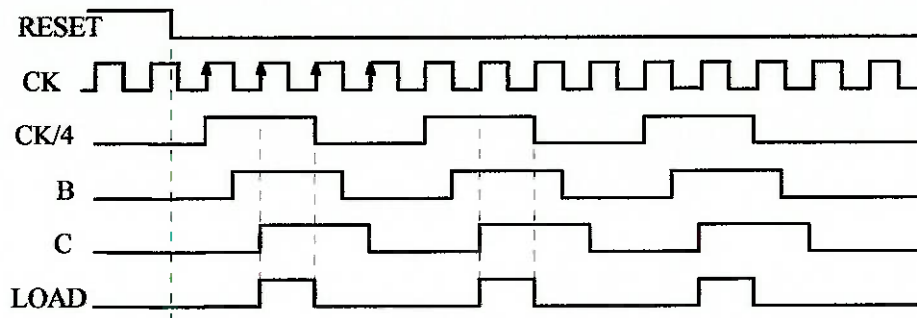


Figura 3.11 Carta de tempos idealizada para o circuito de controle da figura 3.10

Para esta configuração de contador síncrono pode-se citar as seguintes características gerais:

- todos os flip-flop's tipo D do contador por 2^N operam na taxa de CK;
- número de latch's necessários: $(2^N + 1)$;
- geração síncrona dos sinais LOAD e CKOUT;
- sinal assíncrono RESET para a correta inicialização do contador;
- tempo mínimo para alteração do dado de entrada em cada flip-flop: $2^{N-1} \cdot T_{ck}$

obs: no cálculo do número de latch's necessários considerou-se que em SCFL a área ocupada por um porta AND, OR, NAND, NOR é praticamente a mesma que aquela de um latch para as mesmas especificações de entrada, saída e de velocidade. Assim, a porta AND foi considerada de memsa área que a de um latch para fins de estimativa da área ocupada pelo contador.

3.3.4.b. Contador “Ripple” (ou Assíncrono)

Outra forma de se implementar divisores por 2^N é através de contadores assíncronos ou “ripple”, pois o sinal de relógio de entrada não é aplicado simultaneamente a todos os flip-flop’s. A vantagem em relação aos contadores em anel está no fato da taxa de operação sofrer uma redução pelo fator de 2 a cada etapa de divisão binária. Assim, para valores de N elevados, a estrutura apresenta considerável redução de consumo de potência/área, quando comparada ao contador síncrono. Outra vantagem refere-se à ausência do sinal de controle “set/reset”. No contador assíncrono, a fase relativa entre sinal de LOAD e CK/N independe do estado inicial dos flip-flop’s tipo T.

A desvantagem dos contadores “ripple” deve-se ao progressivo atraso de sinal de relógio de entrada, CK, em relação às fases de relógio de saída, CK/2, CK/4, ... CK/N, causado pelos atraso de propagação, τ_{pd} , cumulativo dos flip-flop tipo T. No caso do contador síncrono este atraso é de apenas τ_{pd} para todos as fases de relógio de saída.

A seguir são apresentados dois exemplos de implementação de divisores assíncronos para $N = 2$.

Configuração A

A figura 3.12 e 3.13 apresentam um contador assíncrono e a correspondente carta de tempos. O sinal de controle LOAD é obtido fazendo-se um NOR lógico entre as fases de relógio CK/2 e CK/2^N.

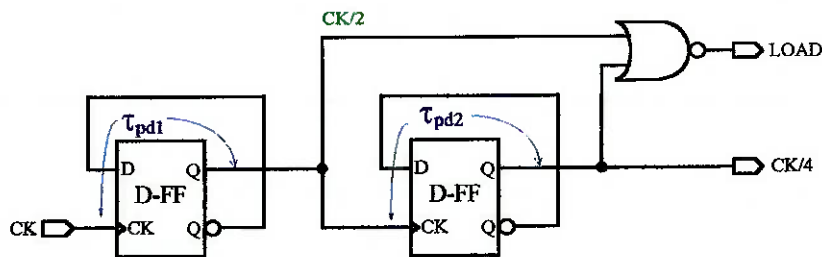


Figura 3.12 Diagrama de blocos do circuito de controle para um demultiplexador 1:4 que emprega contador assíncrono. Configuração A.

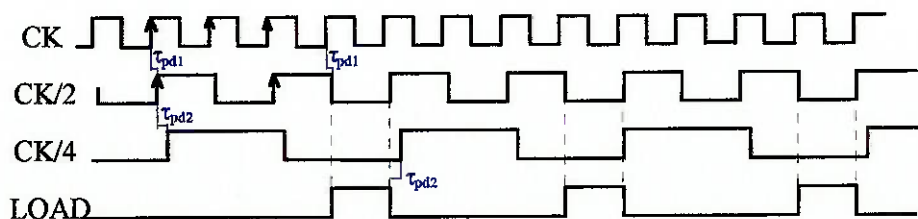


Figura 3.13 Carta de tempos considerando tempos de propagação dos flip-flop tipo T do contador assíncrono, $N=2$, para o circuito de controle da figura 3.12.

A acumulação de atrasos de propagação causará problemas de decodificação quando for necessário avaliar simultaneamente os sinais de saída. Neste caso, poderão ser introduzidos erros de decodificação nos instantes em que a pulsação estiver se propagando através da cadeia de flip-flop's tipo T. No entanto, na utilização do contador assíncrono como parte do circuito de controle em um demultiplexador, esse acúmulo de atrasos não afetará a lógica de controle na geração do sinal LOAD, figura 3.13, uma vez que atraso semelhante à magnitude de τ_{pd1} também ocorre entre CKIN e as saídas Q's dos registradores de deslocamento das figuras 3.2, 3.4 e 3.6. Essa característica do contador assíncrono também não afeta o desempenho dos demultiplexadores baseados em topologia árvore que empregam divisores "ripple" como será visto mais adiante, nos itens 3.3.6 e 3.3.7.

A *configuração A* apresenta as seguintes características gerais:

- taxa de operação decrescente ao longo das etapas de divisão: $Ck/2^k$, $k = 1, 2, 3 \dots N$;
- número de latch's necessários: $(2.N+1)$;
- redução consumo de potência/área em relação aos divisores em anel;
- geração assíncrona dos sinais LOAD e CKOUT;
- ausência de sinal "reset/set" para a inicialização do contador.

Configuração B

É uma configuração mista. Na geração do sinal LOAD emprega-se sinais de relógio síncronos e assíncronos. Este sinal deve apresentar ciclo ativo porcentual igual a 100.2^{-N} . As figuras 3.14.a e 3.15 mostram respectivamente o diagrama de blocos e carta de tempos do circuito de controle para $N=2$. Já na figura 3.14.b, tem-se o diagrama de blocos do circuito de controle para $N=3$. Como características desta configuração pode-se citar:

- taxa de operação decrescente: $Ck/2^k$, $k = 1, 2, 3 \dots N$;
- número de latch's necessários: $(2.N+1)$;
- redução consumo de potência/área em relação aos divisores em anel;
- geração assíncrona dos sinais LOAD e CKOUT;
- ausência de sinal "reset/set" para a inicialização do contador.

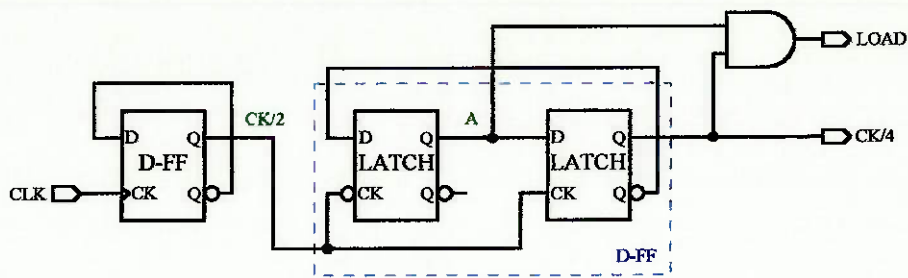


Figura 3.14.a Diagrama de blocos do circuito de controle que emprega contador assíncrono para $N=2$. Configuração B.

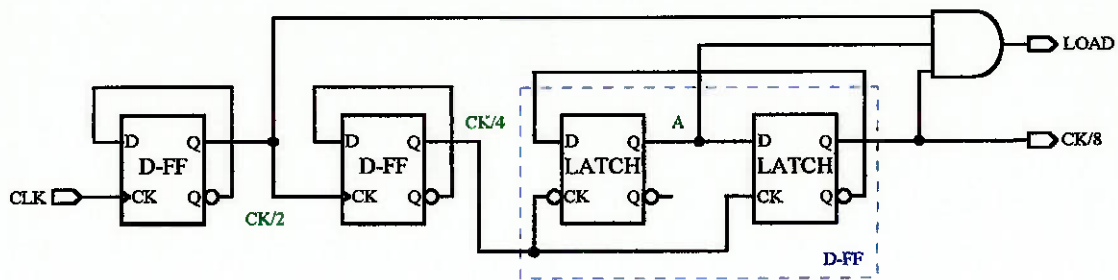


Figura 3.14.b Diagrama de blocos do circuito de controle que emprega contador assíncrono para $N=3$. Configuração B.

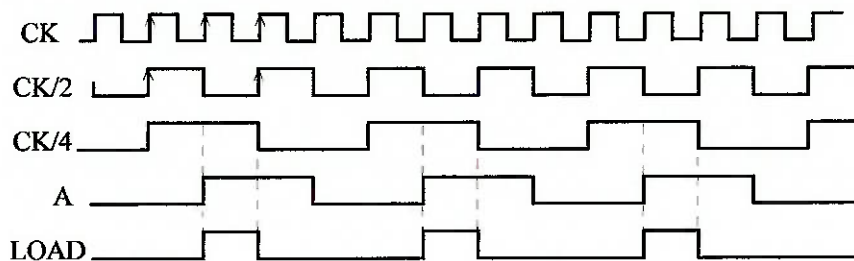


Figura 3.15 Carta de tempos idealizada para o circuito de controle da figura 3.14.a

3.3.5 Árvore com flip-flop tipo D

Diferentemente do que ocorre em demultiplexadores baseados em registradores de deslocamento, nos demultiplexadores tipo árvore com razão de demultiplexagem N , i.e., com 2^N dados de saída, faz-se necessário obter fase e taxa de relógio apropriada para cada uma das N etapas de demultiplexagem.

A topologia árvore com flip-flop tipo D, para $N=2$, é apresentada na figura 3.16. Esta topologia aproveita ambas as bordas do sinal de relógio para realizar a demultiplexagem no tempo do sinal de alta velocidade. Desta forma, opera com taxa de $CK/2$ já na primeira etapa de demultiplexagem. Como mostrado na figura, o flip-flop tipo D superior amostra o dado de entrada na borda de subida, enquanto o flip-flop tipo D inferior faz a amostragem do dado na borda de descida do sinal de $CK/2$. O princípio é

repetido para as demais etapas, tendo como célula básica o bloco Dmx 1:2 mostrado na figura 3.16. Na figura 3.17 apresenta-se a carta de tempos correspondente. Esta topologia é regenerativa, com ótimo desempenho em termos de área/consumo de potência e com margens de fase de entrada e interna otimizadas nas N etapas, uma vez que o sinal de dados é sempre amostrado no instante médio de sua duração. No entanto, a topologia árvore com flip-flop tipo D não apresenta dados de saída alinhados no tempo. Mesmo assim, encontra-se na literatura⁶²⁻⁶⁷ inúmeras implementações, em diferentes tecnologias, de demultiplexadores de altíssima velocidade (até 24 GHz) e modesta ordem de demultiplexagem (até N=3).

Como características gerais da topologia demultiplexadora tipo árvore com flip-flop tipo D pode-se listar:

- instante de amostragem nas N etapas de demultiplexagem é otimizado, ocorrendo no centro da duração do dado, o que maximiza a margem de fase interna, embora seja necessário atraso adicional nas etapas $N \geq 2$;
- reduzido consumo de potência quando comparado com a topologia registrador de deslocamento: aqui, apenas o primeiro divisor opera na taxa de relógio, e para cada etapa de demultiplexagem subsequente, a taxa é reduzida pelo fator de 2;
- Dados de saída não estão alinhados no tempo;
- facilmente expansível para qualquer N;
- latch's necessários: divisores de relógio: $2N$
lógica de demultiplexagem: $4 \cdot (2^N - 1)$;
- implementável empregando apenas células da biblioteca QLSI-TriQuint.

3. Demultiplexadores de Alta Velocidade: Topologias

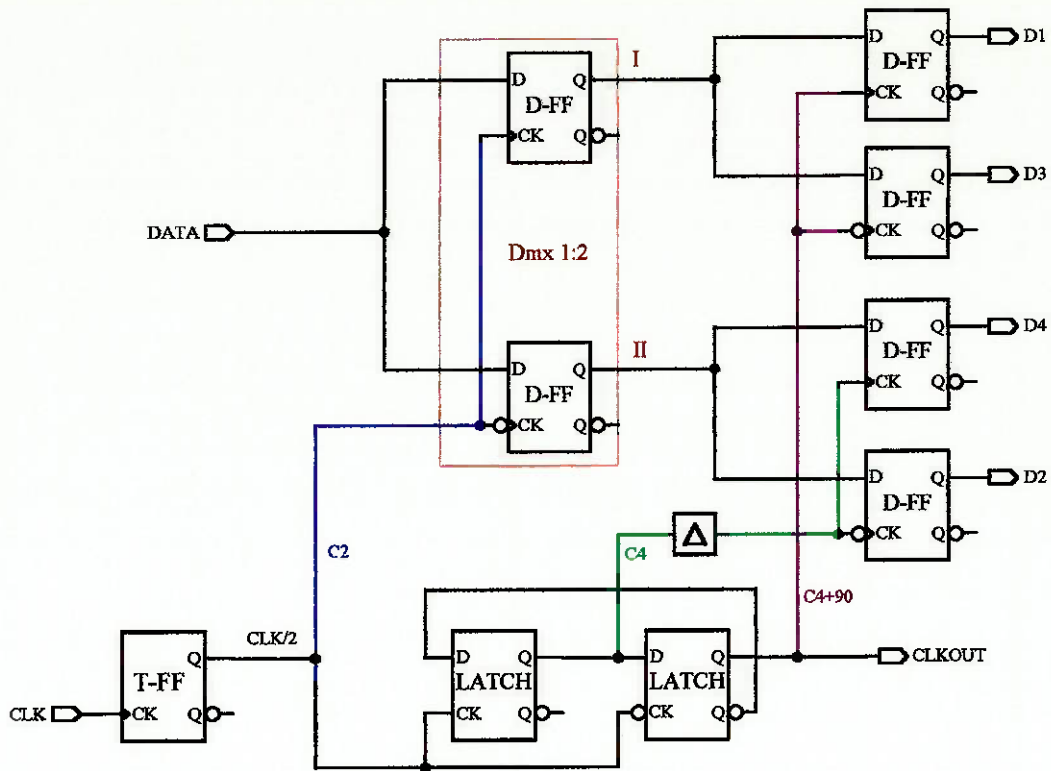


Figura 3.16 Diagrama de blocos de um Demultiplexador de ordem $N=2$ que emprega topologia árvore com flip-flop tipo D

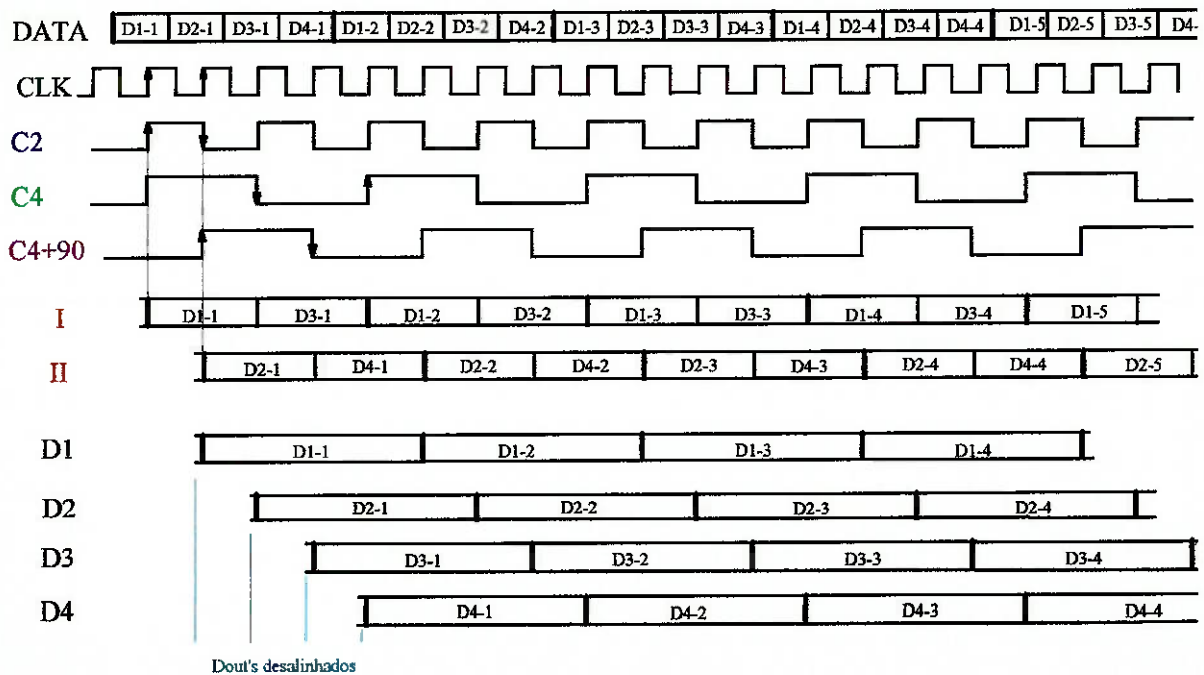


Figura 3.17 Carta de tempos idealizada para um Demultiplexador 1:4 que emprega topologia árvore com flip-flop tipo D

3.3.6 Árvore com flip-flop tipo D e Tristage

Encontra-se na literatura⁶⁸⁻⁷⁴ extensa realização de demultiplexadores de alta taxa construídos a partir da topologia árvore com flip-flop tipo D e Tristage. É uma estrutura bastante promissora, uma vez que otimiza os parâmetros consumo de potência e velocidade em cada etapa de demultiplexagem, combinado com a simplicidade na geração das fases de relógio, modularidade de expansão, alinhamento dos dados de saída, além de maximizar a margem de fase interna.

Esquematiza-se na figura 3.18 o diagrama de um demultiplexador 1:4 em topologia árvore empregando flip-flop tipo D e Tristage. A demultiplexagem no tempo dos dados de entrada é realizada basicamente pelo bloco DEMUX 1:2. O fato do DEMUX 1:2 aproveitar os dois semi períodos do sinal de relógio no processo de demultiplexagem no tempo do sinal de entrada torna esta topologia bastante eficiente e de fácil expansão.

Apresenta-se na figura 3.19 o bloco DEMUX 1:2. Este bloco é composto por um flip-flop tipo D e outro denominado Tristage, configurados de tal forma a aproveitar os dois semi períodos do sinal de relógio, baixo e alto (Ck_{high} e Ck_{low}), para a realização da demultiplexagem no tempo do sinal de entrada. A principal vantagem da configuração flip-flop D/Tristage na formação de um DEMUX 1:2 é a obtenção dos sinais demultiplexados de saída alinhados no tempo.

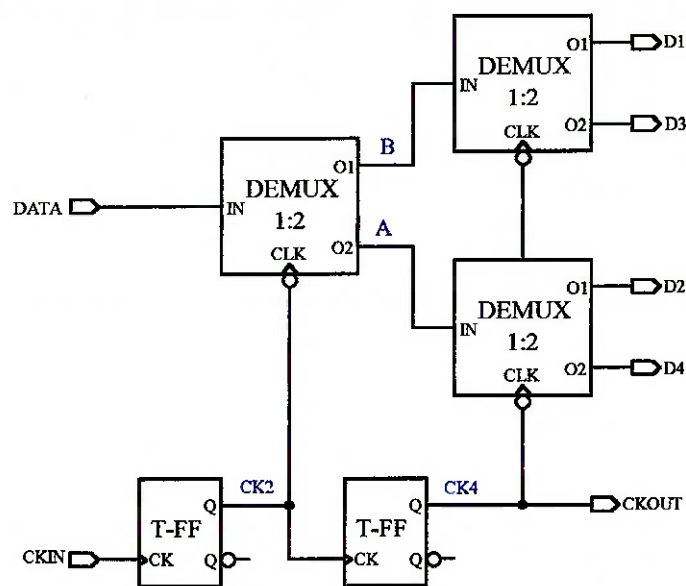


Figura 3.18 Diagrama de blocos de um Demultiplexador de ordem $N=2$ que emprega topologia árvore com flip-flop tipo D e Tristage

Analisemos os blocos constituintes do DEMUX 1:2. A demultiplexagem no tempo do sinal de entrada é realizada pelo primeiro latch do flip-flop tipo D e do tipo Tristage. Como apresentam transparência complementar ao sinal de entrada (Ck_{high} e Ck_{low} , respectivamente), tem-se já nos pontos (1) e (2), figura 3.19, a separação do sinal de entrada em dois canais. Por sua vez, o segundo latch do Tristage realiza um atraso de

meio período de relógio no sinal presente no ponto 2. Finalmente, os dois latch's de saída fazem o "retiming" dos sinais já demultiplexados no tempo, obtendo-se assim o alinhamento destes sinais na saída (canal O1 e O2). Este bloco básico é usado para expandir a ordem de demultiplexagem. Para se obter um demultiplexador de 1:4 basta associar três blocos básicos DEMUX 1:2 com suas respectivas taxas e fases de relógio (clk), como visto na figura 3.18. Para um demultiplexador 1:8, ou ordem $N=3$, são necessários 7 blocos DEMUX 1:2. Para um demultiplexador de ordem genérica, N , são necessárias $2^N - 1$ blocos básicos e N divisores estáticos tipo Toggle, constituindo um contador binário assíncrono.

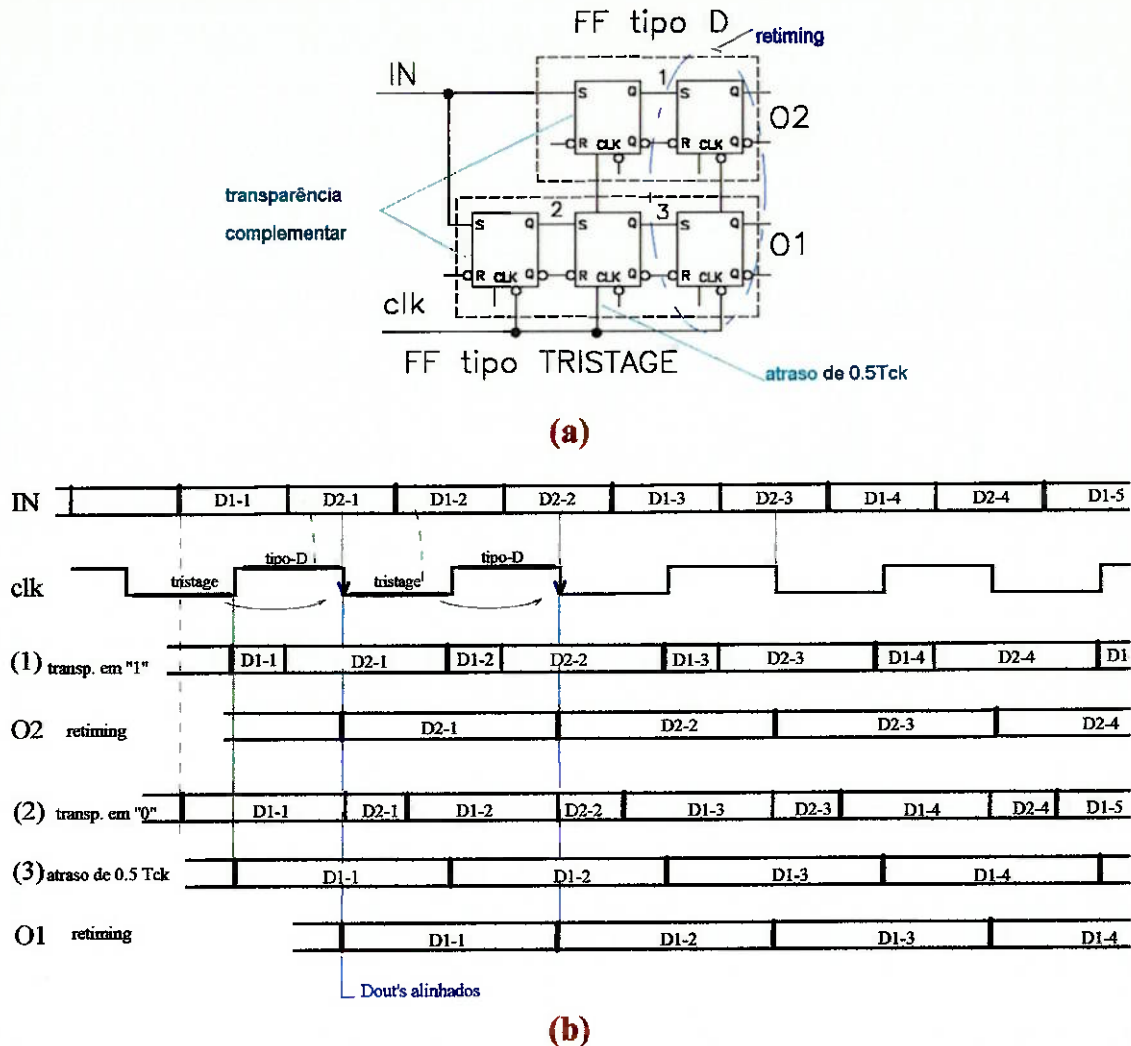


Figura 3.19 Blocos básico DEMUX 1:2: (a) diagrama esquemático constituído por 1 flip-flop tipo D e 1 Tristage; (b) carta de tempos idealizada.

Os divisores de relógio são do tipo estático assíncrono, baseados em flip-flop tipo T, como pode ser deduzido das formas de onda da figura 3.20 que relaciona os sinais das duas etapas ($N=2$) de demultiplexagem com as respectivas fases de relógio do demultiplexador 1:4, figura 3.18. Obtém-se fases de relógio adequadas à alimentação dos blocos básicos DEMUX's 1:2 na figura 3.20 quando mudanças de nível do sinal de relógio na saída de um divisor estático por 2 forem ocasionadas pelas bordas de subida do

signal de relógio precedente aplicado à entrada do divisor. Note que a demultiplexagem nos DEMUX's 1:2 é concluída a cada borda de descida do signal de relógio correspondente àquela etapa.

A expansão na ordem de demultiplexagem é imediata. Basta conectar células básicas nas saídas precedentes até obter 2^N saídas, minimizando o consumo de potência/área em cada etapa em função da taxa de operação decrescente (fator de 2). Mesma observação vale para os divisores estáticos tipo T. Deve-se ter N divisores com potência/área otimizados em função da taxa de operação. Assim, obtém-se um projeto de demultiplexador robusto e de consumo de potência minimizado em cada etapa.

Nos contadores "ripple", a acumulação de atrasos de propagação dos flip-flops tipo T, τ_{pd} , ao longo das sucessivas fases de relógios, $CK/2$, $CK/4$, ... CK/N , não afeta o desempenho do demultiplexador. Ao contrário, contribui na obtenção da amostragem ótima no tempo do signal de dado nas respectivas etapas de demultiplexagem, pois esses sinais no interior das estruturas demultiplexadoras básicas DEMUX's 1:2. sofrem atrasos de propagação similares.

Em uma topologia árvore com flip-flop tipo D/Tristage existem duas condições para se obter margem de fase interna máxima. São elas: a) sinais de dados, nos respectivos blocos básicos DEMUX's 1:2, e sinais de relógio, nos respectivos divisores por 2 assíncronos, devem estar sincronizados por bordas complementares. A figura 3.21 mostra esta condição, considerando uma etapa genérica de demultiplexagem e sua respectiva carta de tempos. b) em cada etapa de demultiplexagem deve-se ter tempos de propagação intrínseco, τ_{pd} , aproximadamente iguais para os caminhos dos sinais de dados e de relógio, nos respectivos divisores assíncronos, ou seja: $\tau_{pd(div.2)} \approx \tau_{pd(D-fl)}$.

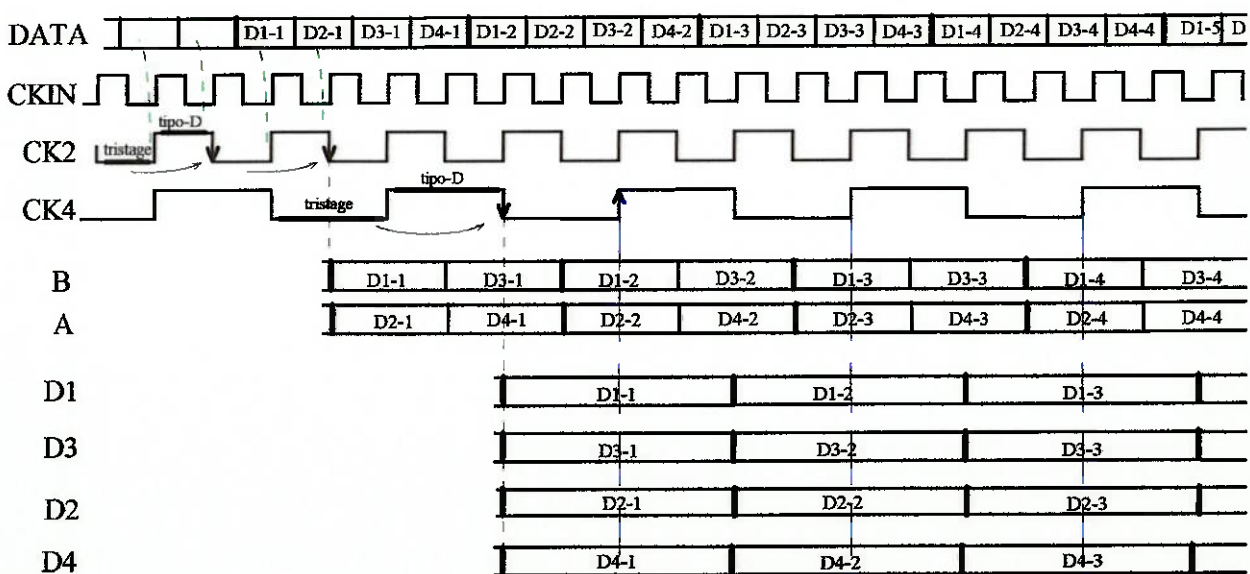


Figura 3.20 Carta de tempos idealizada para o demultiplexador 1:4 em topologia Árvore e flip-flop tipo D /Tristage

Uma das vantagens da estrutura árvore reside na minimização do consumo de potência. Demultiplexadores em Gb/s de ordem elevada, como por exemplo N=5 ou mesmo 6, são perfeitamente realizáveis em GaAs empregando topologia árvore e consumindo algumas unidades de watts. O que já não é válido se for empregada topologia registrador de deslocamento, uma vez que todos os flip-flop operam em taxa de CK, ou na melhor das hipóteses em CK/2, elevando bastante o consumo de potência quando comparado com o obtido na estrutura árvore.

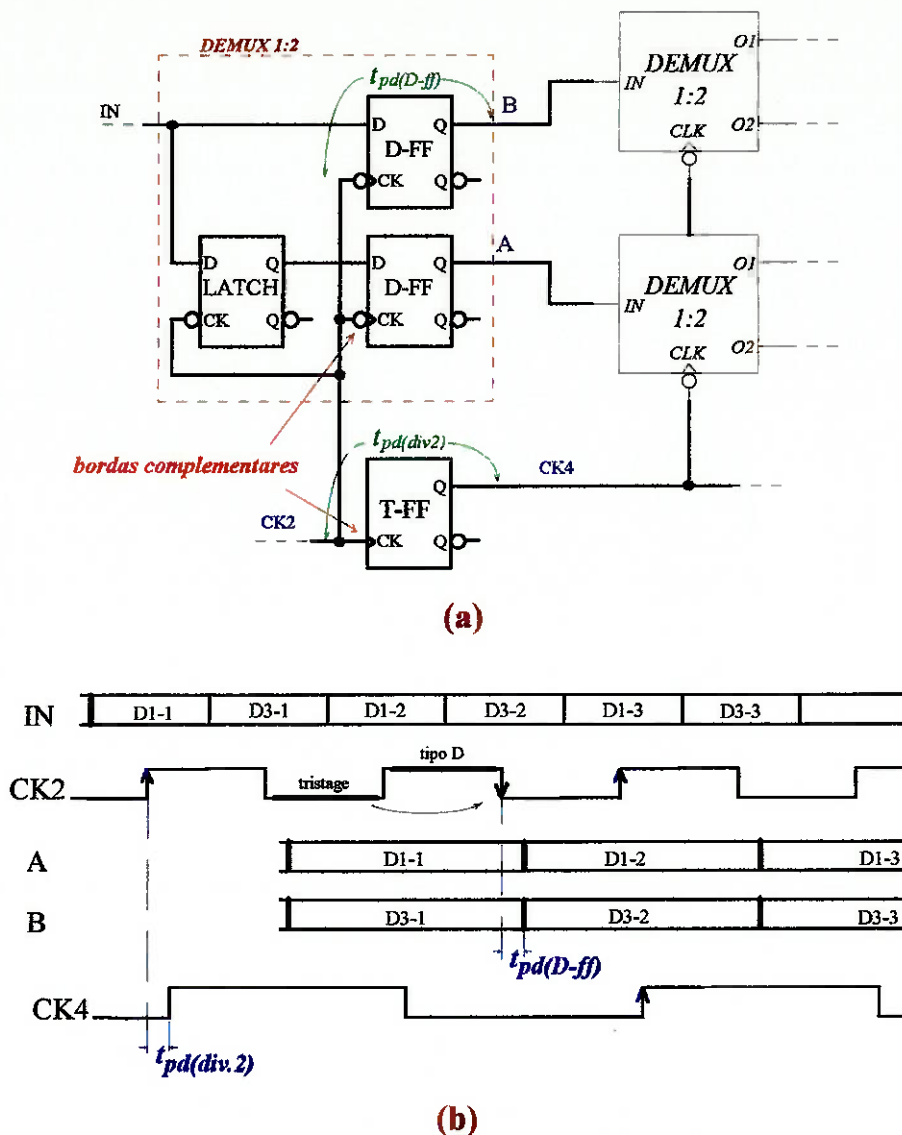


Figura 3.21 Condições para a maximização da margem de fase interna em uma estrutura árvore com flip-flop tipo D/Tristage. a) etapa genérica de demultiplexagem b) respectiva carta de tempos

Como características gerais da estrutura árvore com flip-flop tipo D e Tristage pode-se enumerar:

- ótimo desempenho de consumo de potência/área quando N cresce;
- redução exponencial do consumo de potência quando comparado com a topologia

- registrador de deslocamento clássico;
- instante ótimo de amostragem do sinal em todas as etapas, ou seja instante médio da duração do sinal;
- garantindo máxima margem de fase de entrada, interna;
- em cada etapa de demultiplexagem: fase única de relógio;
- DEMUX 1:2 emprega os dois semi-períodos do sinal de relógio;
- sinais demultiplexados em cada etapa estão alinhados no tempo;
- facilmente expansível para qualquer N;
- latch's necessários: divisores de relógio (assíncrono): $2N$
lógica de demultiplexagem: $5 \cdot (2^N - 1)$;
- implementável a partir de células padrão da biblioteca QLSI-TriQuint.

3.3.7 Árvore com flip-flop tipo Tristage e latch tipo Freeze

Esta topologia de demultiplexagem em Gb/s apresenta uma configuração de flip-flop's tipo D e Tristage na primeira etapa e um tipo de latch denominado Freeze⁷⁵ nas demais etapas.

As figuras 3.22.a e 3.22.b apresentam uma possível implementação do latch tipo Freeze empregando a família lógica de alta velocidade SCFL e a sua respectiva carta de tempos idealizada para um sinal de dados genérico de entrada, assumindo-se $T_{ck2} = 2T_{ck1}$. O latch tipo Freeze é sincronizado pelos dois sinais, Ck1 e Ck2. Enquanto o sinal Ck2 atua como um sinal de seleção, Ck1 opera como um sinal de relógio. A aquisição de dados no latch tipo Freeze é feita somente quando Ck1 e Ck2 estão em "1". Para as 3 outras possíveis combinações, a saída permanece "latched", ou seja, retém o último dado do modo aquisição.

Note que a figura 3.22.b está representando a melhor escolha para a fase relativa entre os sinais de relógio, Ck1, Ck2, e o dado de entrada, D, em um latch "freeze", i.e. aquela que maximiza a margem de fase interna em um demultiplexador. No entanto, como se trata de um elemento de memória tipo latch, na saída Q do "freeze" aparecerá um dado falso (D4-1) por um curto período, neste caso $\frac{1}{4} Ck1$, a cada mudança de dado válido.

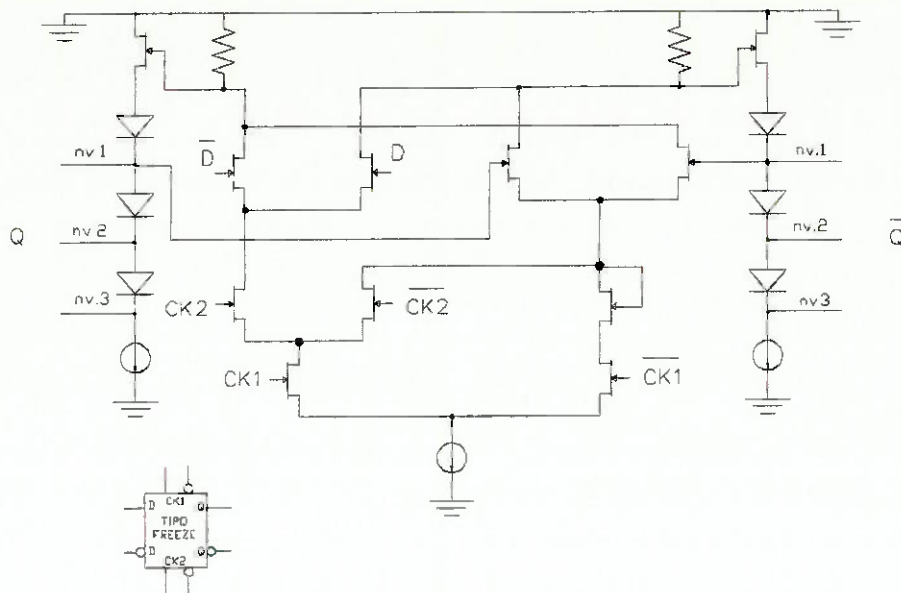


Figura 3.22.a Diagrama esquemático de um latch tipo Freeze implementado em SCFL e empregado na topologia árvore com latch tipo Freeze e flip-flop tipo Tristage.

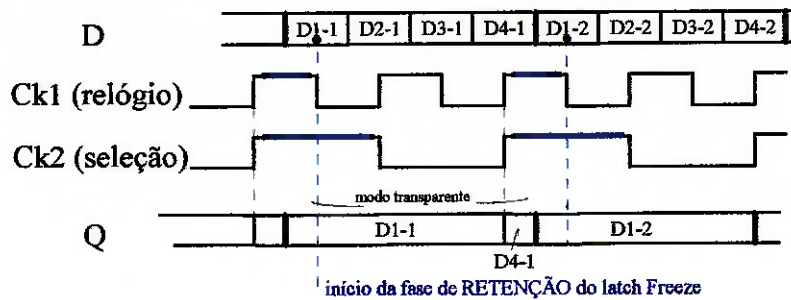


Figura 3.22.b Carta de tempos idealizada para o latch tipo Freeze

A implementação ao nível de blocos de um demultiplexador 1:4 pode ser vista na figura 3.23. Latch's tipo Freeze em número de três são configurados de tal forma a constituírem a célula básica de demultiplexagem 1:2 para essa topologia, Freeze_Dmx1:2.

Na figura 3.24 apresenta-se a carta de tempos idealizada para o demultiplexador 1:4. Note que nesta topologia obtém-se também dados de saída alinhados e alta margem de fase interna. Em todas as etapas, o início da fase de retenção do latch Freeze deve ocorrer no instante médio da duração do dado para se obter margem de fase interna otimizada.

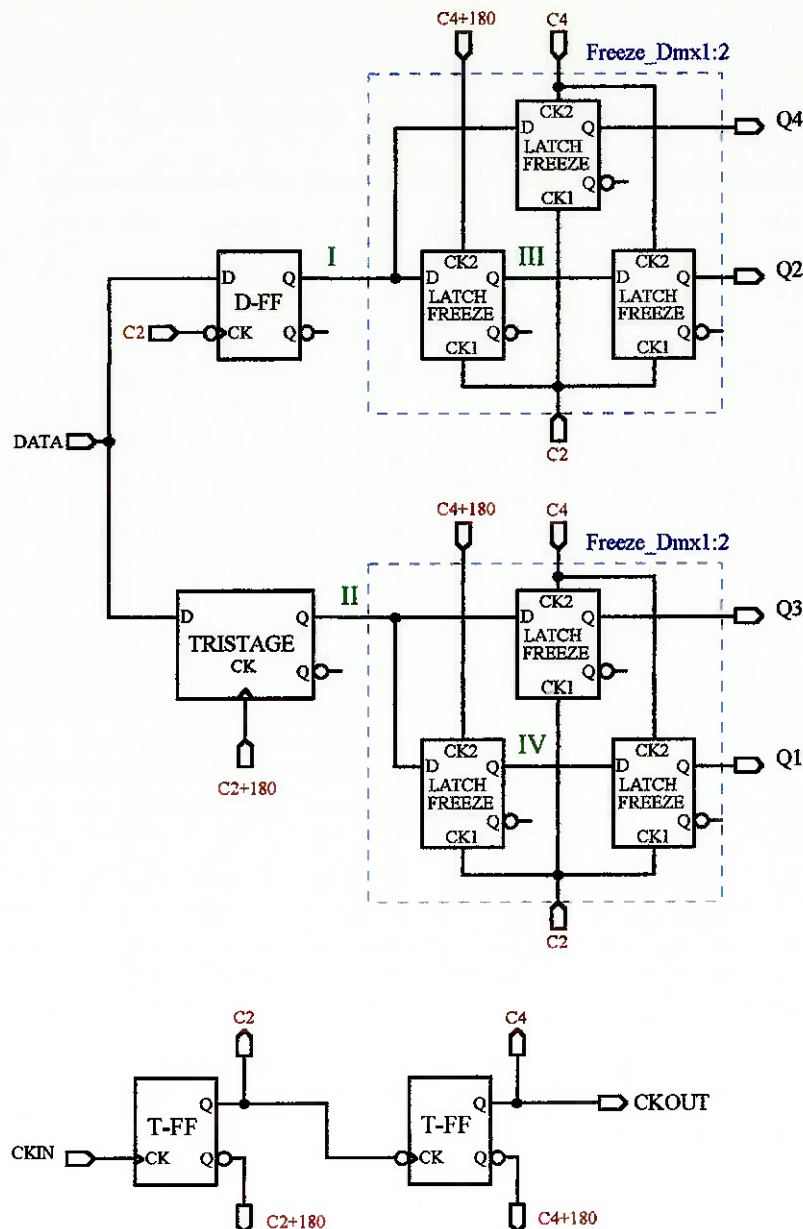


Figura 3.23 Diagrama de blocos de um demultiplexador de ordem $N=2$ que emprega topologia árvore com flip-flop tipo Tristage e latch tipo Freeze.

Para se obter um demultiplexador de ordem N genérica empregando essa topologia, basta associar blocos Freeze_Dmx1:2 de modo a terem uma formação em árvore. A figura 3.25 esboça o diagrama de blocos do demultiplexador para $N=3$. Mais uma vez, para se obter um demultiplexador de alta taxa com bom desempenho faz-se necessário minimizar o consumo de potência das células básicas em cada etapa. Escolhe-se em uma biblioteca de elementos já otimizados, ou projeta-se e otimiza-se, ao nível de transistor, os latch's tipo Freeze levando-se em consideração a frequência de toggle associada, tal que seja suficiente para operar em uma determinada etapa de demultiplexagem.

3. Demultiplexadores de Alta Velocidade: Topologias

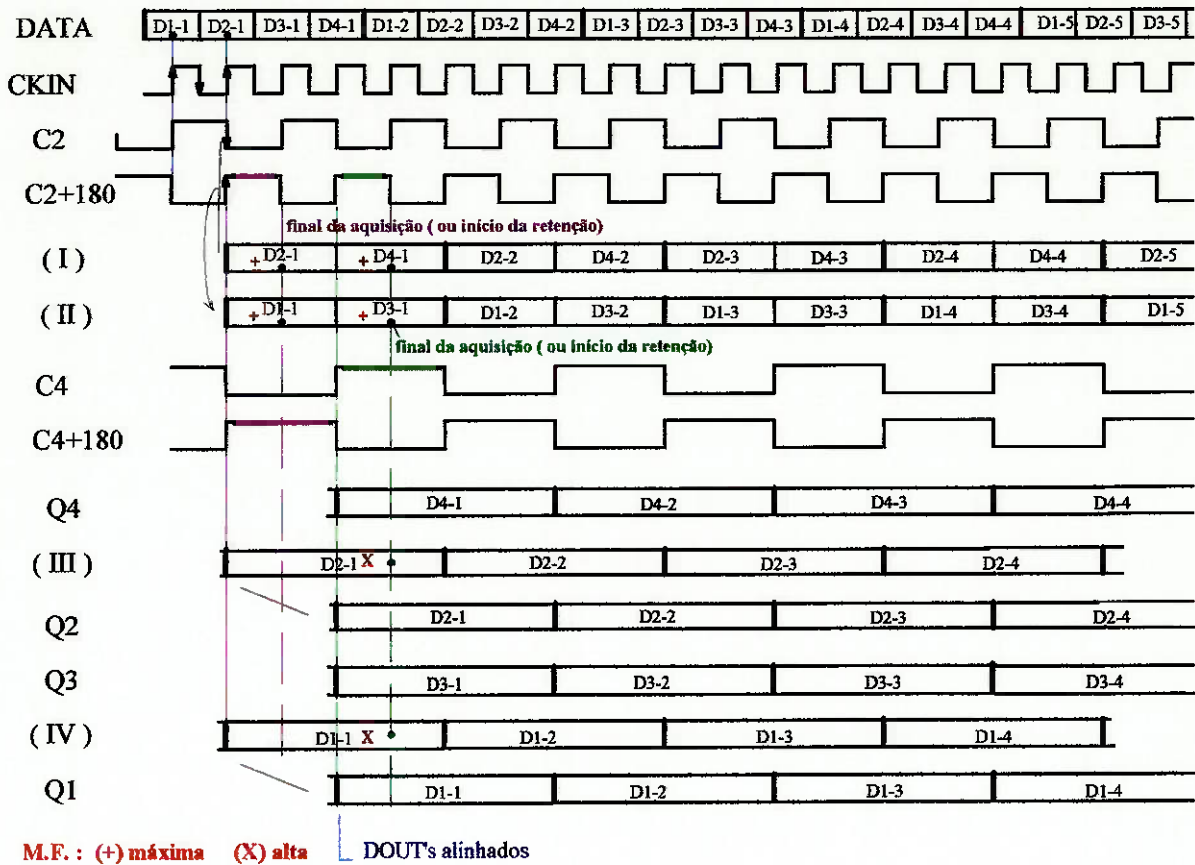


Figura 3.24 Carta de tempos idealizada para o Demultiplexador 1:4 da figura 3.23

Ótimo desempenho de área/consumo de potência é obtido nesta topologia em relação à topologia registrador de deslocamento ou mesmo em relação à árvore com flip-flop tipo D/Tristage, uma vez que a área relativa das células básicas é reduzida de 5 para 3 no Freeze_Dmx1:2.

Pode-se apontar as seguintes características gerais para a topologia árvore com flip-flop tipo Tristage e latch tipo Freeze:

- é uma modificação da topologia árvore com flip-flop tipo D e Tristage;
- apresenta dados de saída alinhados no tempo ;
- alta margem fase interna, porém não máxima;
- ótimo desempenho de área/potência para $N \geq 2$;
- necessita de um grande número de fases de relógio para alimentar os blocos Freeze_Dmx1:2;
- latch's necessários: divisores de relógio (assíncrono): $2N$
lógica de demultiplexagem: $3 \cdot 2^N - 1$;
- latch tipo "Freeze" não existente na biblioteca QLSI-TriQuint.

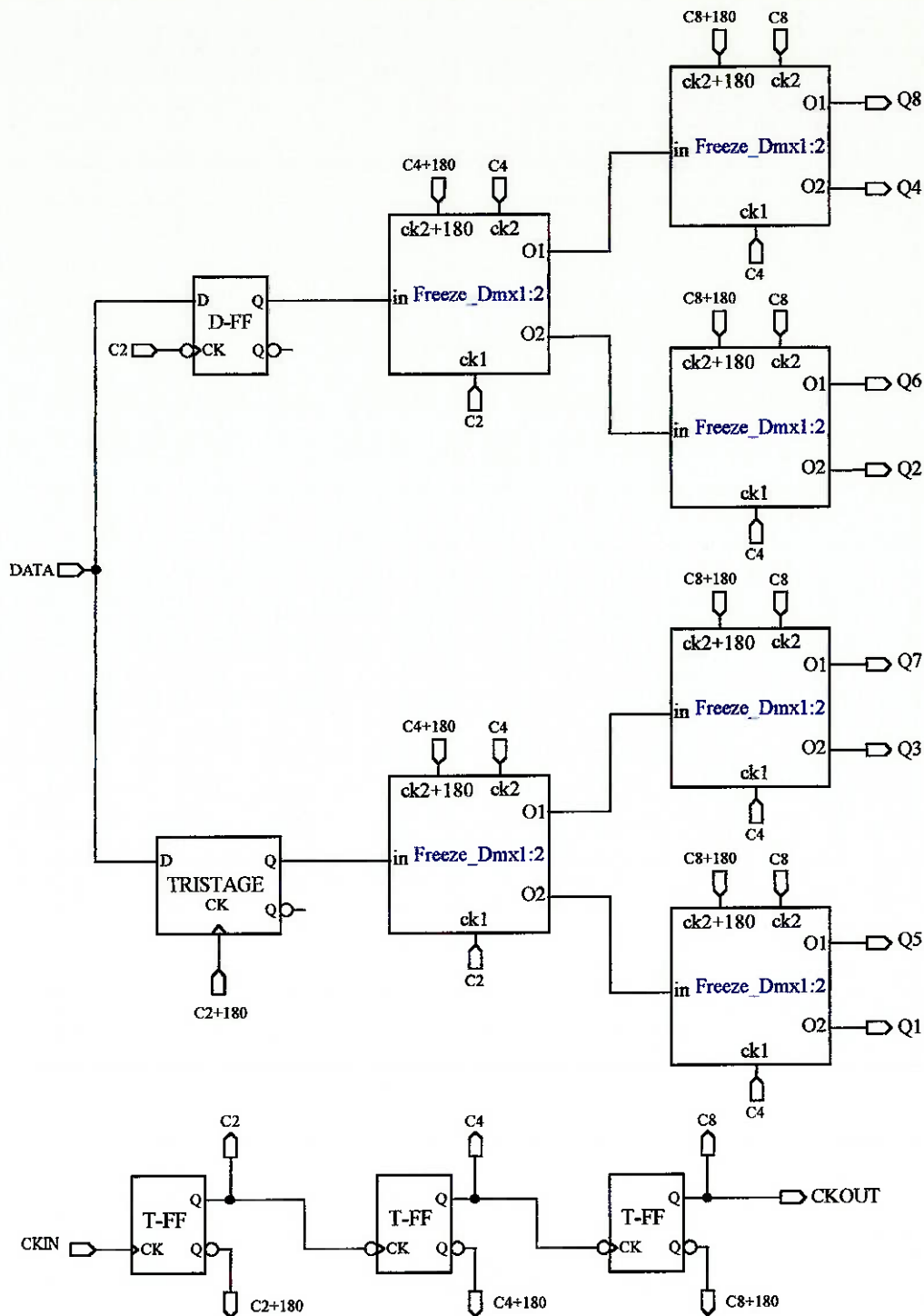


Figura 3.25 Diagrama de blocos de um Demultiplexador de ordem N=3 que emprega topologia árvore com flip-flop tipo freeze e Tristage

3.3.8 Árvore com seletores 1:2

Nubling et al⁷⁶ implementaram o par Mux/Demux de 8 bits e taxa de operação máxima de 6 Gb/s em tecnologia bipolar HBT de AlGaAs/GaAs empregando uma topologia bastante peculiar. Esta topologia, a qual denominamos “árvore com seletor 1:2”, quando comparada com outras analisadas neste trabalho apresenta à primeira vista

a vantagem de ocupar área bastante reduzida. No entanto, a arquitetura árvore com seletor 1:2 não atende boa parte dos critérios inicialmente estabelecidos para demultiplexadores.

A figura 3.26 apresenta o diagrama de blocos de um demultiplexador de ordem $N=3$ com os seletores 1:2. A redução de área/consumo de potência é obtido pelo uso recursivo da célula básica, SEL1:2. Uma implementação em SCFL do seletor 1:2 e a respectiva carta de tempos podem ser vistas nas figuras 3.27.a e 3.27.b. Note que o seletor não é regenerativo, de modo que as variações das entradas são imediatamente transferidas para a saída selecionada sem que haja realimentação interna à célula, necessária à realização de qualquer elemento de memória.

Pelo fato do seletor 1:2 ser um célula combinatória que apenas distribui para uma das saídas a informação de entrada, em função do nível lógico na entrada SEL, a margem de fase inerente ao seletor 1:2 é bastante reduzida, ficando o demultiplexador muito mais susceptível às variações de processo de fabricação. Além disso, exige-se um maior número de fases de relógio distintas nas entradas de seleção dos seletores 1:2, sel , com o objetivo de compensar a ausência da característica de retenção da informação no tempo, próprio dos elementos de memória.

Parte da redução de área e de consumo de potência alcançada pelo uso da célula básica é então perdida. Exigências de fase de relógio impõem o emprego de contador "ripple", o qual deve operar na taxa de $CK/2$, sobrecarregando assim o consumo de potência quando N cresce ($N > 3$).

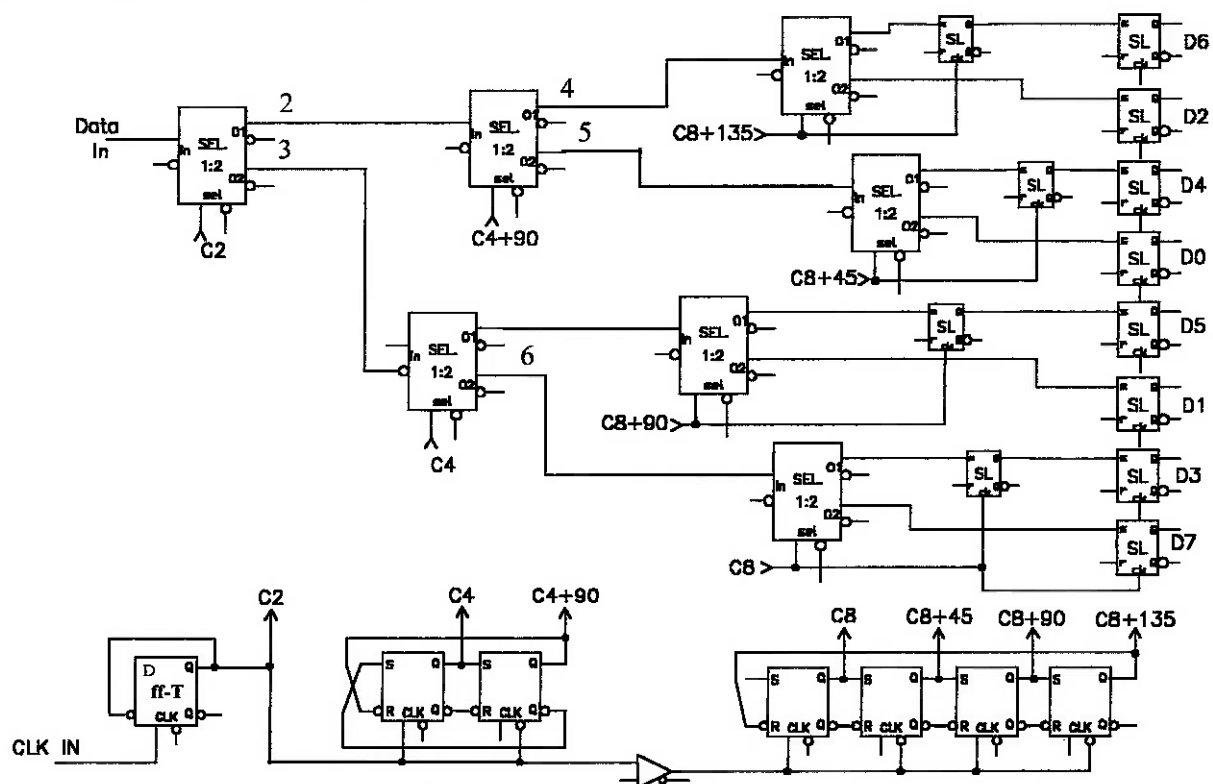


Figura 3.26 Diagrama de blocos de um demultiplexador de ordem $N=3$ que emprega topologia árvore com seletores 1:2

Finalmente, deve-se ajustar todas as fases de relógio utilizadas através de atrasos físicos a fim de contornar o problema da não-regeneração introduzido pelos seletores 1:2 nas N etapas de demultiplexagem. Isto implica no aumento da complexidade de leiaute, em maior dependência aos desvios tecnológicos, além dos dados de saída estarem desalinhados no tempo.

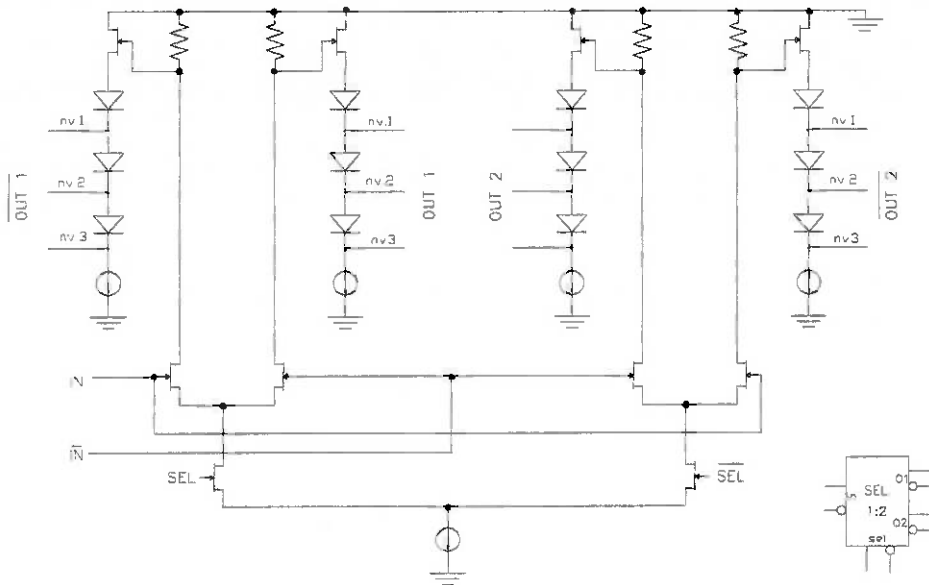


Figura 3.27.a Diagrama esquemático do seletor 1:2, SEL 1:2, implementado em SCFL e empregado na topologia árvore com seletores 1:2

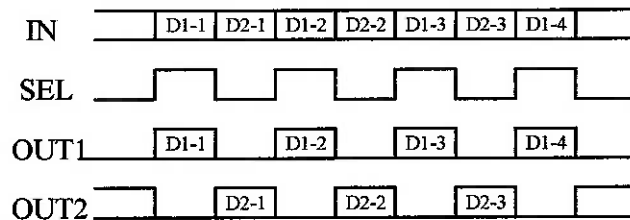


Figura 3.27.b Carta de tempos idealizada para o circuito seletor 1:2 da figura 3.27.a

A título de exemplo, apresenta-se nas figura 3.29 a carta de tempos idealizada para o demultiplexador 1:4 com seletores 1:2 da figura 3.28. A carta de tempos permite visualizar a necessidade do ajuste, via atraso físico, das fases de relógio. Além disto, os sinais nas saídas dos seletores 1:2 da última etapa de demultiplexagem não são otimamente amostrados, e portanto apresentam margem de fase interna bastante reduzida. Os sinais de saída só são válidos na borda de subida de CKOUT.

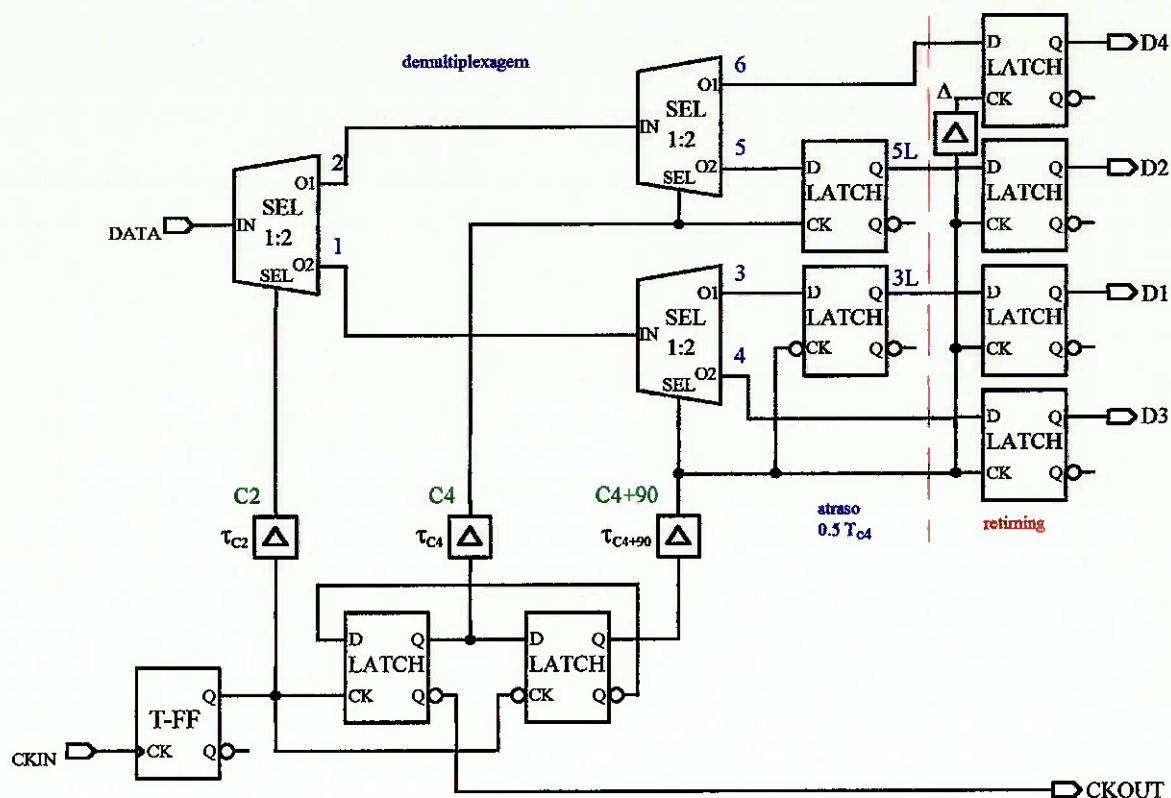


Figura 3.28 Diagrama de blocos de um Demultiplexador de ordem $N=2$, topologia árvore com seletores 1:2

Resume-se abaixo as características gerais da topologia árvore com seletores 1:2:

- a célula SEL 1:2 não é regenerativa;
- esta célula apresenta área reduzida quando comparada ao bloco DEMUX 1:2 com flip-flop tipo D;
- é necessário ajuste de todas as fases de relógio por meio de atrasos físicos;
- resultando em aumento na complexidade de leiaute e
- operação do demultiplexador bastante dependente das variações de processo tecnológico;
- dados de saída não estão alinhados no tempo e apenas são válidos em uma das bordas de CKOUT;
- necessita de contador síncrono para obter todas as fases de relógio;
- latch's necessários: divisores de relógio (em anel): $2N$
lógica de demultiplexagem: $5 \cdot 2^{N-1} - 1$;
- a célula SEL 1:2 não está disponível na biblioteca QLSI-TriQuint.

3. Demultiplexadores de Alta Velocidade: Topologias

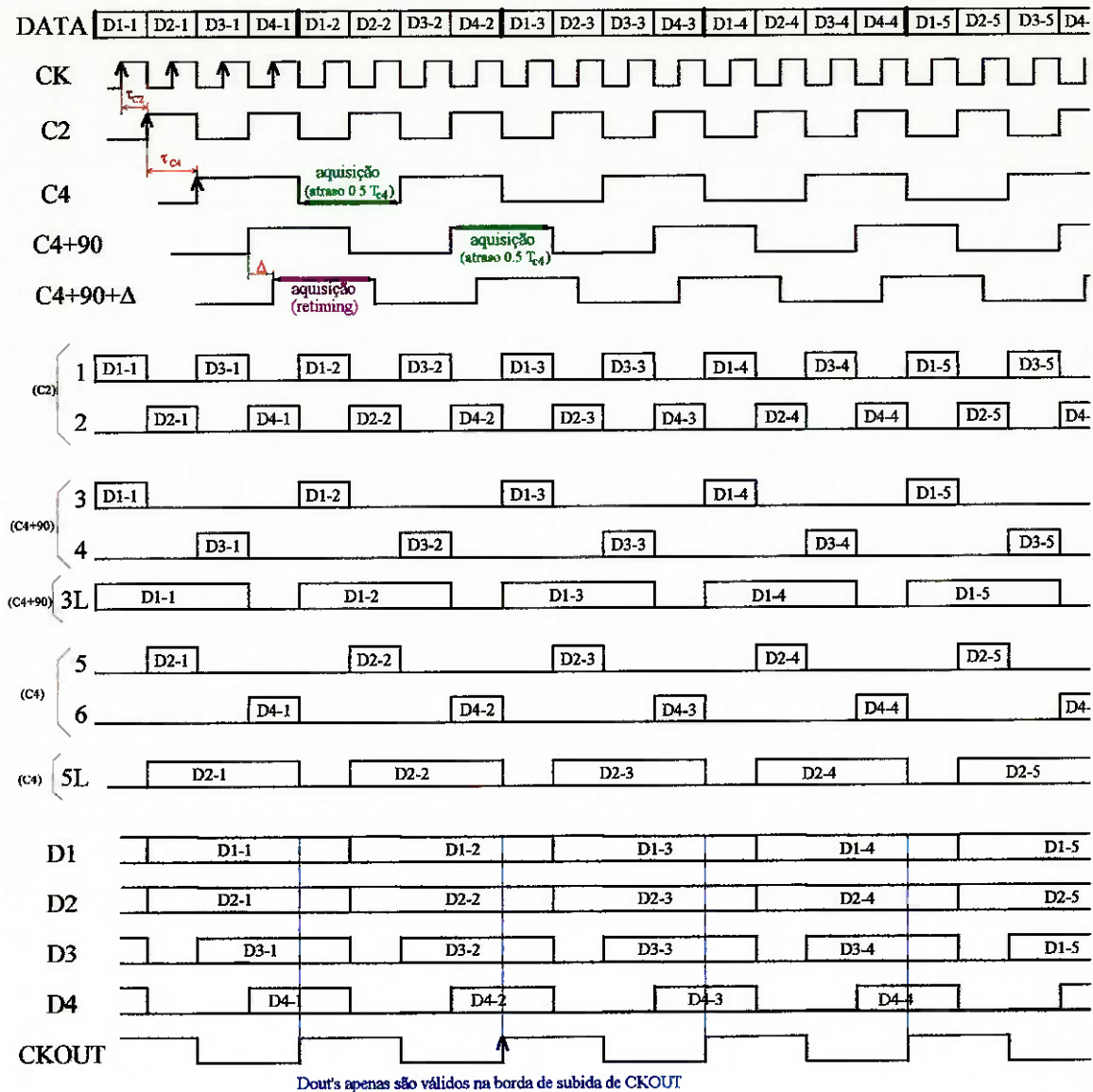


Figura 3.29 Carta de tempos idealizada para um Demultiplexador 1:4 que emprega topologia árvore com seletor 1:2

3.3.9 Paralela

A estrutura paralela de demultiplexagem utilizada na construção de demultiplexadores de alta velocidade é capaz de realizar a separação dos dados multiplexados em uma única etapa, onde todos os elementos de memória estão conectados em paralelo ao sinal de entrada e sincronizados por fases apropriadas de relógio. Tais sinais de relógio são responsáveis pela amostragem do sinal de alta taxa em uma única etapa.

Encontra-se na literatura duas formas de se obter estruturas paralelas de demultiplexagem: a que emprega apenas flip-flop tipo D como elemento de memória e a que combina flip-flop tipo D e Tristage. Algumas vezes ainda, a topologia paralela aparece associada a uma estrutura árvore para dar origem a um demultiplexador de ordem

superior. Representa uma solução mista para o problema da demultiplexagem no tempo, incorporando os princípios de demultiplexagem de ambas as topologias. A estrutura a ser discutida no item 3.3.10, a qual denominamos “topologia Árvore-Paralela com flip-flop tipo D/Tristage” representa essa tendência. Analisa-se a seguir essa três formas de construção.

3.3.9.a Paralela com flip-flop tipo D

M. Lang et al publicaram⁷⁷ os resultados de um demultiplexador 1:4 operando em 11,6 Gb/s, construído a partir de transistores HEMT com $L_g = 0,3 \mu\text{m}$, baseados na heteroestrutura GaAs/AlGaAs, e que emprega o princípio de demultiplexagem paralela. A figura 3.30 apresenta o diagrama do demultiplexador em si e dos divisores de relógio.

Essa topologia utiliza todas as fases de relógio de um divisor em anel de taxa CK/N para amostrar os respectivos canais de dados diretamente do sinal de entrada multiplexado. Em uma única etapa obtém-se a separação dos dados. Um flip-flop tipo D adicional deve ser introduzido em qualquer um dos quatro canais demultiplexados com a finalidade de se introduzir defasagem adicional e assim permitir que os dados deste canal sejam amostrados na etapa seguinte de “retiming” com razoável margem de fase. O número das fases de relógio utilizadas na etapa de demultiplexagem paralela pode ser reduzido à metade caso se utilize flip-flop’s tipo D sincronizados por ambas as bordas do sinal de relógio. Finalmente, a etapa de “retiming” é acrescentada às saídas já demultiplexadas com o intuito de se obter dados alinhados no tempo.

No entanto, a vantagem obtida pela demultiplexagem em uma única etapa, em termos de área, é parcialmente anulada pela reduzida margem de fase interna inerente à topologia, uma vez que os flip-flop tipo D da etapa de “retiming” não amostram os dados no instante ótimo, como pode ser visto na carta de tempos da figura 3.31. Apenas 1 dos 4 canais é amostrado no instante médio de duração do dado.

Outro fator associado à perda de eficiência da estrutura refere-se aos requisitos de tempo de preparação e manutenção, t_{setup} e t_{hold} , dos flip-flop’s da etapa de demultiplexagem paralela. Embora sejam sincronizados pelos sinais de relógio com taxa de CK/N e ciclo ativo igual a 50%, todos esses flip-flop’s devem ter tempos de preparação e manutenção compatíveis com a taxa elevada do sinal de entrada, de período T_{DATA} , o que aumenta as exigências de f_{toggle} para todos esses flip-flop’s, e portanto deve-se ter o parâmetro área/consumo de potência desses elementos de memória aumentado a fim de atender este requisito. Supondo que os dados de entrada (DATA) sejam amostrados no ponto ótimo, ter-se-á como limite para os tempos de preparação e manutenção :

$$t_{\text{hold}} + t_{\text{setup}} < T_{\text{DATA}} \quad (3.4)$$

o que implica em se ter flip-flop's rápidos, ou seja, com elevado consumo de potência.

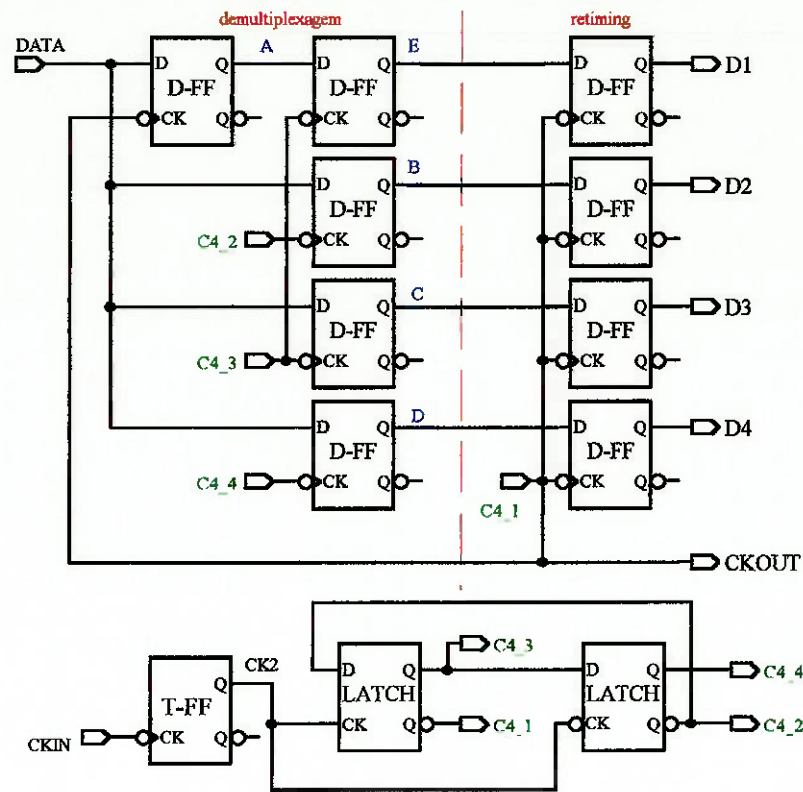


Figura 3.30 Diagrama de blocos de um Demultiplexador de ordem $N=2$ que emprega topologia paralela com flip-flop tipo D

Resumindo as características gerais da topologia paralela com flip-flop tipo D, pode-se enumerar :

- margem de fase interna reduzida: na etapa de “retiming” não é feita a amostragem no instante ótimo, isto é, instante médio da duração do dado naquela etapa;
- todos os flip-flop's tipo D da etapa de demultiplexagem operam com taxa de CK/N ;
- no entanto, deve-se ter estes flip-flop's com requisitos de f_{toggle} de mesma ordem dos flip-flop's que operam com taxa de $CK/2$;
- emprego de divisores de relógio síncrono a partir do segundo divisor por 2; isto implica que para qualquer ordem de demultiplexagem estes divisores operam em taxa de $CK/2$, resultando em um razoável aumento de consumo de potência para N elevado, quando comparado com divisores assíncronos empregados em algumas topologias tipo árvore;
- latch's necessários: divisores de relógio (em anel): $2N$
lógica de demultiplexagem: $9 \cdot 2^{N-1}$;
- implementável empregando células padrão QLSI-TriQuint.

3. Demultiplexadores de Alta Velocidade: Topologias

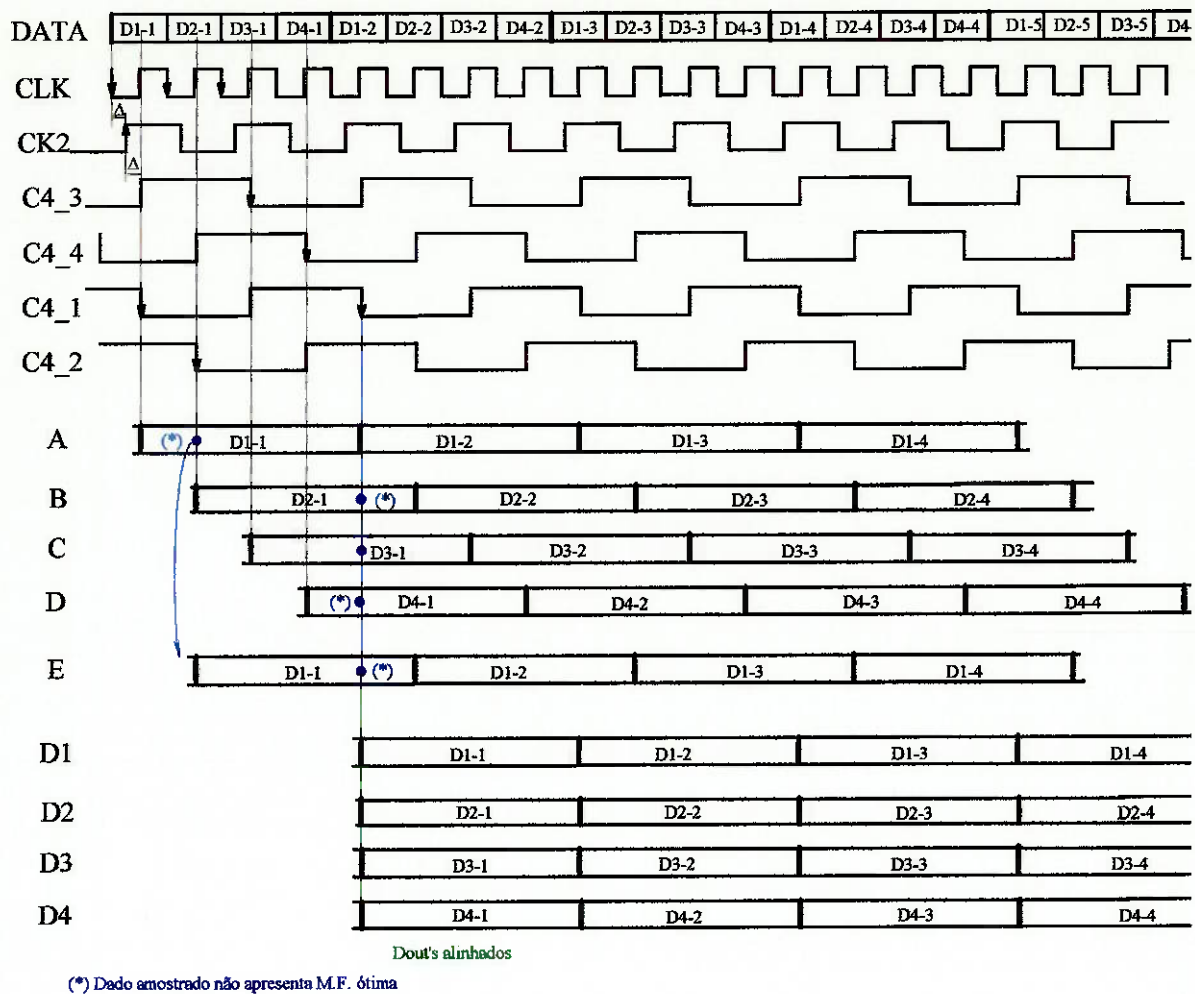


Figura 3.31 Carta de tempos idealizada para o demultiplexador da figura 3.30

3.3.9.b Paralela com flip-flop tipo D/Tristage

Uma variação da estrutura paralela anterior pode ser vista na figura 3.32. É uma estrutura de demultiplexagem paralela de 4 canais que aproveita o atraso adicional de $\frac{1}{2}$ período de relógio obtido com o flip-flop Tristage para realizar o alinhamento dos dados de saída. Como pode ser visto na carta de tempos, figura 3.33, a etapa única de demultiplexagem paralela apresenta máxima margem de fase interna. Na entrada, os quatro canais serializados de alta velocidade são amostrados no instante médio de suas durações. No entanto, na etapa final de alinhamento dos dados de saída a margem de fase não é otimizada. Apenas em 2 dos 4 canais a margem fase é maximizada. Essa desvantagem não é das mais graves, uma vez que na etapa de retiming os sinais são de baixa taxa, tendo longa duração. Assim sendo, esta etapa é bem menos sensível às variações de processo tecnológico e às particularidades de realização de leiaute que a etapa de demultiplexagem paralela, realizada em alta taxa.

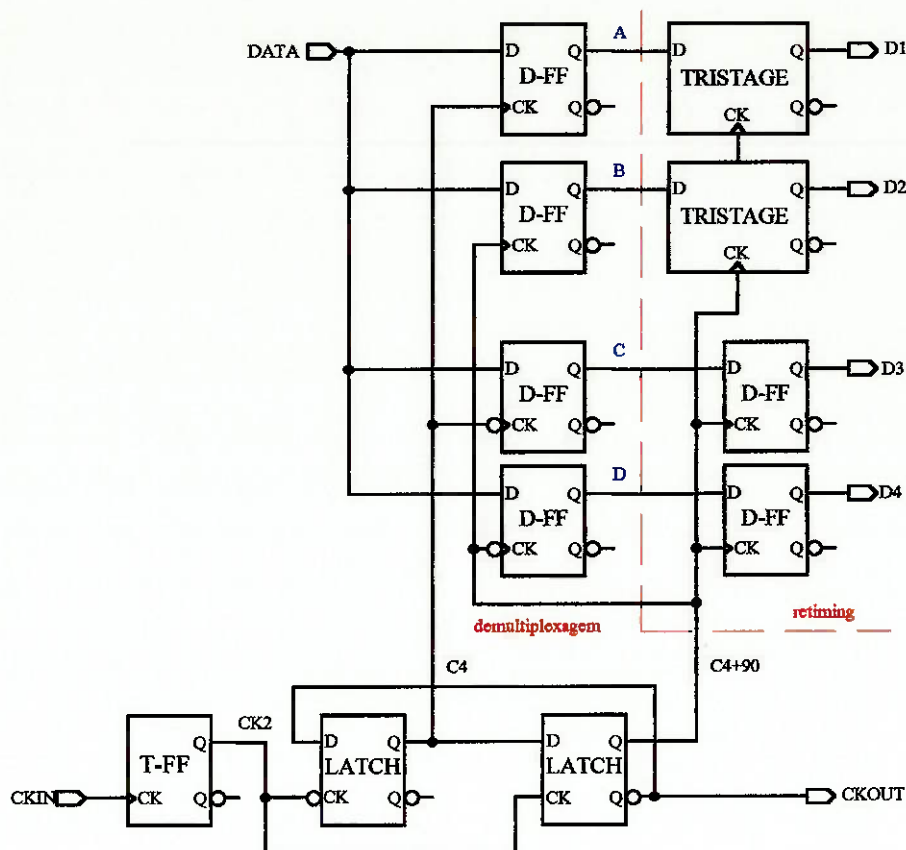


Figura 3.32 Diagrama de uma estrutura paralela de demultiplexagem com flip-flop D/Tristage de 4 canais.

Em um demultiplexador de ordem genérica N , 2^{N-1} canais não serão amostrados otimamente na etapa de “retiming”. Esta topologia emprega área equivalente de latch’s em relação à anterior.

As características gerais da topologia paralela com flip-flop tipo D/Tristage são praticamente as mesmas da Paralela com flip-flop tipo D, vista no ítem anterior. Destacam-se:

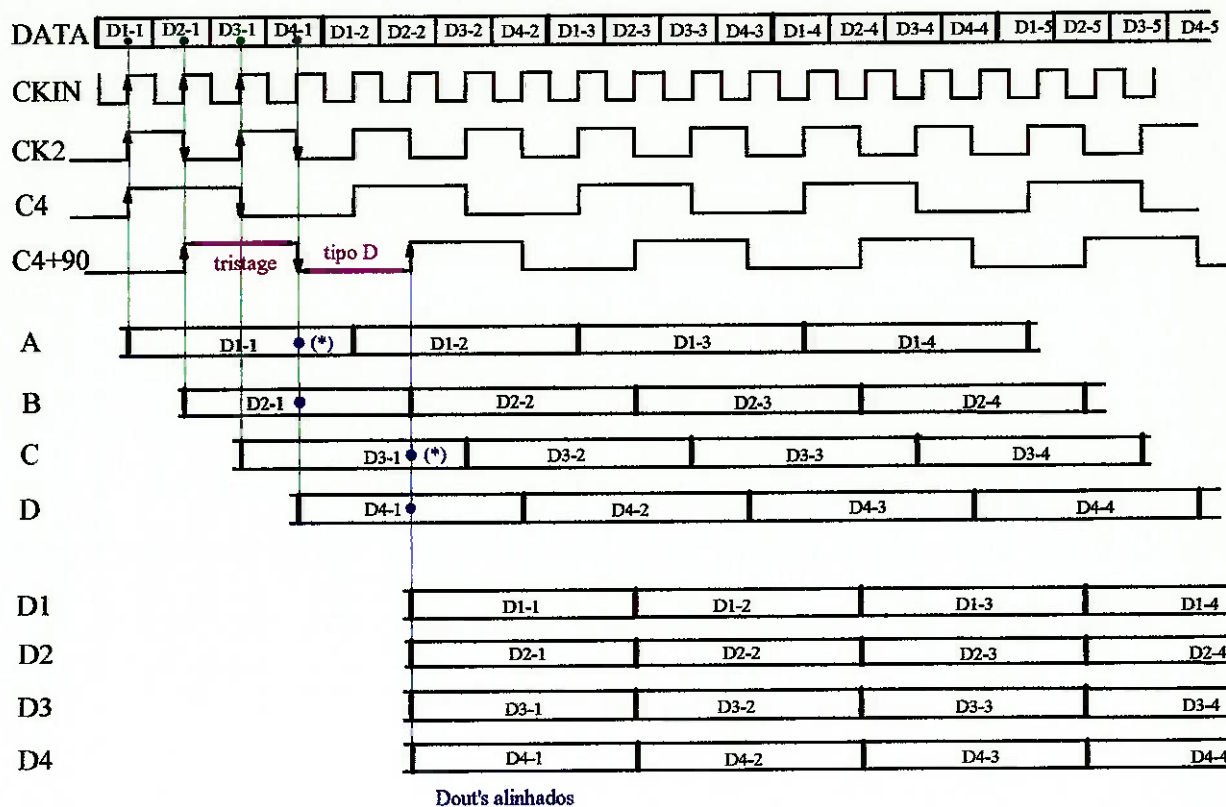
- todos os flip-flop’s tipo D empregados nas etapas de demultiplexagem operam com taxa de CK/N ;
- requisitos de f_{toggle} para os flip-flop’s da etapa paralela são os mesmos daqueles que operam com taxa de $CK/2$;
- margem de fase interna reduzida: na etapa de “retiming”, 2^{N-1} canais não são otimamente amostrados;
- emprego de divisores de relógio síncronos a partir do segundo divisor por 2; isto implica que para qualquer ordem de demultiplexagem estes divisores operam em taxa de $CK/2$, resultando em um razoável aumento de consumo de potência para N elevado, quando comparados com divisores assíncronos empregados em algumas

topologias tipo árvore;

- latch's necessários: divisores de relógio (em anel): $2N$

lógica de demultiplexagem: $9 \cdot 2^{N-1}$;

- implementável a partir de células padrão QLSI-TriQuint.



(*) dado amostrado na etapa de retiming não apresenta M.F. ótima

Figura 3.33 Carta de tempos idealizada para a estrutura paralela com flip-flop D/Tristage de 4 canais.

3.3.10 Árvore-Paralela com flip-flop tipo D/Tristage

Outra solução^{78,79} para a demultiplexagem no tempo combina o princípio da topologia árvore ao nível de sub-blocos com a estrutura paralela a nível das conexões dos elementos de memória no interior de cada sub-bloco. A figura 3.34 esquematiza o diagrama de um demultiplexador 1:8. A demultiplexagem ocorre em duas etapas. A primeira emprega um demultiplexador 1:2, o sub-bloco DMX1:2; enquanto a segunda emprega dois demultiplexadores 1:4, sub-blocos DMX1:4's. Os sub-blocos DMX1:2 e DMX1:4 são estruturas paralelas de demultiplexagem interconectados da mesma forma que na topologia árvore.

O DMX1:4 é basicamente a mesma estrutura apresentada no item 3.3.9.b, figuras 3.32 e 3.33. Já o sub-bloco DMX1:2 foi analisado no item 3.3.5, figura 3.16 e 3.17. Uma alternativa de implementação para o DMX1:2 seria utilizar flip-flop D combinado com

Tristage, configurados como apresentado no item 3.3.6, figura 3.19.

A combinação das estruturas árvore e paralela apresenta as mesmas limitações da topologia paralela. Note que, também aqui, em um demultiplexador de ordem genérica N , mais de 2^{N-1} canais não serão amostrados no instante ótimo na etapa de "retiming", como pode ser visto na figura 3.35. O emprego das várias fases de relógio com taxa CK/N na segunda etapa de demultiplexagem, sub-bloco DMX1:4, exige que o contador seja em anel (ou síncrono), o que acarreta, como já dito anteriormente, um "overhead" de consumo de potência/área.

A estrutura árvore-paralela terá aplicação em demultiplexadores de ordem $N \geq 3$. Arranjos para $N=1$ ou 2 recaem, evidentemente, em configurações topológicas analisadas anteriormente nos itens 3.3.5, 3.3.6 e/ou 3.3.9.

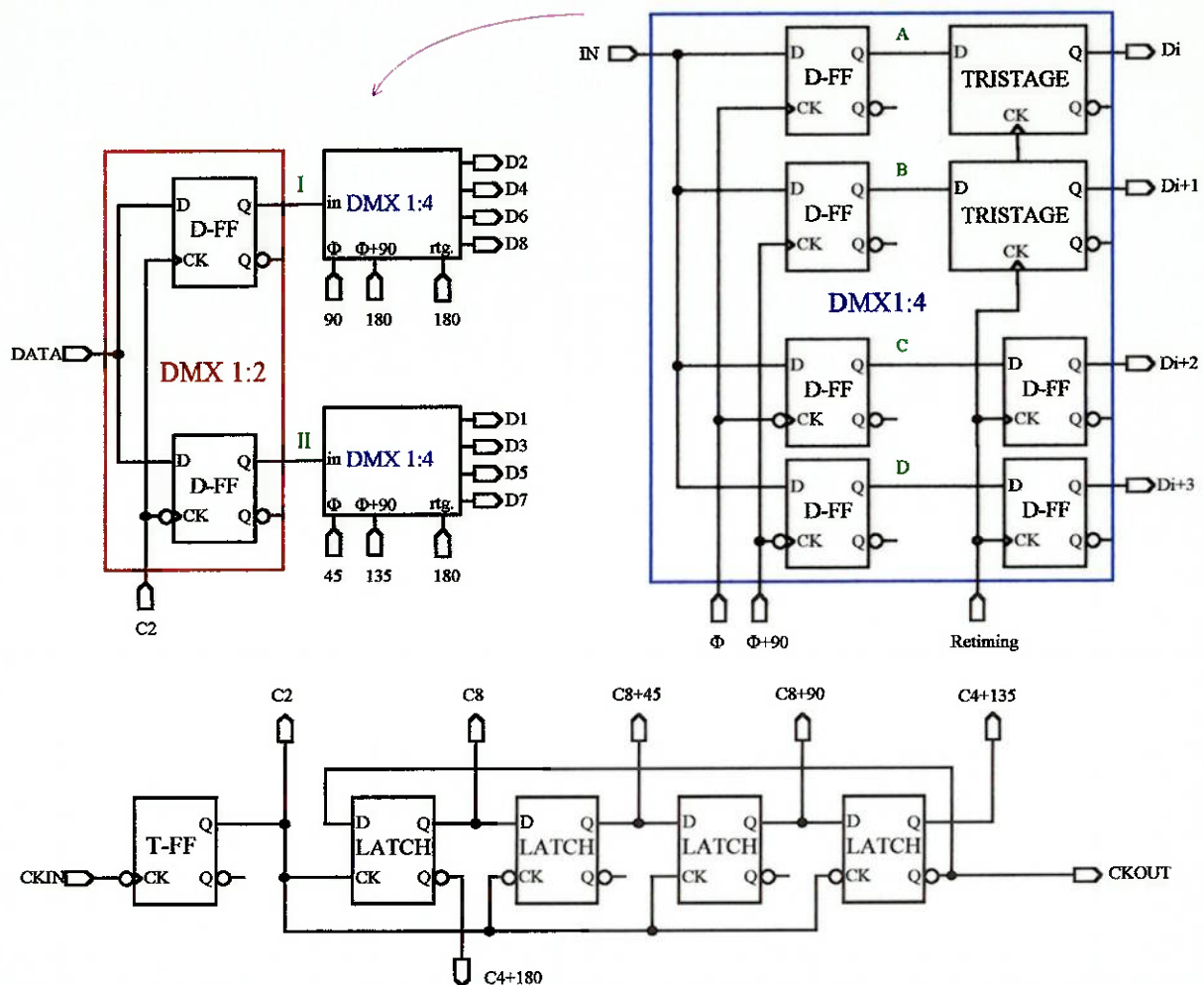


Figura 3.34 Diagrama de blocos de um Demultiplexador de ordem $N=3$ que emprega topologia Árvore combinada com a estrutura Paralela.

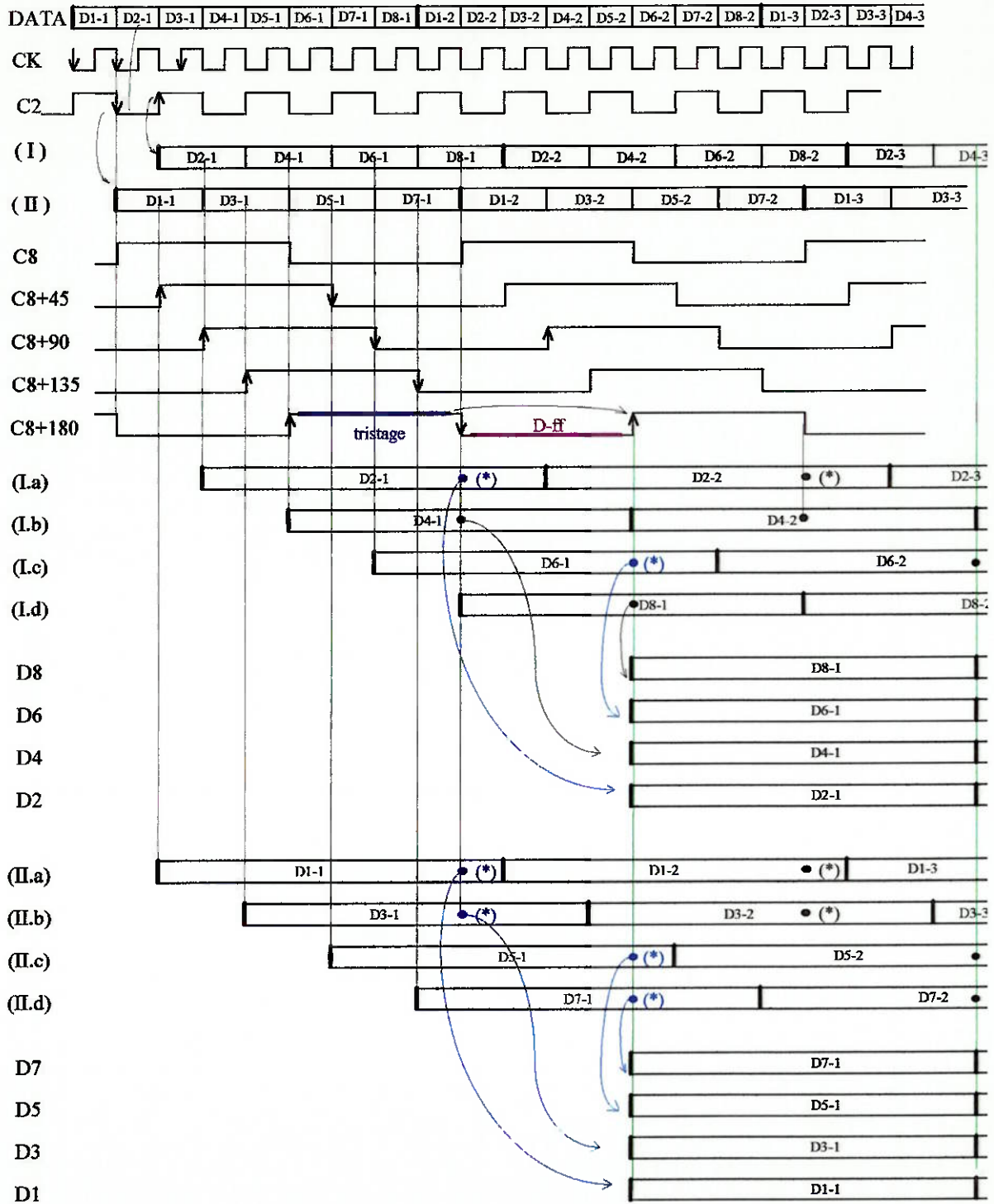
Resume-se abaixo as principais características da estrutura árvore-paralela com flip-flop tipo D/Tristage:

- aplicação em demultiplexador de ordem elevada, $N \geq 3$;

3. Demultiplexadores de Alta Velocidade: Topologias

- número de fases de relógios elevado;
- instante de amostragem do sinal não ótimo em todas as etapas;
- latch's necessários: divisores de relógio (em anel): $2N$

lógica de demultiplexagem: 40, para $N = 3$; 84, para $N = 4$.



(*) D2, D6, D7, D5, D3 e D1 não são otimamente amostrados nos pontos (a), (b), (c) e (d)

Figura 3.35 Carta de tempos idealizada para o Demultiplexador de ordem $N=3$ que combina topologia Árvore e Paralela

3.3.11 Primeiro Divisor por 2: implementações alternativas

Exceto a topologia registrador de deslocamento clássico (item 3.3.1), todas as demais topologias de demultiplexadores de alta velocidade analisadas aqui apresentam um único subbloco operando em taxa de CK. Este bloco é o primeiro divisor por 2 estático. Todos os demais subblocos ou células operam em taxas menores, tais como CK/2 (topologias registrador de deslocamento modificado I e II), ou progressivamente menores, CK/2, CK/4 ... CK/N, como ocorre nos demultiplexadores baseados na estrutura árvore e divisores assíncronos.

Desta forma, o primeiro divisor de relógio por 2 é o circuito de realização mais crítica, limitando a máxima taxa de operação de um demultiplexador com dados de entrada NRZ. Torna-se assim importante buscar formas alternativas de implementação para primeiro divisor por 2, de tal forma a permitir ao mesmo operar em taxas superiores à f_{toggle} , limite para um divisor por 2 estático, considerando ainda o mesmo processo tecnológico.

Essas implementações alternativas estão baseadas nos princípios de divisão de frequência puramente analógica (regenerativa) ou analógica/digital (dinâmica). É possível obter um ganho na frequência máxima de operação nestes divisores em torno de 2,5 em relação aos divisores estáticos fabricados a partir de um mesmo processo tecnológico e comprimento de porta de transistor. Em contrapartida, a faixa de operação destes divisores é restrita, reduzindo conseqüentemente a faixa de operação do demultiplexador.

Diferentemente do divisor estático que opera desde DC até teoricamente a f_{toggle} , divisores regenerativos ou dinâmicos possuem faixa de utilização restrita. Valores entre 1 oitava a 1 década de faixa, dependendo do tipo de divisor e técnica de projeto, são possíveis de se obter.

A seguir, discute-se ambos os princípios alternativos para se obter o primeiro divisor por 2 de frequências em demultiplexadores de alta taxa.

3.3.11.a Divisor por 2 Regenerativo

Apresenta-se um resumo das principais características do divisor por 2 regenerativo^{40,64,80,81}, bem como uma comparação com o divisor estático.

O princípio de divisão de frequência regenerativo foi proposto por Miller em 1939. É empregado quando não for possível obter, via processo tecnológico padrão, a frequência dividida empregando-se divisor estático. Normalmente, obtém-se, com divisores de frequência regenerativo, um ganho de 2 em termos de máxima frequência de operação em relação ao divisor estático, considerando-se um mesmo processo tecnológico e comprimento de porta de transistor. Além disso, esse tipo divisor apresenta consumo de

potência menor que o divisor estático. Outra vantagem refere-se à inexistência da auto-oscilação na ausência de sinal na entrada, como normalmente acontece nos divisores estáticos. O princípio regenerativo pode ser aplicado em divisores de ordem maior que 2. Basta colocar divisores por 2 regenerativos em cascata, minimizando o consumo de potência de cada estágio, em função de sua taxa máxima de operação;

Como desvantagem, o princípio de divisão regenerativa quando empregado em demultiplexadores de alta velocidade resulta em restrições na faixa de operação, uma vez que o divisor regenerativo de banda larga não pode operar desde DC.

A figura 3.36 apresenta o diagrama básico para um divisor de frequência regenerativo. O princípio de divisão de frequência regenerativo baseia-se em um misturador rápido duplamente balanceado tendo em uma das entradas o sinal a ser dividido e na outra o sinal de saída realimentado. Se o misturador for otimamente balanceado, ter-se-á na sua saída apenas os produtos ímpares, $(1, 3, 5 \dots) \frac{1}{2}f$. Os produtos $(3, 5, \dots) \frac{1}{2}f$ são filtrados sendo amplificado apenas o sinal $\frac{1}{2}f$. Um amplificador transimpedância pode substituir o conjunto filtro passa-baixas + amplificador devido à sua característica intrínseca de amplificador passa-baixas.

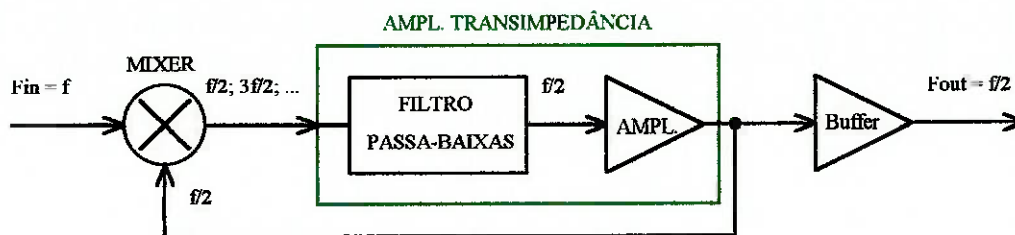


Figura 3.36 Diagrama básico do divisor de frequência regenerativo

A frequência mínima de operação do divisor regenerativo, f_{\min} , está limitada teoricamente a $\frac{1}{3}f_{\max}$, pois o produto $\frac{3}{2}f$, presente na saída do mixer, não poderá ser suprimido pelo filtro passa-baixas se a frequência do sinal de entrada cair abaixo daquele valor.

A frequência máxima de operação, f_{\max} , é determinada principalmente pela frequência de corte da malha, incluindo as frequências de corte do misturador e do amplificador. No entanto, se o atraso de malha (loop delay) for excessivamente grande, poderá ocasionar instabilidade em algum ponto da faixa de operação inicialmente definida pelas frequências de corte superior e inferior da malha, f_{\max} e f_{\min} , ocasionando uma redução na faixa de frequências de entrada utilizável. Assim, faz-se necessário minimizar a influência dos elementos parasitários da malha, tais como indutâncias de interconexão e capacitâncias dos pad's.

Já a frequência máxima de um divisor por 2 estático é limitada pelo atraso dos 2 latch's, como mostra a equação 3.3, que é maior que o atraso de malha no divisor

regenerativo. Assim, para um mesmo processo tecnológico de fabricação, a frequência máxima de operação obtida com o divisor regenerativo é 2 a 2,5 vezes maior que a alcançada no divisor estático. A limitação do divisor regenerativo está no fato das frequências de operação estarem restritas à faixa $\frac{1}{3}f_{max}$ a f_{max} , enquanto que no divisor estático esta limitação é de 0 a f_{max} .

3.3.11.b Divisor por 2 Dinâmico

Divisores de frequência dinâmicos^{30,71,82-84} podem operar em taxas maiores que os estáticos uma vez que o atraso de propagação de malha é menor, como também ocorre no divisores regenerativos.

A estrutura de um divisor de frequência apresentada na figura 3.37 utiliza amplificadores diferenciais, seguido de um estágio seguidor de fonte, duplo laço de realimentação e um circuito de auto-polarização na entrada. É uma estrutura melhorada em relação às primitivas que empregam amplificadores não-diferenciais, duas tensões de alimentação e apresentam restrição à flutuação de V_{DD} em $\pm 10\%$. Permite com isto:

- operação com uma única fonte de alimentação;
- conexão dos amplificadores diferenciais em duplo laço permite operação estável e livre de flutuações da fonte de alimentação; flutuações absolutas de tensão nos pontos a e a' não afetam a correta operação do divisor;
- auto-polarização permite obter um correto nível DC quando a tensão de alimentação sofre flutuações;
- divisores multi-estágio são facilmente implementados uma vez que a partir desta estrutura estão disponíveis as fases 0° e 180° no sinal de saída.

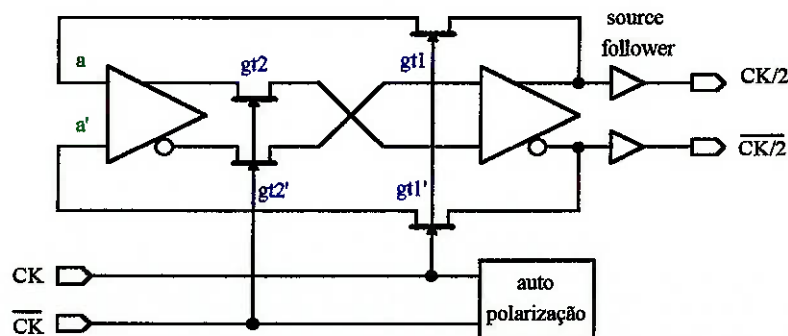


Figura 3.37 Diagrama básico do divisor de frequência dinâmico com estrutura de laço duplo e amplificadores diferenciais

O limite superior da frequência de operação em um divisor dinâmico é cerca de 2 vezes maior que aquela obtida com o mesmo processo tecnológico para um flip-flop tipo T. Em ambos os casos, a frequência máxima de operação é limitada pelo tempo de

propagação do sinal de entrada até a saída, mas τ_{pd} do inversor dinâmico é cerca de 2 vezes menor que no caso do divisor por 2 estático. Já o limite inferior da frequência de operação é definido pelo tempo de descarga do estágio amplificador diferencial. Os transistores de transmissão da figura 3.37, g_{t1}' , g_{t1} e g_{t2} , g_{t2}' , podem ser de depleção ou enriquecimento. Empregando-se transistores depleção obtêm-se divisores com frequência máxima maior para as mesmas condições de processamento. Veja exemplo de implementação de divisores com ambos os tipos de transistores no quadro 3.1, referência [82].

No quadro 3.1 abaixo faz-se uma comparação entre algumas implementações encontradas na literatura de divisores regenerativos, dinâmicos e estáticos. Vale ressaltar que as principais vantagens obtidas com os divisores dinâmico e regenerativo em relação ao estático são: aumento na frequência máxima de operação (fator de 2 a 2,5) para um mesmo processo tecnológico, acompanhado por uma redução do consumo de potência. Como desvantagem, a existência de uma frequência mínima de operação, tipicamente 2 oitava a 1 década abaixo de f_{max} , o que em aplicações de (de)multiplexadores de alta velocidade não chega a ser uma limitação.

Quadro 3.1 Comparação de desempenho entre divisores regenerativo, dinâmico e estático

Divisor por 2	Frequência [GHz]	Potência [mW]	Tecnologia, Topologia e L_g	f_T [GHz]	$f_{max} / Pot.$ [GHz/W]	Ref.
Regenerativo	1,4 a 5,3 (<2 oitavas)	135 + 55 (driver)	Si Bipolar tradicional, emissor de 2 μm	5,3	39,3	[40], [64]
Regenerativo	2,0 a 7,3 (<2 oitavas)	124	Si Bipolar tradicional, emissor de 2 μm	8,0	58,9	[80]
Regenerativo	1,5 a 3,65 (>1 oitava)	42	Si Bipolar tradicional, emissor de 2 μm	8,0	86,9	[80]
Dinâmico	2,0 a 8,8 (~2 oitavas)	370	1 μm GaAs MESFET, SCFL;		23,8	[84]
X	6,0 a 10,5 (<1 oitava)		duplo loop, Amplif. Diferencial		28,4	
Estático	0 a 6,5		mesmo processo			
Dinâmico N-ON Div.2	0,5 a 10,2 (>4 oitavas)	130 (c/ buffer)	1 μm GaAs MESFET, BFL		78,5	[82]
Dinâmico N-OFF Div.2	0,1 a 2,5 (>4 oitavas)	0,5	mesmo processo		500	[82]
X Estático	0 a 2,0	10	mesmo processo, (6 NOR's) E-MESFET		200	[82]
Dinâmico X	0,9 a 12,7 (~4 oitavas)	105	0,7 μm GaAs MESFET, BFL		121,0	[83]
Estático	0 a 4,8	84	mesmo processo		57,1	[83]
Dinâmico	1,5 a 15 (1 década)		0,5 μm GaAs MESFET	40		[71]
Estático	0 a 5,0	550 (c/ buffer)	0,8 μm GaAs MESFET, SCFL com I/O ECL		9,1	[30]

3.3.12 Comparação entre Topologia Árvore e Registrador de Deslocamento

Para uma mesma topologia, a área a ser ocupada pelo demultiplexador é proporcional ao número de latch's. No entanto, quando se compara arquiteturas com filosofias muito distintas, como topologias árvore e registrador de deslocamento, pode ocorrer, para uma mesma ordem de demultiplexagem N , uma topologia que exija maior número de latch's ocupando uma área total menor, caso esses latch's operem em taxas decrescentes (topologia árvore), e principalmente essa tendência é reforçada se N for elevado.

Quantificar-se-á nessa seção o parâmetro área e consumo de potência para os demultiplexadores apresentados anteriormente. Acrescentar-se-á aos critérios já estabelecidos, tais como margem de fase interna, alinhamento dos dados de saída, etc, o critério de área relativa e de consumo de potência, aplicados àquelas estruturas, tomando-se como base as informações contidas no manual de projeto da biblioteca QLSI-TriQuint.⁴⁴ Este dois últimos, são critérios particulares, referentes a uma biblioteca e processo tecnológico específicos, que no entanto permitem estabelecer uma comparação quantitativa da área ocupada e do consumo de potência. Ter-se-á então estabelecido um amplo quadro comparativo para as nove topologias de demultiplexadores de alta velocidade encontradas na literatura.

Uma biblioteca de células padrão digital, como a QLSI-TriQuint, apresenta um elenco de elementos lógicos combinatórios e de memória nos quais encontram-se otimizados o produto velocidade x consumo de potência. Tem-se então para cada função lógica versões operando em diferentes taxas máximas. A grande desvantagem em se trabalhar com biblioteca de células padrão é a limitação do elenco. Algumas vezes não se encontra entre os elementos disponíveis a função desejada. Ou às vezes é preciso associar células para se obter a função desejada, perdendo-se na maioria das vezes aquela otimização do produto velocidade x consumo de potência.

Com o objetivo de se obter os parâmetros consumo de potência e área, compara-se a seguir, para cada estrutura, o número de latch's necessários à implementação do demultiplexador em função da ordem de N , que fornece uma medida da complexidade relativa das estruturas. A seguir é então apresentado o consumo de potência de cada topologia em função de N , tendo como base dados de consumo de potência e máxima taxa de operação de cada célula da biblioteca QLSI-TriQuint. Assume-se que as topologias de demultiplexador aqui comparadas operam em taxa de 2 Gb/s, que é a máxima taxa garantida para as células da biblioteca QLSI.

a) *Número de Latch's*

Resume-se no quadro 3.2 as expressões analíticas, em função da ordem de demultiplexagem N , para o cálculo do número de latch's necessários à obtenção das estruturas de demultiplexadores analisadas anteriormente. Não foram considerados neste cálculo os buffers e conversores de níveis nas entradas e saídas dos demultiplexadores, uma vez que sua contribuição no cômputo da área não depende da topologia, mas do número de entradas e saídas do circuito e das taxas de operação envolvidas.

Quadro 3.2 Número de latches das topologias de demultiplexadores em função da ordem N

DEMUX 1:2 ^N	Lógica de Demultiplexagem	Divisores de Relógio
Reg. Desloc. Clássico	$3 \cdot 2^N$	$2N+1$
Reg. Desloc. Modif. I	$3 \cdot 2^N + 1$	$2N+1$
Reg. Desloc. Modif. II	$3 \cdot 2^N + 4$	$2N+1$
Árvore ff-D	$4 \cdot (2^N - 1)$	$2N$
Árvore ff-D/Tristage	$5 \cdot (2^N - 1)$	$2N$
Árvore Freeze/Tristage	$3 \cdot 2^N - 1$	$2N$
Paralela ff-D ff-D/Tristage	$9 \cdot 2^{N-1}$	$2N$
Árvore-Paralela	40 @N=3; 84 @N=4	$2N$
Árvore seletor 1:2	$5 \cdot 2^{N-1} - 1$	$2N$

A figura 3.38 apresenta graficamente o resultado do cálculo para o quadro 3.2, considerando as dez topologias e $2 \leq N \leq 5$, necessários para se obter os sublocos de demultiplexagem e divisores de relógio, sem considerar as células de entrada e saída e a lógica de controle.

Note que, entre as topologias analisadas ocorre disparidade significativa na complexidade quando a ordem cresce ($N \geq 3$). A estrutura Árvore com flip-flop tipo D/Tristage é a que apresenta maior número de latch's das dez analisadas. Árvore com Sel 1:2, Árvore-Paralela e as três arquiteturas de registrador de deslocamento, são as estruturas que apresentam menor número de latch's, em ordem crescente.

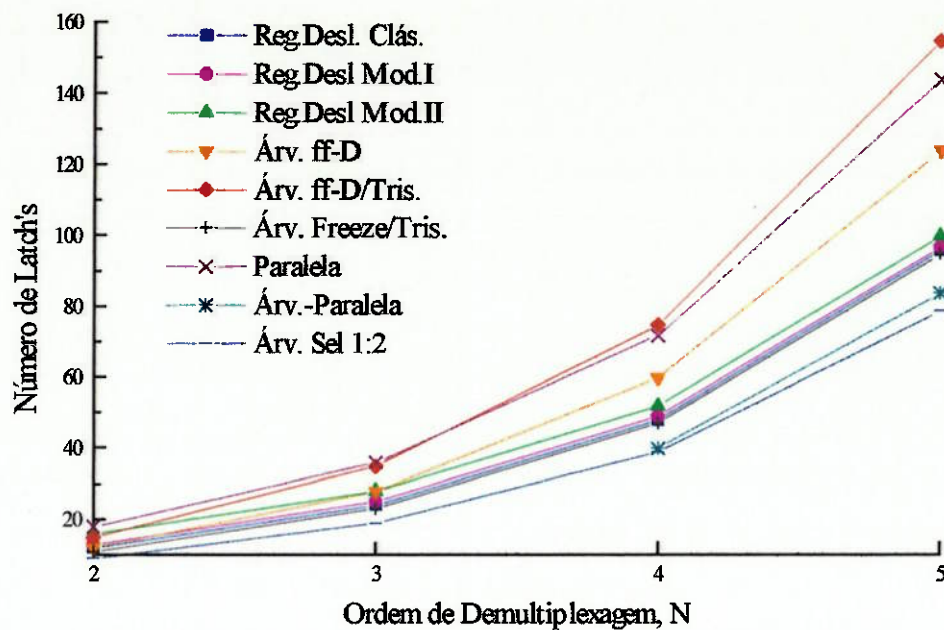


Figura 3.38 Comparação do número de latch's necessários à lógica de demultiplexagem, em função da ordem N para as topologias analisadas

b) Consumo de Potência

Parâmetro bastante importante, o consumo de potência de um demultiplexador é decisivo quando o objetivo é atingir maiores níveis de integração em taxas de Gb/s. Deve-se sempre ter em mente que a condutividade térmica do GaAs é menor que a do Si. Assim, inerentemente, ter-se-á menor grau de integração em GaAs para a mesma estrutura lógica implementada. Buscar estruturas que intrinsecamente apresentem taxas de operação internas reduzidas, quando a função lógica permitir, como é o caso da demultiplexagem no tempo, resultará em redução nos custos de processamento, devido à menor área ocupada pelo chip e permitirá ampliar o nível de integração incorporando outras funções lógicas em uma mesma área.

Estima-se, na figura 3.39, o consumo de potência das células internas para duas representantes significativas das topologias árvore e registrador de deslocamento. Essa comparação foi particularmente feita tomando-se como base dados de consumo de potência das células da biblioteca QLSI-TriQuint. Para elementos combinatórios e de memória, selecionou-se, a partir das células da biblioteca, a célula de função lógica apropriada, buscou-se em seguida a versão de menor potência dentre a família de células de mesma função que ainda apresentasse frequência de toggle maior ou igual à taxa exigida para a respectiva célula na estrutura e que ainda satisfizesse os requisitos de t_{setup} e t_{hold} daquela célula na estrutura. Para se calcular a menor largura de pulso (t_{pw}) permitida na entrada de uma célula combinatória ou, equivalentemente, a f_{toggle} em um elemento de memória para cada versão de célula da biblioteca QLSI⁴⁴, utilizou-se os seguintes critérios:

$$a) \quad t_{pw} \geq 1,5 \cdot \tau_{pd} + 2,6 \cdot \text{Loading Delay} \cdot C_{load}, \text{ ou} \quad (3.5.a)$$

$$f_{toggle} \leq \frac{1}{3 \cdot \tau_{pd} + 5,2 \cdot \text{Loading Delay} \cdot C_{load}} \quad (3.5.b)$$

onde :

τ_{pd} : atraso de propagação intrínseco da célula padrão; é função do consumo de potência da célula;

t_{pw} : largura mínima de pulso, composta pelo atraso intrínseco da célula padrão, τ_{pd} , e pelo atraso devido ao carregamento capacitivo de saída.

C_{load} : capacitância total de carga na saída da célula;

Loading Delay : fator de sensibilidade ao carregamento de saída da célula, expressa o quanto C_{load} afeta os tempos de subida e descida do sinal na saída; também é função do consumo de potência da célula.

b) fan-out = 2 e células idênticas (mesmo C_{load})

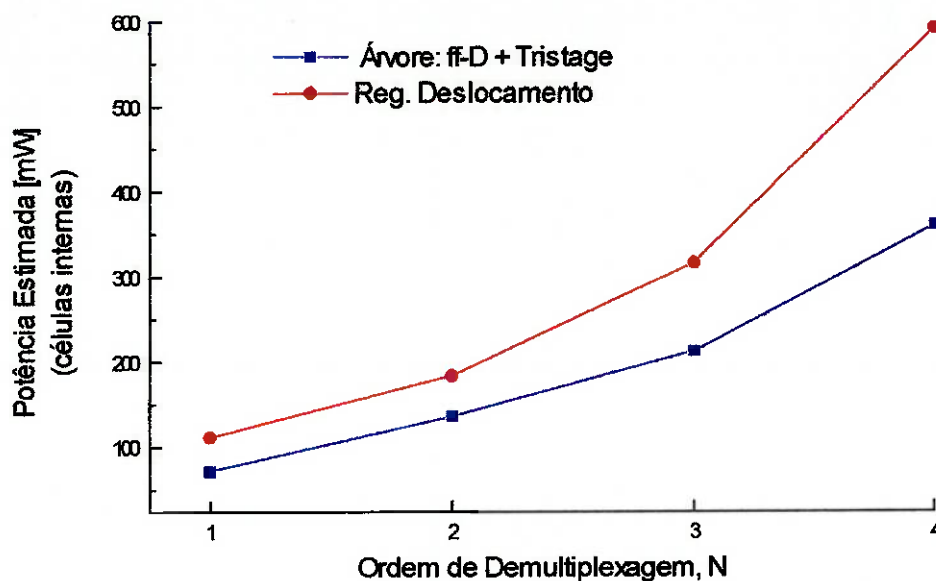


Figura 3.39 Comparação do consumo de potência das células internas em função da ordem N para as topologias de demultiplexador tipo árvore com flip-flop D/Tristage e registrador de deslocamento clássico.

O critério a) deriva diretamente da regra “largura mínima de pulso” contida no manual de projeto da biblioteca QLSI-TriQuint⁴⁴. Já no critério b), assumiu-se que cada célula do demultiplexador tenha fan-out igual a 2 com capacitâncias de entrada idênticas à da célula alimentadora, com o intuito de simplificar o trabalho de cálculo. Mesmo com essa simplificação obtêm-se uma razoável representação para o carregamento de entrada

das células em ambas as topologias. A equação 3.5, bem como os parâmetros envolvidos no cálculo de t_{pw} serão explorados detalhadamente nos itens 4.5.1 e 4.5.2. Os valores assim obtidos para a potência consumida pelas células internas do demultiplexador correspondem a uma primeira aproximação, na qual se super-estima a potência consumida no caso da topologia árvore.

Mesmo com a aproximação adotada, verifica-se que a topologia registrador de deslocamento clássico apresenta consumo de potência estimado maior que a topologia árvore com flip-flop D/Tristage e que o comportamento desse consumo de potência tende a crescer muito mais rapidamente quando N cresce. Reafirma-se, do ponto de vista do consumo de potência/integração o melhor desempenho da topologia árvore em relação à registrador de deslocamento, para N elevado.

Finalmente, agrupa-se no quadro 3.3.a as principais características das variantes topológicas da estrutura árvore de demultiplexagem analisadas.

Quadro 3.3.a Principais características das variantes da topologias Árvore

Parâmetro	flip-flop D	flip-flop D/Trist.	Freeze e Tristage	Paralela flip-flop D	Paralela D/Tristage	Seletores 1:2
Tipo de divisor	anel	ripple	ripple	anel	anel	anel
Número de fases de relógio	$2^N - 1$	1 por etapa	2 na primeira; 3 por etapa, nas demais	2, @N=2	6, @N=3	$2^N - 1$
M.F. Interna	máxima	máxima	alta	média	média	reduzidíssima
Alinhamento de Dout's	não	sim	sim	sim	sim	não
Observação	-	-	-	-	-	ajuste físico das fases de relógio
implementação c/ biblioteca QLSI-TriQ.	sim	sim	<i>latch freeze</i> não existente	sim	sim	<i>SEL 1:2</i> não existente

Já no quadro 3.3.b esboça-se uma comparação entre as duas vertentes topológicas de demultiplexadores de alta velocidade. São características gerais que permitem apontar a estrutura árvore como a potencialmente mais adequada para a realização da demultiplexagem no tempo em taxas de Gb/s.

Quadro 3.3.b Comparação entre as topologias Árvore e Reg. Deslocamento

Parâmetro	Registrador Deslocamento	Árvore
Complexidade	Baixa	Elevada. Devido à característica intrínseca “retiming” da maioria das estruturas analisadas. Algumas, como a D/Tristage incorporam “retiming” adicional para obter dados alinhados em cada etapa
Taxa de Operação das Células	Não Otimizada. Toda a estrutura de demultiplexagem opera na máxima taxa (CK ou CK/2, para o Modificado): → sobrecarga na distribuição do CK. → problemas de “timing” ao longo do registrador	Otimizada Estrutura opera com taxa decrescente: fator de 2 a cada etapa. <i>1ª etapa:</i> CK/2, com reduzido fan-out.
Consumo de Potência	Todos os flip-flop tipo D operam na taxa máxima. P_{diss} por porta é elevada : → $P_{TOT.}(reg.desl.) > P_{TOT.}(árv.)$	Reduzido. Elementos de memória operam em taxas decrescentes. Requisitos de consumo de potência são menores.
Margem de Fase (Entrada e Interna)	Boa. Dados de entrada são capturados por flip-flop tipo D, e dados de saída são intrinsicamente alinhados no tempo.	Máxima. Em algumas variantes topológicas (D/Tris., p.ex.) → máx M.F. de entrada e interna. Na maioria das variantes analisadas, dados de saída são alinhados.

3.4 TOPOLOGIAS DE CIRCUITO DE SKIP ANALISADAS

O recurso de rotação de bit's é extensamente utilizado e incorporado ao circuito demultiplexador quando este encontra-se inserido em sistemas de comunicação de alta velocidade que atendam a padrões, como por exemplo, o SDH e o SONET.

No processo de recuperação de quadro desses padrões, existe, no lado receptor, um sistema inteligente de baixa taxa que, gerando um bit ou palavra de controle, atua diretamente sobre o circuito de Skip que por sua vez efetiva a rotação dos bit's dos dados de saída em um demultiplexador de alta taxa. Obtém-se assim, após um conjunto de dados de saída inválido, a consolidação do redirecionamento dos canais de saída demultiplexados para os terminais de saída adequados. Dependendo da concepção do

circuito de Skip, podem ser necessários mais de uma atuação do sinal de controle para se obter a desejada rotação dos bit's de saída.

A concepção do circuito de Skip pode ser tal que no momento da atuação ocorra alterações nas fases de relógio, internas ao demultiplexador, ou, alternativamente, possa ocorrer a modificação direta na ordem dos dados no interior das etapas de demultiplexagem, ocasionando o redirecionamento lógico simultâneo de todos os dados de saída de uma ou mais posições.

Basicamente existem duas abordagens para a realização do circuito responsável pela rotação de bits: a abordagem série e a paralela. Na série, a cada atuação do bit de controle obtém-se o redirecionamento simples, ou seja os canais lógicos alocados em determinadas saídas físicas são redirecionados para os canais físicos adjacentes, ou seja: $D1 \rightarrow D2$; $D2 \rightarrow D3$; $D(2^N) \rightarrow D1$, ou vice-versa. Já na segunda abordagem, a paralela, tem-se o redirecionamento desejado de k bits diretamente em uma única atuação da palavra de controle, ou seja: $D1 \rightarrow D(1+k)$; $D(2^N-k) \rightarrow D(2^N)$; $D(2^N+1-k) \rightarrow D1$; $D(2^N+2-k) \rightarrow D2$; $D(2^N) \rightarrow D(k)$; onde k pode assumir os valores $k = 1, 2 \dots (2^N-1)$. Normalmente a palavra de controle possui N bits. Ainda dentro da abordagem paralela existem dois modos de implementação. Um, que será visto no item 3.4.4, atua diretamente sobre o sinal de dados, enquanto o outro, a ser analisado no item 3.4.5, opera exclusivamente a seleção das fases de relógio.

Abaixo, explora-se possíveis realizações topológicas dessas duas filosofias de circuito de Skip.

3.4.1 Skip Série empregando seletores 2:1 ou XOR

Nas figuras 3.40.a e 3.40.b apresenta-se uma das topologias básicas do circuito de Skip série e respectiva carta de tempo idealizada encontrada na literatura⁵⁹. As estruturas destas figuras são muito semelhantes: pode-se trocar o seletor 2:1 da figura 3.40.a por um porta XOR, cuja propriedade lógica consiste em inverter sua saída em relação a uma das entradas quando a outra, entendida como entrada de controle (SKP), está fixada em nível lógico "1". Caso a entrada de controle assuma nível lógico "0", a saída segue o sinal de entrada. Apresenta-se na figura 3.41 a respectiva carta de tempos para a topologia de Skip série empregando porta XOR. O sinal de entrada SKP é assíncrono e sensível a nível, atuando diretamente na entrada de controle s do seletor 2:1, ou alternativamente, na de controle da porta XOR. Nas entradas do seletor estão presentes sinais de relógio de entrada dividido por dois, com defasagem relativa de 180° . Uma mudança de nível lógico na entrada de controle do seletor fará com que a saída do circuito de Skip apresente localmente uma mudança de fase de 180° no sinal de $Ck/2$. O sinal de relógio de entrada, devidamente atrasado, sincroniza a fase de $Ck/2$ selecionada, X_{so} , com o objetivo de se remover qualquer ruído oriundo da comutação das duas fases de $Ck/2$. O bloco atrasador

é implementado usando-se portas lógicas.

Assim, toda vez que uma rotação de um bit na saída dos dados demultiplexados faz-se necessária, o circuito de SKIP deve atuar através do sinal de entrada SKP. Uma transição de nível nesta entrada selecionará a fase de relógio dividido ($Ck/2$) em oposição à anteriormente ativa. Com isto, todos os subsequentes sinais de relógio divididos estarão afetados por um aumento nas suas larguras de $0,5T_{ck}$. O resultado final na saída dos dados demultiplexados representa um redirecionamento lógico de um bit nas saídas. A saída física que comportava o dado demultiplexado D1 passa a demultiplexar D2, D2 passa a D3, e assim sucessivamente para todos os dados de saída. A cada mudança de nível do sinal de entrada SKP, ter-se-á então a rotação de um bit na saída dos dados demultiplexados.

Neste esquema, o sinal de saída é re-sincronizado na taxa de relógio, tornando-se necessário um flip-flop tipo D e portas lógicas atrasadoras operando na taxa mais alta do sistema. Esta exigência torna o projeto mais sensível às variações de processo, principalmente quando se está projetando um sistema com taxa de operação prevista próxima à f_{toggle} .

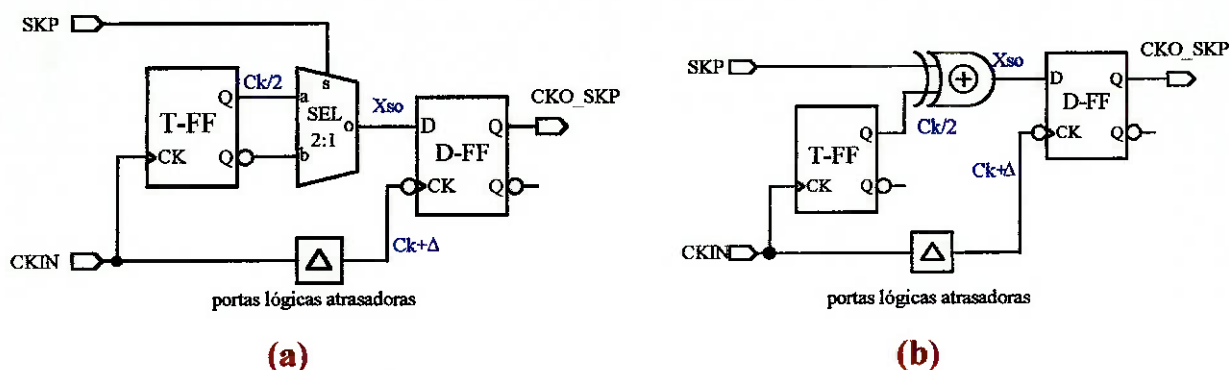


Figura 3.40 Topologia básica para o circuito de Skip série: a. com seletor 2:1 b.com porta XOR

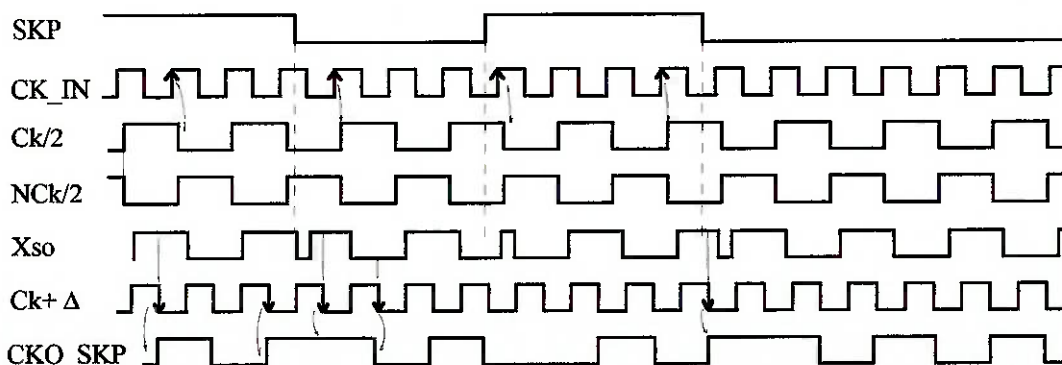


Figura 3.41 Carta de tempos para o circuito de SKP série com Sel 2:1 ou XOR

Deve-se salientar que os dados de saída demultiplexados, bem como o sinal de relógio dividido de saída, tornam-se inválidos durante as transições do sinal de entrada SKP.

3.4.2 Skip Série empregando registrador de deslocamento

Outra forma de se implementar um circuito que realiza a rotação de bits serialmente em uma estrutura demultiplexadora é através da combinação do sinal de relógio com um sinal de controle previamente sincronizado e atrasado por exatos períodos de relógio⁷⁶.

A estrutura apresentada na figura 3.42 realiza o cancelamento de um pulso individual do sinal de relógio ($\frac{1}{2}$ período de CK) quando ocorrer uma borda de descida do sinal de entrada assíncrono, SKP, resultando na omissão de leitura, ou estado "latched" de um bit de dado de entrada a ser demultiplexado. Como pode ser visto na figura 3.43, uma borda de descida do sinal de SKP produz um pulso no ramo 3. O pulso então é sincronizado com o sinal de relógio, através de atraso adequado, a fim de se obter o cancelamento de $\frac{1}{2}$ período de CK na saída. Aqui faz-se necessário ajustar o tempo de propagação dos sinais nos ramos 1 e 2, e principalmente entre o ramo 3 em relação ao sinal de CKIN na entrada da AND II, objetivando minimizar ou mesmo eliminar possíveis "spikes", uma vez que não se emprega flip-flop tipo D para se obter o "retiming" no sinal de saída (CKOUT). Este ajuste pode ser obtido através de portas lógicas atrasadoras (ajuste grosso) e/ou via comprimento da interconexão (ajuste fino), o que em muitos casos torna-se uma solução não muito compacta e dependente dos desvios de processo de fabricação. A versão com sinal de saída sincronizado ("retimed") requer mais um flip-flop tipo D operando em taxa de CK.

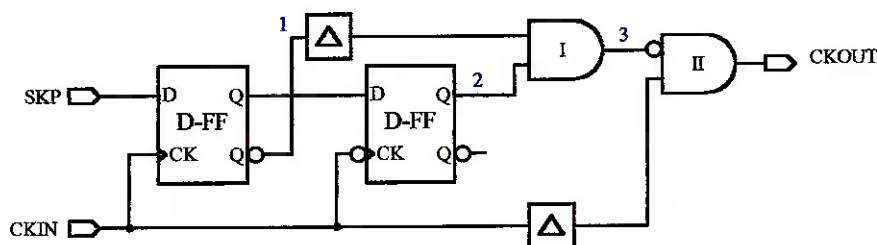


Figura 3.42 Diagrama esquemático para o circuito de SKIP que emprega registrador de deslocamento para o sinal de entrada assíncrono SKP.

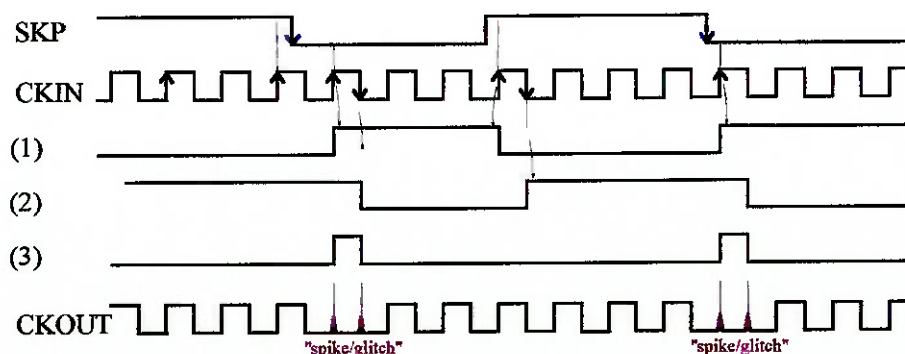


Figura 3.43 Carta de tempos idealizada para o circuito de SKIP da figura 3.42

A presença de sinais espúrios do tipo “spike” na saída de um circuito Skip pode afetar drasticamente a correta recuperação de quadro em um sistema de comunicação de alta velocidade. Principalmente em topologias árvore, onde as fases de relógio com taxas menores são diretamente derivadas da saída do circuito de Skip série, os sinais espúrios podem causar problemas. “Spikes” com amplitudes e larguras razoáveis no sinal de CK ou CK/2 acabam por acionar os subsequentes divisores, causando indesejáveis mudanças nas fases de relógio. O efeito global nas saídas dos dados demultiplexados é o incorreto redirecionamento dos bit’s de saída.

3.4.3 Skip Série empregando contador no módulo 3

Uma terceira variante para o circuito de Skip série pode ser obtida através de um contador módulo 2 que comandado por um sinal de controle comuta para módulo 3, e imediatamente deve voltar para o módulo original. Esquematiza-se na figura 3.44 o diagrama de um contador módulo 2 e 3^{34-36,85,86}.

Quando o sinal de controle MOD = “1”, a saída do segundo flip-flop tipo D estará sempre em “0”, deixando o primeiro flip-flop tipo D configurado como flip-flop tipo T. CKOUT nestas condições é igual a CKIN/2, com ciclo de trabalho de 50%. Porém, quando MOD = “0”, o segundo flip-flop realimentará os níveis lógicos da saída do primeiro atrasados de um período de relógio (T), via ramo C, para a entrada do mesmo primeiro flip-flop. O resultado, mostrado na figura 3.45, é o acréscimo de um período de relógio ao sinal de relógio de saída, passando a ter um período com duração 3T.

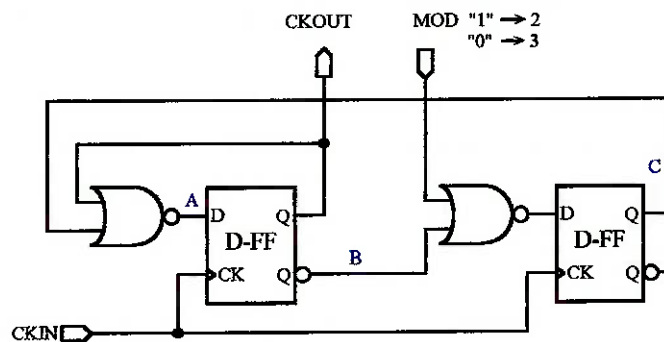


Figura 3.44 Diagrama esquemático para um contador módulo 2 e 3.

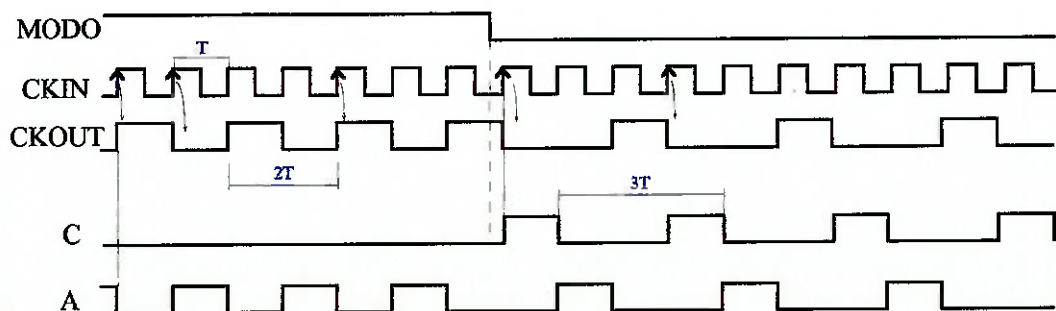


Figura 3.45 Carta de tempos idealizada para o contador módulo 2 e 3

Observe que para a correta obtenção da rotação de 1 bit nos dados de saída do demultiplexador, o sinal de controle MOD deve permanecer em “0” por um período no máximo igual a $3T$. Para tanto, faz-se necessário um circuito adicional que condicione o sinal de controle externo SKP, uma vez que este sinal é de baixa taxa e assíncrono.

A principal vantagem do circuito de Skip com contador no módulo 3 consiste na ausência de “spikes”, uma vez que o circuito é síncrono. Abaixo, resume-se as principais características da topologia.

- 2 flip-flop tipo D operando em taxa de CK;
- portas NOR's introduzindo atrasos de propagação adicionais, o que reduz a f_{toggle} do divisor em relação a um divisor por dois estático simples;
- elimina-se “spikes”, uma vez que o circuito é síncrono;
- necessário circuito adicional que condicione o sinal de controle externo SKP, pois este sinal é de baixa taxa e assíncrono;
- portanto, área total relativa necessária: média;
- compatível com estruturas árvore e registrador de deslocamento.

3.4.4 Skip Paralelo com seletores 2:1 e remultiplexagem

Como dito anteriormente, a abordagem paralela no redirecionamento dos sinais de saída em um demultiplexador possui a vantagem da atuação direta da palavra de controle, que, em uma única etapa, possibilita a obtenção do desejado redirecionamento dos dados de saída, tornando bastante rápido o processo de rotação dos dados de saída. Esta rapidez pode ser particularmente útil quando N for grande.

A concepção dessa topologia⁵⁷, baseada na atuação direta da palavra de controle sobre o sinal de dados de entrada, é examinada na figura 3.46, onde $N = 2$. Para se obter o redirecionamento, o sinal de entrada passa por um reposicionamento relativo determinado pela palavra de controle através do seletor SEL 4:1, antes de ser efetivamente demultiplexado no Demux 1:4. Observe que as entradas dos seletores 2:1, que compõem o SEL 1:4, são alimentadas pelos N sinais “demultiplexados” via registrador de deslocamento. É uma remultiplexagem do sinal onde se escolhe o início da posição relativa da nova sequência dos dados de entrada. O efeito global nas saídas do Demux 1:4 é o desejado redirecionamento dos bit's de saída.

A figura 3.47 apresenta a respectiva carta de tempos do Skip paralelo com seletores 2:1, para $N = 2$. Se todos os bits da palavra de controle (N bits), S_0 e S_1 , assumirem valor “0”, as saídas lógicas demultiplexadas, D_1 a D_4 , coincidirão com as saídas físicas DO_1 a DO_4 . Se agora $S_0 = “1”$ e $S_1 = “0”$, as saídas lógicas serão rotacionadas de 1bit. Caso as mudanças nos níveis lógicos da palavra de controle fossem,

S0: “0”→“1” e S1: “0”→“1”, ter-se-ia o redirecionamento máximo, 3 bits (2^N-1). Observe ainda que imediatamente após a atuação da palavra de controle, S0 e S1, os dados de saída demultiplexados tornam-se inválidos por um período igual ao dos sinais de dados de saída, confirmando o pressuposto inicialmente assumido para quaisquer das topologias de circuito de Skip.

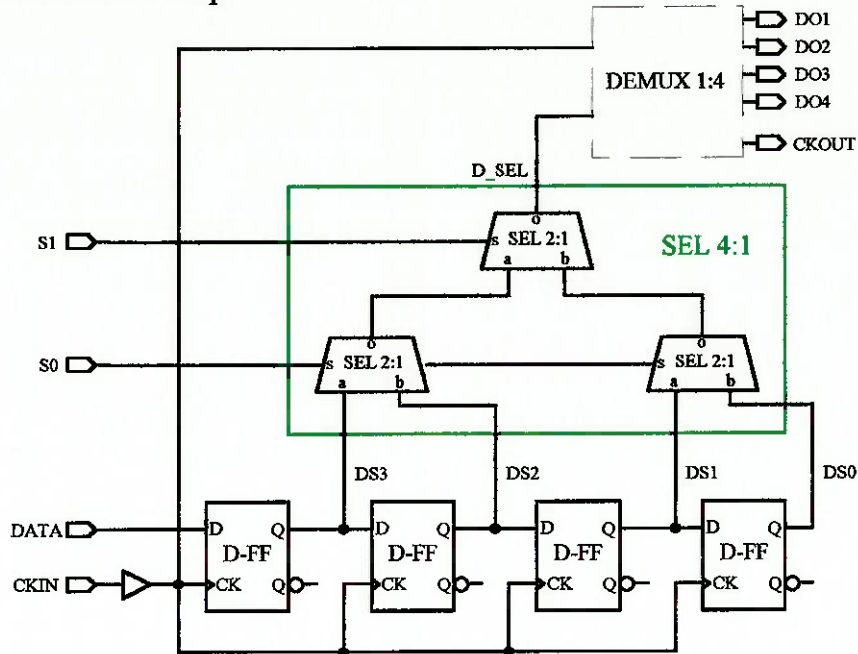


Figura 3.46 Diagrama esquemático para o circuito de Skip paralelo que emprega seletores 2:1 para um demultiplexador de ordem $N=2$.

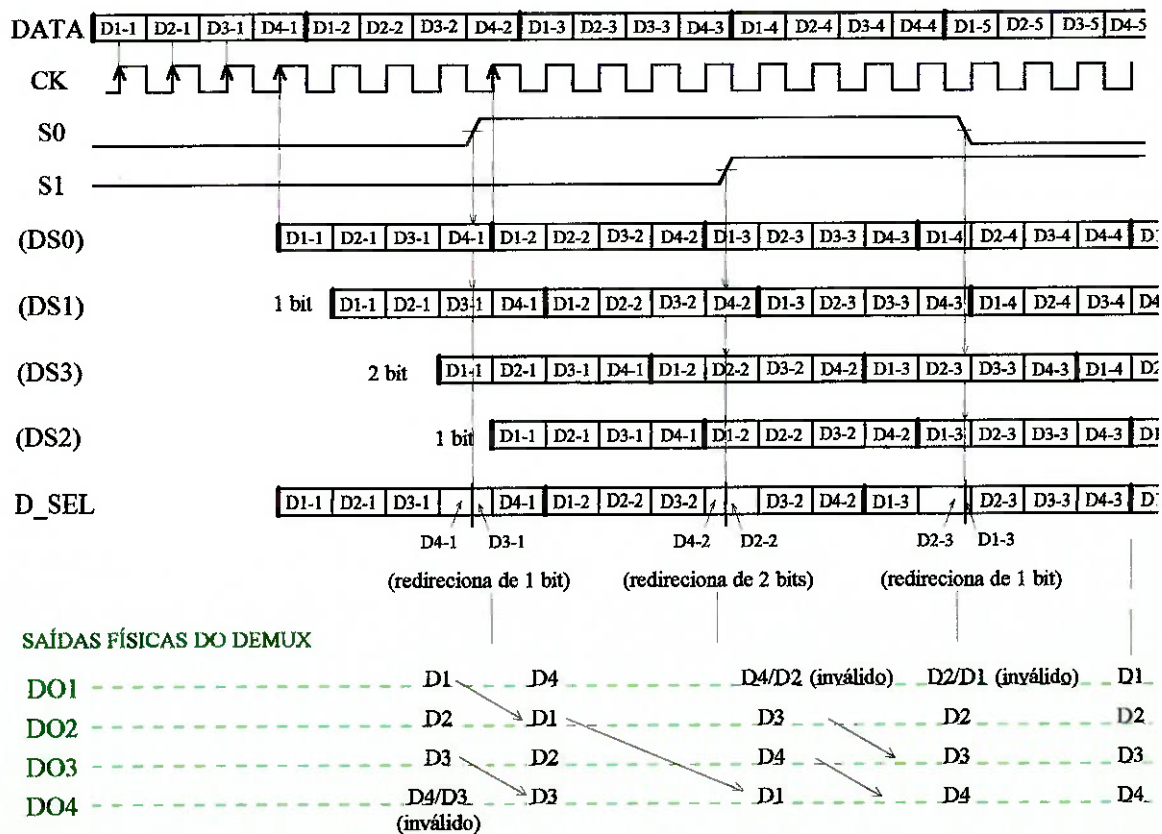


Figura 3.47 Carta de tempos para o circuito de Skip paralelo da figura 3.46.

Não existe, nessa topologia, problemas devido a “spikes”, que podem ocasionar a obtenção incorreta do número de bits rotacionados, uma vez que a atuação do circuito de Skip ocorre apenas sobre os sinais de dados. No entanto, esta abordagem apresenta o grande inconveniente do elevadíssimo “overhead” de área/consumo de potência.

Como principais características desse tipo de circuito de Skip pode-se citar:

- atua diretamente sobre o sinal de dados de entrada (remultiplexagem);
- elevado “overhead” de área/potência: inclui um demultiplexador baseado na topologia registrador de deslocamento para obter o redirecionamento dos dados;
- única atuação da palavra de controle (S0, S1) possibilita obter o redirecionamento das saídas;
- não existe problemas causados por “spikes”;
- compatível tanto com demultiplexador em topologia árvore quanto com registrador de deslocamento, uma vez que neste circuito de Skip é feita a remultiplexagem do sinal de dados através dos seletores 2:1, independentemente das fases de relógio e do próprio demultiplexador em si;
- não afeta a margem de fase interna do demultiplexador.

3.4.5 Skip Paralelo empregando XOR nos ramos dos sinais de relógio

Finalmente, tem-se um circuito de Skip paralelo que atua diretamente sobre as fases dos sinais de relógio para obter, em uma única etapa, o desejado redirecionamento de até 2^N-1 bits nas saídas demultiplexadas.

Esta topologia baseia-se na inversão de fase dos diversos sinais de relógios empregados nas etapas de demultiplexagem em um demultiplexador de topologia tipo árvore. Para obter esta inversão de fase do sinal de relógio, através da atuação de um sinal de controle externo, aproveita-se a característica lógica da porta XOR, como visto no item 3.4.1. Evidentemente, poder-se-ia empregar seletores 2:1 no lugar das portas XOR's tendo em suas entradas os correspondentes sinais dos divisores estáticos (saídas Q e /Q). Quando a palavra de controle S1, S2, ...SN, figura 3.48, for composta apenas por “0's”, todas as fases dos sinais de relógio de saída, que alimentarão todas as etapas de demultiplexagem em uma topologia árvore, serão as mesmas que as de entrada; assumindo valor lógico “1” em qualquer bit da palavra de controle, ocorrerá a inversão de fase na saída do sinal de relógio correspondente àquela etapa .

A figura 3.49 apresenta as fases de relógio obtidas a partir de sinais de controle arbitrário, S1 e S2 (N = 2).

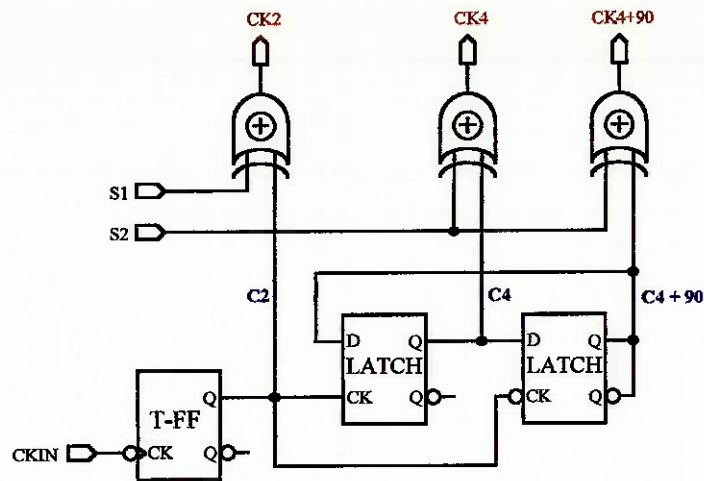


Figura 3.48 Diagrama esquemático para o circuito de Skip paralelo, para $N=2$, que emprega portas XOR's.

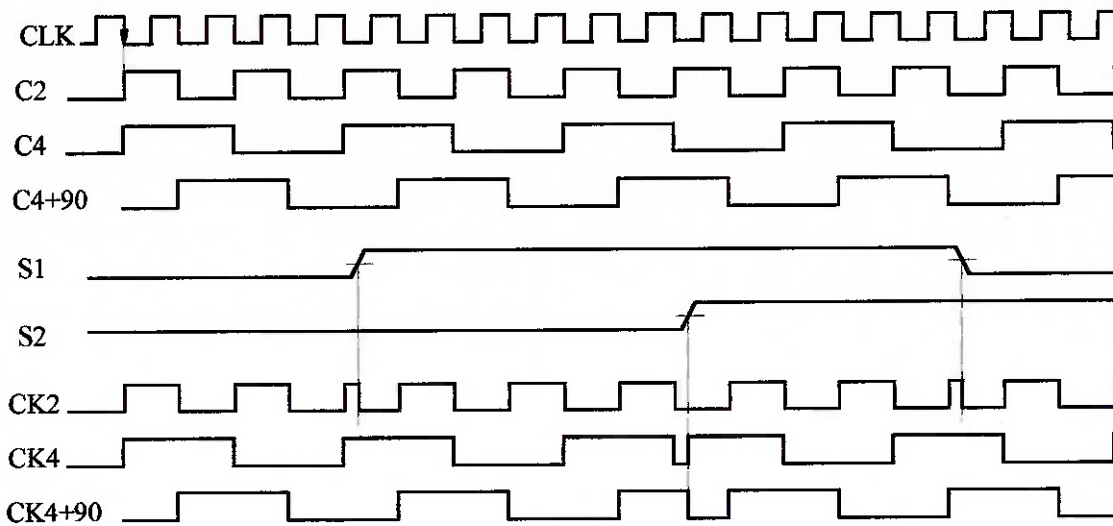


Figura 3.49 Carta de tempos para o circuito de Skip paralelo com XOR's.

A seguir, analisa-se a atuação dos sinais de controle S1 e S2 no redirecionamento dos sinais dos dados demultiplexados para duas implementações^{66,73} de demultiplexador 1:4. A primeira emprega topologia árvore com flip-flop tipo D e a segunda árvore com flip-flop tipo D e Tristage. Note que as fases de relógio necessárias são distintas para as topologias analisadas. Para um demultiplexador 1:4 em topologia árvore com flip-flop tipo D, figura 3.16, as fases de relógio necessárias são aquelas já apresentadas na figura 3.49. Quando se emprega topologia árvore com flip-flop D e Tristage, figura 3.18, basta eliminar a saída de relógio $CK4+90^\circ$ ou $CK4$, figura 3.48, dependendo se o "retiming" dos blocos DEMUX 1:2, figura 3.18, seja feito na borda de descida ou subida do sinal de relógio, respectivamente. Qualquer demultiplexador que empregue topologia tipo árvore, para qualquer N , é compatível com o skip paralelo descrito neste ítem.

A característica de amostragem ótima em todas as etapas de demultiplexagem obtida com a topologia árvore com flip-flop tipo D, figura 3.17, torna-se inválida quando associada ao circuito de Skip paralelo com XOR's da figura 3.48. Pela carta de tempos da

figura 3.50, verifica-se que após a atuação da palavra de controle (S1, S2), os dados, tanto na primeira quanto na segunda etapa de demultiplexagem, passam a ser amostrados sistematicamente ou no final ou no início de sua respectiva duração. Com isto, reduz-se drasticamente a margem de fase interna do demultiplexador.

Comentário similar é válido em relação à topologia árvore com flip-flop tipo D e Tristate. Sua associação ao circuito de Skip paralelo com XOR's da figura 3.48 faz com que também os dados nas etapas de demultiplexagem sejam amostrados ou no início ou no final da respectiva duração, como mostra a figura 3.51.

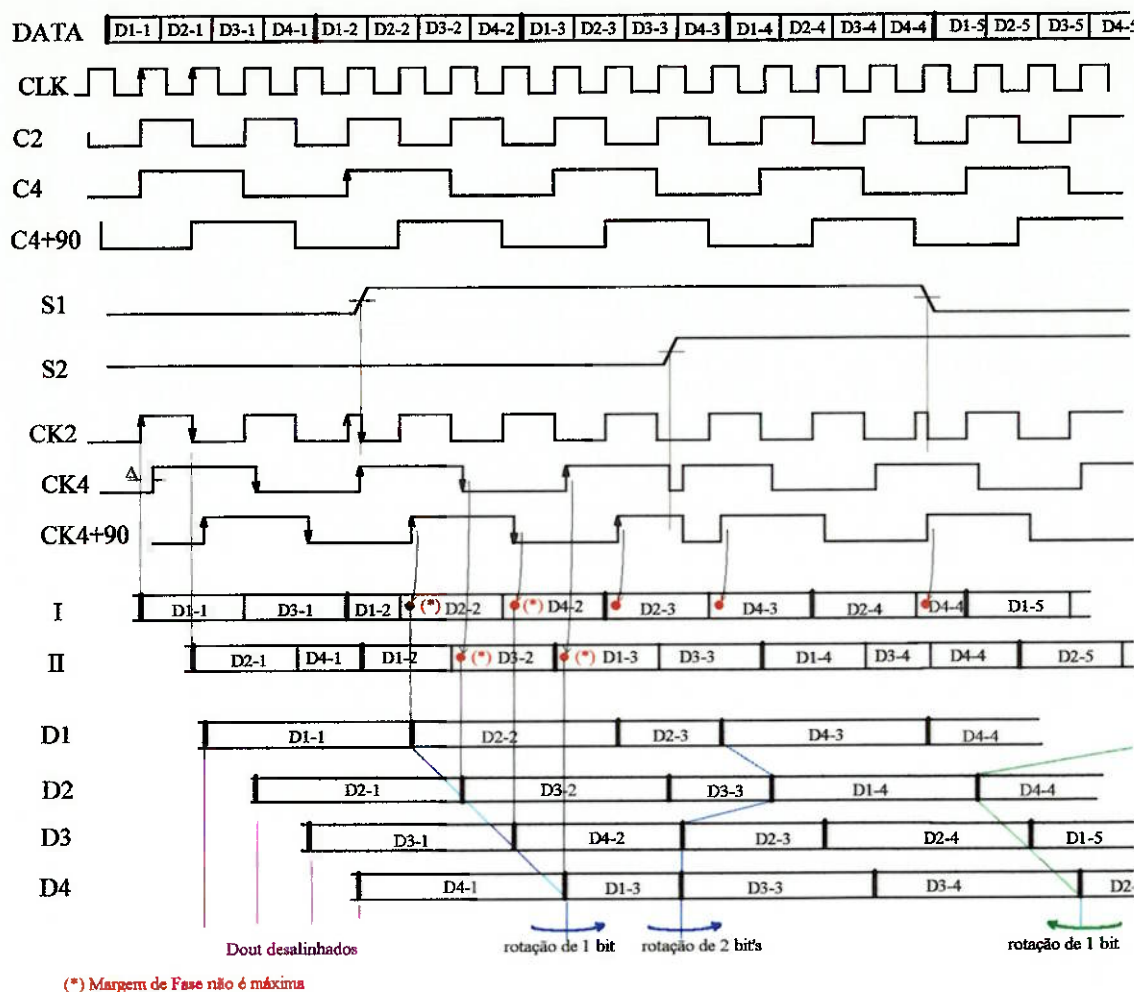


Figura 3.50 Carta de tempos para um Demux 1:4, topologia árvore com flip-flop tipo D da figura 3.17, considerando a atuação do circuito de SKIP paralelo no redirecionamento das saídas.

Com relação aos efeitos de “spikes”, inerentes à associação da lógica combinatória das portas XOR's aos sinais de controle assíncronos de entrada, S1...SN, estes afetam apenas localmente os dados demultiplexados, originando dados de saídas inválidos durante um período do sinal de relógio de saída, como no Skip série. No entanto, mesmo neste caso de Skip paralelo não existe a possibilidade de erro em qualquer uma das combinações das fases de relógio e portanto de redirecionamento dos

3. Demultiplexadores de Alta Velocidade: Topologias

dados, uma vez que as fases são selecionadas diretamente pela palavra de controle. Assim, teríamos, do ponto de vista da necessidade de minimização dos “spikes”, uma vantagem em relação ao skip série com registrador de deslocamento (item 3.4.2), embora estejam presentes em ambos os circuitos.

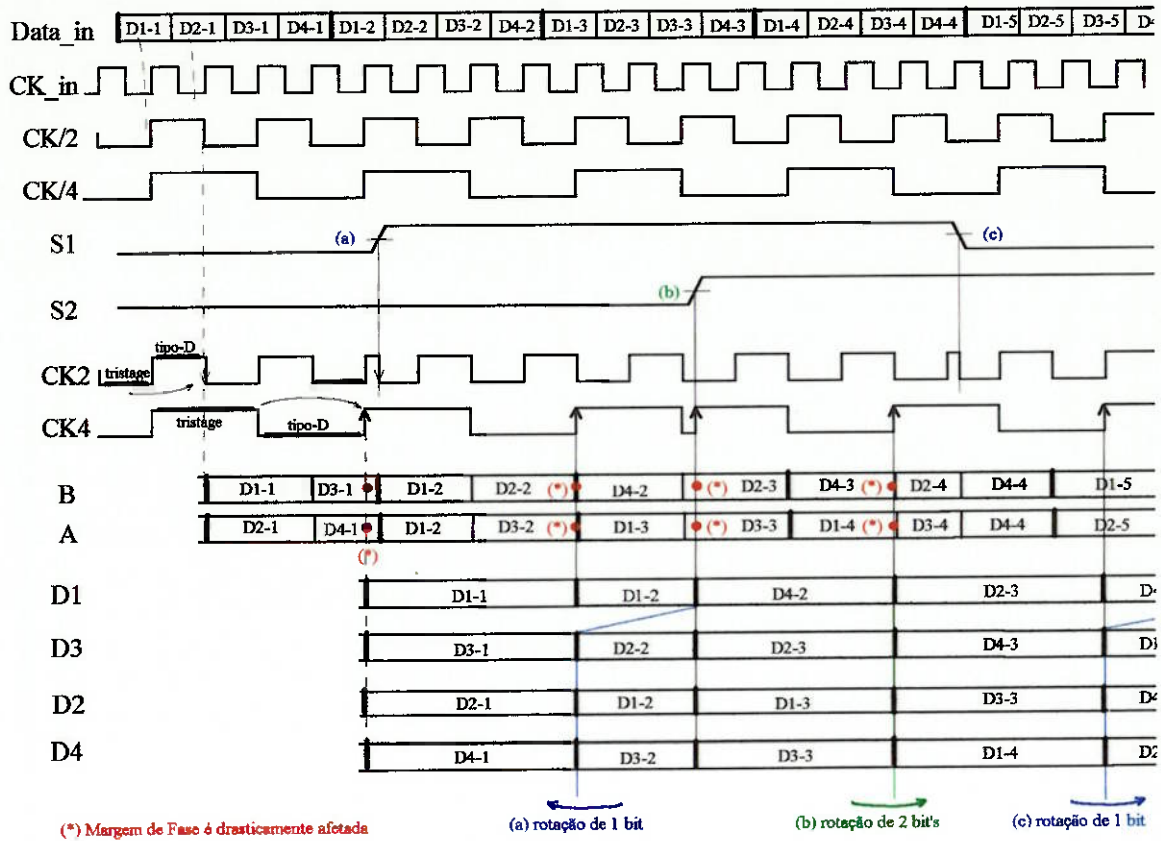


Figura 3.51 Carta de tempos para um Demux 1:4, topologia árvore com flip-flop tipo D e Tristage (figura 3.18), considerando a atuação do circuito de Skip paralelo no redirecionamento das saídas.

Como características gerais da topologia de Skip que emprega portas XOR's, pode-se enumerar:

- não existe problemas causados por “spikes”;
- compatível apenas com a topologia árvore;
- redução na margem de fase interna nas topologias árvore que apresentam este parâmetro maximizado em função da alteração da amostragem para o início ou final da duração do dados nas N etapas de demultiplexagem;
- parâmetro área/consumo de potência relativo necessário: baixo.

3.4.6 Comparação entre circuitos de Skip analisados

O quadro 3.4 resume as principais características das cinco estruturas de Skip analisadas. Parâmetro importante na avaliação de um circuito Skip, a presença de “spike” acarreta operação deficiente de um demultiplexador que tenha incorporado o circuito redirecionador dos dados de saída.

Quadro 3.4 Comparação entre as topologias de Skip

Parâmetro	SKIP SÉRIE			SKIP PARALELO	
	Sel 2:1 ou XOR	Registrador deslocamento	Contador módulo 3	Sel N:1 e remultiplexagem	XOR nos sinais de CK
problemas com “spikes”	não	sim	não	não	não
área/consumo de potência relativos	<i>médio</i> ; 2 flip-flop tipo D operando em taxa de CK			<i>altíssimo</i> ; N flip-flop tipo D operando em taxa de CK + Sel N:1	<i>baixo</i> ; XOR's operando nas taxas CK/2, CK/4,...CK/2 ^N
Compatibilidade Demultiplexador	topologia Árvore e Registrador de Deslocamento			Árvore e Reg. Deslocamento	apenas com top. Árvore
Desvantagem	até 2 ^{N-1} atuações podem ser necessárias para se obter o desejado redirecionamento			elevado “overhead” de área ou consumo de potência	perde-se a máxima M.F. interna
Observação		necessário atraso lógico e físico	necessário circuito adicional para condicionar sinal controle	existência de multiplexador ordem N, topologia Reg. Deslocamento	
Implementação	todas as variantes série e paralela são implementáveis completamente empregando células da biblioteca QLSI-TriQuint.				

A principal desvantagem da estrutura paralela, como já avaliada, refere-se ao elevado acréscimo de área ou consumo de potência, no caso de se empregar seletores SEL N:1 e remultiplexagem dos dados, ou a redução drástica da margem de fase interna do demultiplexador, no caso de se adotar a solução de skip paralelo com portas XORs nos ramos de relógio. Em alguns casos, os requisitos de sistema podem exigir a estrutura paralela para a realização da rotação dos bits de saída. Nos casos em que existe possibilidade de escolha, deve-se optar pela estrutura série. Embora sejam necessários

mais tempo e maior número de atuações do sinal de controle para se obter o mesmo efeito quando se emprega circuito paralelo, a estrutura série é mais compacta e não afeta a margem de fase interna do demultiplexador, além de ser sempre compatível com as arquiteturas árvore e registrador de deslocamento.

3.5 CONCLUSÕES

Nesta seção foram analisadas diversas topologias tanto de demultiplexadores de alta velocidade quanto de circuitos de Skip que podem ser integrados a esses demultiplexadores. A partir de critérios inicialmente estabelecidos foi possível definir vários requisitos de excelência para se poder avaliar as dez estruturas demultiplexadoras e os cinco circuitos de Skip encontrados na literatura. Os quadros comparativos 3.3.a, 3.3.b e 3.4 sintetizam os resultados da avaliação daquelas estruturas.

Obteve-se melhor desempenho da estrutura árvore em relação à registrador de deslocamento em termos dos seguintes parâmetros:

- ♦ *área ocupada ou consumo de potência*, uma vez que as estruturas árvores de demultiplexagem operam em taxas decrescentes a cada etapa;
- ♦ maior imunidade aos desvios de processo de fabricação e aos elementos parasitas de leiaute, através da *maximização da margem de fase interna*;
- ♦ *facilidade de implementação* empregando apenas células da biblioteca QLSI-TriQuint;
- ♦ além, evidentemente, da *máxima margem de fase de entrada*.

Quando não existirem restrições de sistema, circuitos de Skip série representam melhor opção na implementação do redirecionamento de dados de saída em um demultiplexador. As implementações de Skip paralelo possuem a desvantagem do elevado consumo de potência ou da drástica redução da margem de fase interna quando associados a demultiplexadores de arquitetura árvore. Obtém-se melhor desempenho em termos dos parâmetros consumo de potência, manutenção da margem de fase interna e ausência de “spikes” escolhendo-se as estruturas de Skip série com SEL 2:1 ou com Contador módulo 3.

Capítulo 4

4. PROJETO DO DEMULTIPLEXADOR

4.1 INTRODUÇÃO

Neste capítulo apresenta-se o projeto de um demultiplexador com taxa de operação prevista para até 2,488 Gb/s. As especificações gerais do projeto foram geradas pela equipe técnica do CPqD-Telebrás, visando o uso do circuito no processamento de sinais elétricos de receptores ópticos em desenvolvimento nessa entidade. Como citado anteriormente, o circuito demultiplexador foi projetado empregando-se elementos da biblioteca de células padrão QLSI da foundry TriQuint Semiconductor Inc.. Esta biblioteca é baseada na família lógica SCFL com MESFET's que possuem comprimento de porta de 1 μm e taxa de operação garantida até 2,0 Gb/s. Essa limitação da taxa de bit foi um fator decisivo no projeto do demultiplexador, direcionando o enfoque do trabalho no estudo de topologias que propiciassem operação em alta velocidade com um mínimo de células operando em taxas de relógio e que fosse possível utilizar a tecnologia disponível. Simultaneamente, buscou-se realizar um projeto que minimizasse o consumo de potência. Para superar essa limitação de taxa de bit foram adotados os seguintes procedimentos:

- a) empregou-se a topologia tipo árvore para demultiplexagem do sinal de dados de entrada, obtendo-se a minimização do número de elementos que operam em taxa de relógio;
- b) foi proposto um novo circuito de Skip empregando-se sincronismo em taxa de $Ck/2$;
- c) acrescentou-se um "bypass" lógico no primeiro divisor de relógio, permitindo-se alimentar diretamente o demultiplexador com sinal de $CK/2$ ao invés do sinal de CK . Este procedimento visou garantir o funcionamento do circuito caso o primeiro divisor por 2 de relógio não operasse adequadamente em 2,488 Gb/s, devido às variações de processo.

Assim, como resultado do estudo comparativo entre as diversas variações da topologia *árvore* e da *registrador de deslocamento*, encontradas na literatura, foi escolhida a topologia árvore baseada em blocos Demux 1:2. A análise apresentada no capítulo 3 teve por objetivo definir a topologia que apresentasse melhor compromisso entre consumo de potência, área de chip e operação em alta velocidade. Ao todo, foram analisadas 10 arquiteturas distintas. A topologia árvore baseada em flip-flop tipo D/Tristage, item 3.3.6, apresentou melhor desempenho global e foi adotada na construção do demultiplexador.

4.2 ESPECIFICAÇÕES DO CI

Foram propostas as seguintes especificações técnicas e funcionais para o demultiplexador a ser projetado.

- a) o CI deve operar em 2 modos alternativos de demultiplexagem: 1:4 e 1:16, selecionáveis através de um bit de controle, com o objetivo de atender aos padrões STM-04 (622Mb/s) e STM-16 (2,488Gb/s) nos modos 1:4 e 1:16, respectivamente;
- b) incorporar um modo desabilitador de demultiplexagem. Quando ativado, este modo deve ser capaz de manter todos os sinais de saída, dados e relógio, constantes (ausência de transição de níveis lógicos), objetivando a eliminação de possíveis efeitos de crosstalk nos estágios posteriores do sistema;
- c) quando no modo 1:4 deve-se ter também ausência de transições lógicas nas 12 demais saídas de dados;
- d) fase relativa entre dados e relógio de saída deve ser de 180° com desvio máximo de $\pm 10\%$ sendo que a borda de subida do sinal de relógio de saída ocorre no centro da duração do dado, como mostrado na figura 4.1;
- e) como especificação de entrada, garante-se que o sinal de dados multiplexados de alta taxa, DATA, terá fase relativa em relação ao sinal de relógio de entrada, CKIN, também igual a 180° com desvio máximo de $\pm 10\%$, sendo que a borda de subida do sinal de relógio ocorre no centro da duração do dado.
- f) o sinal de dados de entrada é do tipo NRZ (Not Return to Zero);
- g) o demultiplexador deve incorporar um circuito de Skip que a partir da atuação de um bit de controle (Skip série) seja capaz de rotacionar os dados de saída do demultiplexador de uma posição;
- h) todos os sinais de controle de entrada necessários ao acionamento do circuito de Skip, opções de modo de demultiplexagem e desabilitação do demultiplexador são assíncronos e de baixa taxa;
- i) níveis de tensão de entrada e saída devem ser compatíveis com níveis ECL ("0" = -1,8V; "1" = -0,8V).

Note que o circuito demultiplexador deverá ser projetado para operar exclusivamente no modo de demultiplexagem 1:4, ou no modo 1:16, dependendo do sistema de comunicação óptica no qual esse for inserido.

4. Projeto do Demultiplexador

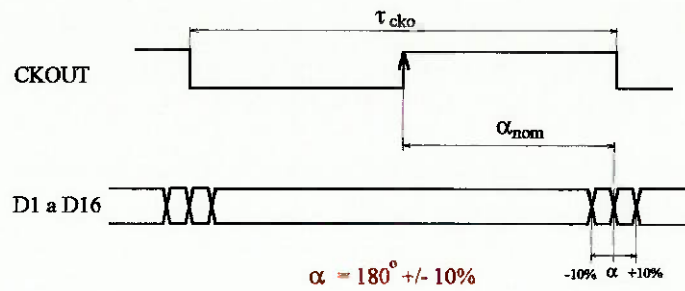


Figura 4.1 Especificação da fase relativa entre sinais de dados e relógio de saída

4.3 SELEÇÃO DA FOUNDRY E CONSEQUENTES RESTRIÇÕES

Após contactos e análise dos serviços externos de prototipagem de CI's de alta velocidade em GaAs prestados por 11 foundries, como descrito no capítulo 2, decidiu-se pela utilização dos serviços da foundry norte-americana TriQuint. Os serviços oferecidos por essas foundries foram comparados quanto aos seguintes itens:

- disponibilidade de processamento multi-usuário;
- disponibilidade de biblioteca de células padrão;
- possibilidade de integrar circuitos digitais e analógicos no mesmo chip;
- máxima taxa de operação da tecnologia oferecida pela foundry;
- custo de processamento.

A TriQuint Semiconductor atendeu praticamente a todos os requisitos técnicos desejados, apresentando-se, na época, na única foundry que oferecia simultaneamente biblioteca de células padrão para o projeto de CI's digitais em GaAs e serviço multi-usuário. Além disso, o processo de fabricação para CI's digitais empregado, o QED/A, está em uma fase bastante madura e confiável. Assim sendo, selecionou-se a TriQuint para prototipagem do demultiplexador de alta velocidade.

4.3.1 Características da foundry TriQuint Semiconductor

O processo de fabricação⁴³ oferecido pela TriQuint Semiconductor utiliza transistores tipo MESFET com comprimento de porta de $1\mu\text{m}$, operando em modo de depleção ou de enriquecimento, conforme a dopagem de camada ativa selecionada. Uma opção para MESFETs de média potência é também disponível. Resistores de camada ativa e de Níquel Cromo, bem como diodos, indutores planares e capacitores MOM podem ser integrados aos transistores para gerar circuitos analógicos e/ou circuitos digitais projetados ao nível de transistor.

A TriQuint Semiconductor dispõe de uma biblioteca de células padrão para CIs Digitais de Alta Velocidade, denominada QLSI. Essa biblioteca é baseada na família lógica SCFL (Source Coupled FET Logic) que associa alta velocidade e baixo consumo. A família lógica SCFL emprega estruturas diferenciais e esta, particularmente, apresenta três níveis de tensão de saída, destacando-se de outras famílias lógicas em GaAs por apresentar menor sensibilidade à dispersão dos parâmetros do transistor causados por variações de processo de fabricação de CIs em GaAs.

A biblioteca de células padrão QLSI contém células internas (“core”) para a realização de operações lógicas, e células de entrada e saída (“I/O”), as quais possibilitam a conversão dos níveis lógicos SCFL para ECL, CMOS e TTL, e vice-versa. O quadro 4.1 resume as principais funções lógicas disponíveis na biblioteca. Tanto as células internas como as de entrada e saída estão disponíveis em diferentes versões de consumo de potência. Dessa forma, o projetista tem a possibilidade de otimizar cada circuito projetado ao nível de células padrão de modo a obter alta velocidade de operação com o mínimo consumo de potência.

No projeto do demultiplexador consideramos como objetivo final a obtenção de uma taxa de operação de 2,488 Gb/s. Portanto, atenção especial foi dada ao projeto dos sub-circuitos do demultiplexador que operassem em taxas acima da taxa máxima garantida para a biblioteca de células padrão QLSI.

Quadro 4.1 Funções lógicas disponíveis na biblioteca QLSI-TriQuint.

<i>CÉLULAS INTERNAS</i>		<i>CÉLULAS DE ENTRADA e SAÍDA</i>			
OR	2, 3, 4, 5 ou 6 entradas	<i>de entrada</i>	<i>de saída</i>		
AND	2 ou 3 entradas				
OR-AND	2-1 entradas				
SELETOR	2:1, 3:1, 4:1 ou 8:1			ECL	ECL
XOR	2 ou 3 entradas			$R_{load} = 50$ ou 25Ω ; diferencial ou single	
Carry Generator					
Half Adder					
Full Adder				TTL → SCFL →	TTL
RS Latch					
Master Latch	simples, c/ set ou c/ reset				
Toggle Flip-Flop	c/ reset			CMOS	CMOS
Flip-flop D	c/ set ou c/ reset				
BUFFERS	seguidores de fonte				

4.3.2 Limitações da taxa de operação das células padrão da TriQuint

A taxa máxima de operação garantida pela foundry para as células padrão internas da biblioteca QLSI é 2,0 Gb/s, considerando pior caso de variação nos parâmetros de processo, variação de temperatura de 0 °C a +85 °C e na tensão de alimentação. Nessas condições, os valores nominais dos tempos de atraso que caracterizam as células podem variar de 0,7 a 1,5 vezes, sendo que essa faixa de variação deve-se principalmente aos desvios tecnológicos, tendo a variação da temperatura ambiente um papel secundário sobre os mesmos⁴⁴.

Circuitos operando em taxas mais altas podem ser projetados empregando elementos desta biblioteca, mas deve-se esperar um decréscimo no rendimento do processo de fabricação para tais taxas. Este pequeno incremento na taxa máxima de operação de uma célula padrão pode ser obtido durante a etapa de projeto do circuito, minimizando-se o carregamento capacitivo conectado à saída da mesma. Verificou-se durante a etapa de “back-annotation” que a redução no valor de C_{wire} , capacitância parasita devido às trilhas de interconexão, pode chegar até a 33% do valor típico estimado. Assim, para caminhos críticos que operem em taxa alta, onde a capacitância de interconexão deve ser minimizada, o projetista especifica então nós prioritários na etapa de roteamento. Com esta minimização de caminhos de interconexão, redução de até 35% na largura mínima de pulso, ou, equivalentemente, aumento na máxima taxa de operação pode ser obtida, dependendo das células envolvidas na interconexão e do respectivo fan-out.

Para cada função lógica de biblioteca, a TriQuint oferece uma família de células padrão com diferentes valores de consumo de potência e tempos de atraso, permitindo ao projetista escolher a célula padrão que melhor atenda ao compromisso potência consumida versus taxa de operação. O quadro 4.2 resume as características citadas acima para algumas das células disponíveis na biblioteca QLSI. Neste quadro, a largura de pulso mínima, equivalente a uma banda passante BW, das células é obtida para diferentes fan-outs e para valores típicos e valores minimizados de capacitância parasita de interconexão. Note a redução na largura mínima de pulso obtido apenas com a redução de C_{wire} . O cálculo da máxima taxa de operação ou, alternativamente, da largura mínima de pulso de cada célula envolve parâmetros característicos da célula, tais como atraso de propagação intrínseco (“Base Delay”), fator de carregamento (“Loading Delay Factor”), capacitância característica de entrada da célula (C_{in}) e parâmetros associados às interconexões entre células, tais como capacitância parasita de interconexão (C_{wire}), a quantidade e o tipo de células conectadas ao nó de saída da célula analisada. Todos estes parâmetros serão discutidos no item 4.5.1.

Quadro 4.2 Consumo de potência, área ocupada e máxima taxa em função do fan-out para algumas versões de células da biblioteca QLSI-TriQuint.

4. Projeto do Demultiplexador

Célula QLSI-TriQuint		Consumo Potência [mW]	Unid. Área ^a [u.a.]	Banda Passante Equivalente (BW) [GHz]		
Função	Nome			FO=1 ^c	FO=2 ^c	FO=4 ^c
Buffer	SM10	8	1	1,47 / 1,85 ^d	0,98 / 1,25	0,58 / 0,75
Buffer	SMBUFL2	24	1	e		
And	SM01	8	1	1,78 / 2,00	1,39 / 1,61	0,97 / 1,17
Sel 2:1	SL2MUX	2	1	0,94 / 1,28	0,64 / 0,90	0,39 / 0,56
	SF2MUX	24	2	2,99 / 3,20	2,28 / 2,46	1,53 / 1,68
Latch	SLDDML	2	1	0,73 / 0,91	0,53 / 0,70	0,35 / 0,47
	SMDDML	8	1	1,49 / 1,64	1,21 / 1,37	0,94 / 1,04
	SFDDML	24	1	1,89 / 1,96	1,57 / 1,65	1,18 / 1,26
flip-flop D	SSDDFF	8	2	0,89 / 1,04	0,66 / 0,79	0,43 / 0,53
	SPDDFF	12	2	1,40 / 1,53	1,10 / 1,23	0,76 / 0,88
	SJDDFF	32	2	1,79 / 1,86	1,45 / 1,52	0,42 / 1,11
flip-flop T	SMTFFR	16	2	1,22 / 1,32	0,95 / 1,05	0,65 / 0,74
	SLTFFR	4	2	0,60 / 0,72	0,43 / 0,52	0,27 / 0,34
I/O de entrada	ISES1	12	b	1,79 / 2,08 ^g	1,33 / 1,60 ^g	0,88 / 1,09 ^g
	IMES2	24		2,62 / 2,92 ^g	2,30 / 2,40 ^g	1,49 / 1,78 ^g
I/O de saida	OLSE1	40	0,30 ^f			
	OSSE2	78	1,00 ^f			

- (a) u.a.: ou unidade de área de célula: é uma unidade relativa que reflete a área ocupada pelas células individuais. A área total ocupada pelo circuito dependerá do número total de interconexões entre células e da homogeneidade do leiaute. Uma estimativa da área de “die” pode ser obtida através dos dados contido no manual QLSI⁴⁴ e reproduzidos no apêndice A4.1.a.
- (b) área total ocupada pelas células de I/O é função direta do número de células, sendo dada por: $A_{I/O} \cong [40+2 \cdot i]^2$, em [mils]², onde i = número de células de I/O e $i \geq 10$. Veja ainda o apêndice A4.1.a.
- (c) assume-se que a célula alimenta outra(s) com mesma(s) características, i.e., mesmo C_{in} .
- (d) Com C_{wire} estimado / C_{wire} minimizado. Considera-se, para efeito de exemplo, uma redução no valor de C_{wire} de 50% obtido na fase de otimização de leiaute para caminhos críticos. A redução de 50% representa bem o limite máximo: problemas de acesso às saídas e entradas e as dimensões físicas da célula impossibilitam redução maior na interconexão.
- (e) buffer seguidor de fonte. Não devem ser cascateados, pois apresentam ganho menor que 1. Possuem altíssima capacidade de fan-out. São empregados na distribuição dos sinais de relógio. Por exemplo, $BW = 2,54 \text{ GHz}$, @FO = 10.
- (f) @ $R_{load} = 50 \Omega$ e $C_{load} = 1 \text{ pF}$.
- (g) @FO = células com $C_{in} = 35 \text{ fF}$, uma vez que células de “I/O” de entrada devem alimentar células internas. A capacitância de uma célula “I/O” de entrada é muito elevada em comparação com a da célula interna.

4.3.3 Limitações do projeto devido ao uso da foundry TriQuint

Devido às limitações de taxa de operação das células padrão da TriQuint, foram realizadas inúmeras considerações no projeto do demultiplexador, visando a obtenção de um circuito capaz de operar com taxa de relógio de 2,5 Gb/s. Entre essas considerações destacam-se:

- escolha de topologia de demultiplexador que minimizasse o número de células operando na taxa de relógio;
- minimização de carregamento capacitivo das células padrão que operam em taxa de relógio;
- implementação de um modo alternativo de operação do circuito, no qual o mesmo aceita como entrada o sinal de relógio dividido por 2 ($CK/2$) no lugar do sinal de relógio, realizando-se um "by-pass" do primeiro divisor de relógio;
- não utilização de etapas de "retiming" na taxa de 2,5 Gb/s. Se fosse possível, o uso de "retiming" tornaria o circuito menos sensível a desvios de processo de fabricação do chip, particularidades de implementação do leiaute e às variações de temperatura.

4.3.4 Sub-Blocos integrantes do demultiplexador especificado

A figura 4.2 apresenta o diagrama geral de blocos para o demultiplexador especificado levando em conta a escolha da topologia árvore e do circuito de Skip série, baseada nos resultados dos critérios de excelência propostos no capítulo 3. O diagrama reflete também as limitações de taxa impostas pela escolha da foundry. A necessidade de se ter uma entrada de controle adicional (sel $ck/2$) que possibilite sinal de relógio de entrada com metade da taxa original no modo 1:16, ou seja 1,244 Gb/s, é resultado direto da limitação da taxa máxima garantida para a biblioteca QLSI.

Como sugerido na figura 4.2, o demultiplexador pode ser dividido ao nível funcional em quatro sub-blocos. São descritos a seguir brevemente a função de cada um desses sub-blocos.

Sub-bloco "DEMULPLEXADOR 1:4/1:16"

Este sub-bloco realiza a demultiplexagem do sinal de entrada serial, gerando as saídas D1 a D16, ou D1 a D4, conforme o modo selecionado, a partir do sinal de dados de entrada e dos sinais de relógio $CK/2$, $CK/4$, $CK/8$ e $CK/16$, com fases relativas adequadas. A estrutura empregada na demultiplexagem é do tipo árvore com flip-flop tipo D e Tristage.

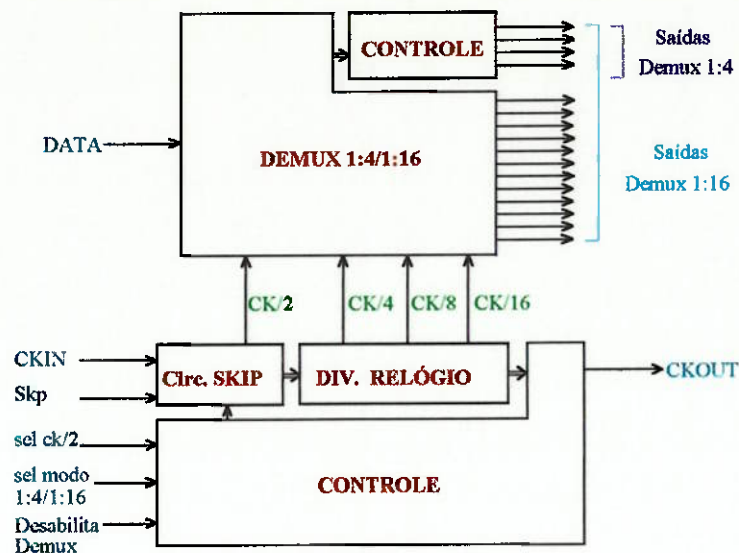


Figura 4.2 Diagrama de blocos do demultiplexador especificado.

Sub-bloco "circuito de SKIP"

Este sub-bloco incorpora o circuito de Skip propriamente dito, o primeiro divisor de relógio e circuitos de controle que permitem alimentar o demultiplexador com o sinal de relógio dividido por dois. As funções realizadas por este sub-bloco são as seguintes:

- Divisão do sinal de relógio por 2, gerando o sinal CK/2;
- Atua nos sinais de relógio CK/2, CK/4, CK/8, CK/16 entregues ao sub-bloco "Demultiplexador 1:4/1:16", de modo a ocasionar o deslocamento dos sinais presentes nas saídas D1 a D16 para as saídas subsequentes, quando a entrada de controle SKP passa por uma transição de nível lógico.

Sub-bloco "DIVISORES de RELÓGIO"

Em conjunto com o sub-bloco "CIRCUITO DE SKIP", este sub-bloco gera as fases relativas da base de tempo entregue ao sub-bloco "Demultiplexador 1:4/1:16", realizando a divisão do sinal CK/2 por 2, 4, 8, gerando os sinais CK/4, CK/8 e CK/16 com fases apropriadas.

Sub-bloco "CONTROLE"

Este sub-bloco contém o circuitos de controle que realizam as seguintes funções:

- seleção do modo de operação do CI como demultiplexador de 4 canais ou de 16 canais;
- Concomitantemente, seleciona o sinal de saída de relógio, alimentando o pino de CKOUT com CK/4, quando o CI opera com demultiplexador de 4 canais, ou com CK/16, na operação como demultiplexador de 16 canais;

4. Projeto do Demultiplexador

- c) "By-pass" da primeira etapa de divisão de relógio, quando se deseja alimentar o demultiplexador diretamente com o sinal de CK/2;
- d) Desativa as saídas do demultiplexador (D1 a D16) e o relógio de saída (CKOUT).

4.3.5 Características globais de entrada e saída do demultiplexador

Tendo por base as células padrão disponíveis e as exigências de entrada e saída impostas pelas especificações do projeto, definiu-se o número mínimo de pinos do CI. A composição destes dois fatores determinaram:

- tipo de sinal de entrada e saída: individual ou diferencial;
- tensão de alimentação: compatibilidade com a alimentação das células de entrada/saída e internas; tensão de referência associada às células de entrada e saída adaptadoras de níveis lógicos (ECL ↔ SCFL);
- número de entradas de controle minimizado, salvaguardado o gerenciamento das funções incorporadas ao demultiplexador.

Segue-se na figura 4.3 o diagrama de entradas e saídas do demultiplexador, bem como a descrição de cada pino.

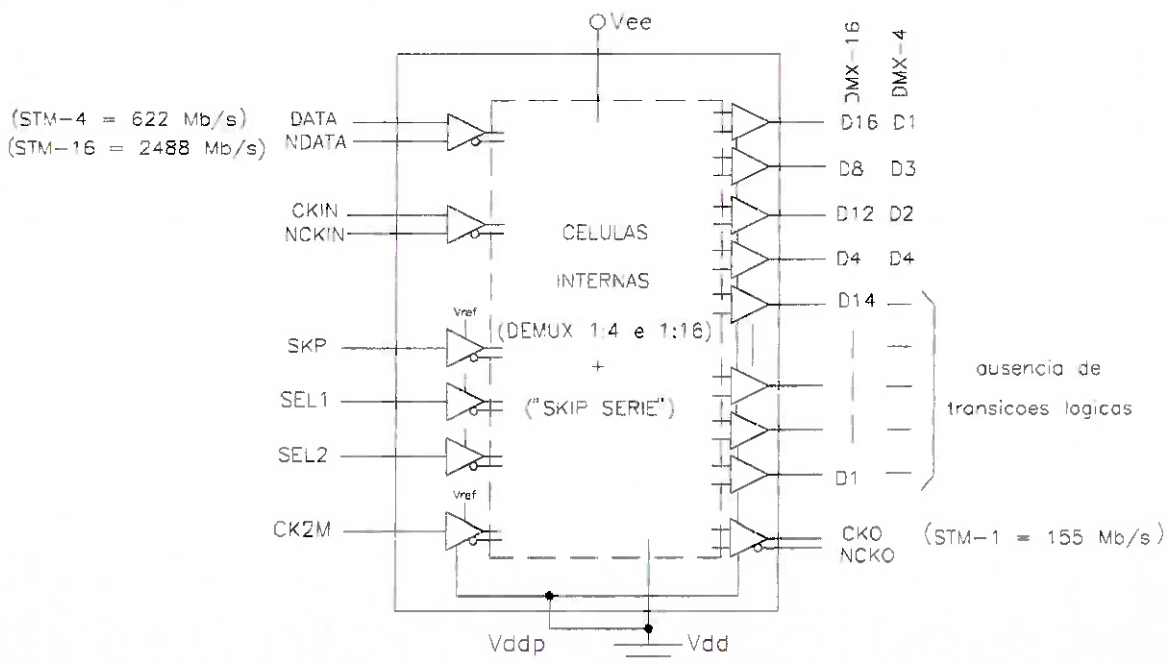


Figura 4.3 Diagrama de entradas e saídas do demultiplexador especificado

DATA, NDATA Entrada de dados diferencial, composta pelo sinal digital NRZ a ser

4. Projeto do Demultiplexador

demultiplexado. Este sinal atende aos padrões STM-4 ou STM-16, dependendo do modo de operação do circuito demultiplexador.

- CKIN, NCKIN** Sinal de entrada diferencial de relógio. A taxa de relógio nominal é de 622 Mb/s quando o demultiplexador opera no modo de 1:4 e de 2,488 Gb/s quando no modo de operação 1:16. A mesma entrada física permite alimentar o demultiplexador com o sinal de relógio dividido por dois, quando esta opção é selecionada impondo-se nível lógico "1" na entrada de seleção "CK2M".
- D1 a D16** Saídas de dados do demultiplexador. Quando selecionado o modo de operação Demultiplexador 1:16, todas as saídas D1 a D16 ficam ativas. Quando selecionado o modo de operação Demultiplexador 1:4, quatro saídas, correspondentes aos pinos D16, D8, D12 e D14, são ativas e as demais permanecem estáveis em nível lógico "0" ou "1", dependendo do último nível antes da atuação do modo Demultiplexador 1:4, sem sofrer transições.
- CKO, NCKO** Sinal de saída diferencial de relógio. A taxa de relógio de saída, na condição nominal de operação, é de 155 Mb/s, correspondendo ao padrão STM-1, para ambos os modos de demultiplexagem.

Observe-se que dessa forma, quatro dos pinos de saída dos sinais demultiplexados, bem como os pinos de dados de entrada, relógio de entrada e relógio de saída são compartilhados pelos modos 1:4 e 1:16 de demultiplexagem.

Os sinais de entrada e saída de relógio, bem como o de entrada de dados, são diferenciais devido à elevada taxa de operação. Por motivos de compatibilidade com os demais estágios do sistema de recepção óptica, o sinal de saída de relógio também é diferencial.

Existem quatro sinais de entrada que fazem o controle do demultiplexador. As possibilidades de operação são selecionadas por meio de sinais assíncronos de baixa taxa (dezenas de Mb/s) aplicados às entradas de controle do circuito, como segue:

- SEL1** Sinal de controle assíncrono. O nível lógico nesta entrada determina a operação do circuito como demultiplexador de 4 canais (nível "0") ou de 16 canais (nível "1").
- SEL2** Sinal de controle assíncrono. Quando assume nível lógico "0" essa entrada de controle inibe transições de sinal nos terminais de saída D1 a D16 e impõe nível "0" ao sinal de saída de relógio, CKO.
- CK2M** Sinal de controle assíncrono. Esta entrada permite optar entre alimentar

4. Projeto do Demultiplexador

a entrada de relógio do demultiplexador (CKIN, NCKIN) alternativamente com o sinal de relógio (CK) ou com o sinal de relógio já dividido por dois (CK/2).

SKP Sinal de controle assíncrono. Quando o sinal presente nesta entrada muda de “1”→“0” ou “0”→“1” os sinais presentes nas saídas D1 a D4 (DMX 1:4), ou alternativamente D1 a D16 (DMX 1:16) são deslocados para as saídas subsequentes, como segue:

D1→D4; D4→D3; D3→D2 e D2→D1 ou

D16→D15; D15→D14; D14→D13; D1→D16

A atuação dos sinais de controle é resumida nos quadros 4.3.a e .b

Quadro 4.3.a Atuação dos sinais de controle SEL1 e SEL2.

SEL1	SEL2	função
X	0	desativa Demux
0	1	ativa Demux 1:4
1	1	ativa Demux 1:16

Quadro 4.3.b Atuação do sinal de controle CK2M.

CK2M	entrada de relógio
0	CK IN
1	CK/2 IN

VEE, VDD e VDDP A alimentação do demultiplexador é realizada através dos pinos VEE, tensão de fonte, VDD, tensão de dreno e VDDP que provê um caminho adicional para correntes de dreno elevadas e aumenta a imunidade do CI a descargas eletrostáticas. A conexão dos pinos de alimentação é assim definida:

VEE = -5,2 V, ± 10% tensão de alimentação;

VDD = 0 V, terra;

VDDP = 0 V, conectado externamente a VDD.

4.4 TOPOLOGIA DE DEMULTIPLEXADOR E DE SKIP ESCOLHIDAS

Escolheu-se uma arquitetura de demultiplexador de alta velocidade baseada nos resultados da análise comparativa feita no capítulo 3. Devido à filosofia de projeto adotada, a escolha da topologia deveria atender ainda às limitações impostas pela biblioteca de células padrão disponível, a QLSI-TriQuint, em termos de elementos de memória e combinatórios disponíveis. Como pode ser visto na figura 4.4, esta topologia^{87,88} emprega flip-flop's tipo D e Tristage com versões de potência progressivamente menores na obtenção dos diversos blocos Demux's 1:2. Permite com isto combinar alta velocidade com minimização do consumo de potência. Nesta figura pode ser visto ainda os principais sub-blocos necessários para acomodar os modos 1:4 e 1:16 de demultiplexagem.

O demultiplexador emprega quatro níveis de demultiplexagem. É constituído pela repetição do bloco básico Demux 1:2, composto por flip-flops tipo D e tipo Tristage⁶⁸. Para o modo de demultiplexagem 1:16, todas as saídas de dados D1 a D16 são habilitadas e o sinal de Ck/16 está presente na saída de CKOUT. Quando o modo de demultiplexagem 1:4 é selecionado, as saídas do segundo nível de demultiplexagem são conectadas às saídas de dados D4, D8, D12 e D16 através dos seletores S1 a S4. Os dados de saída restantes são desativados e o sinal de relógio dividido por 4, Ck/4, é conectado, via seletor S5, à saída de relógio, CKOUT. Introduziu-se um atraso no caminho do sinal de dados de entrada, ramo C na figura 4.4, com o objetivo de garantir amostragem ótima do sinal de dados no primeiro bloco Demux 1:2. Este atraso foi otimizado visando a operação do circuito em 2,5 Gb/s, combinando atraso lógico, obtido através de inversores, e atraso físico devido aos parâmetros parasitas associados aos metais de interconexão.

Os divisores de relógio são assíncronos, i.e., divisores por 2 estáticos conectados em cascata. Existe uma unidade de controle para acomodar os dois modos de demultiplexagem (1:4 e 1:16), bem como permitir a entrada de relógio com taxa de CK/2 ou desativar o demultiplexador. Finalmente, o circuito de Skip série que atua na fase do sinal de relógio com taxa de CK/2 foi incorporado ao demultiplexador.

A figura 4.5 apresenta a topologia proposta^{87,88} para o circuito rotacionador de bits de saída. Este circuito foi obtido modificando-se o circuito de Skip série da referência [59], tendo sido especialmente desenvolvido para melhorar o desempenho quando o demultiplexador opera em taxas elevadas. Recentemente, o circuito de Skip proposto recebeu um depósito de pedido de patente nacional⁸⁹.

Evitou-se etapas de sincronismo em taxas de relógio devido à limitação de velocidade das células padrão QLSI-TriQuint. Não seria possível realizar o "retiming" do sinal de saída na taxa de relógio, 2,5 Gb/s. A simples alternativa de eliminar o flip-flop de "retiming" do circuito de Skip apresentado no item 3.4.1 causaria sérios problemas de

4. Projeto do Demultiplexador

“spikes”. Todas as portas lógicas do circuito de Skip proposto operam em taxa de $Ck/2$, exceto o primeiro divisor de relógio que é alimentado pelo sinal de relógio de entrada, Ck . Desta forma, o primeiro divisor de relógio é o elemento que limita a operação em alta velocidade do circuito de Skip e do demultiplexador. Esta limitação pode se tornar crítica quando o atraso de propagação intrínseco da célula padrão aumenta devido principalmente às variações no processo de fabricação do circuito. Para contornar o problema causado por esta limitação, providenciou-se um “by-pass” para o primeiro divisor por 2 de relógio, o qual permite alimentar o circuito de Skip diretamente com o sinal de $Ck/2$ no lugar do sinal de relógio, Ck , quando se opera em taxas altas. Desta forma, aumenta-se o rendimento de processo de fabricação do demultiplexador.

Nas seções 4.5.3 a 4.5.7, são analisados em detalhe o projeto de todos os sub-blocos que compõem o CI demultiplexador especificado

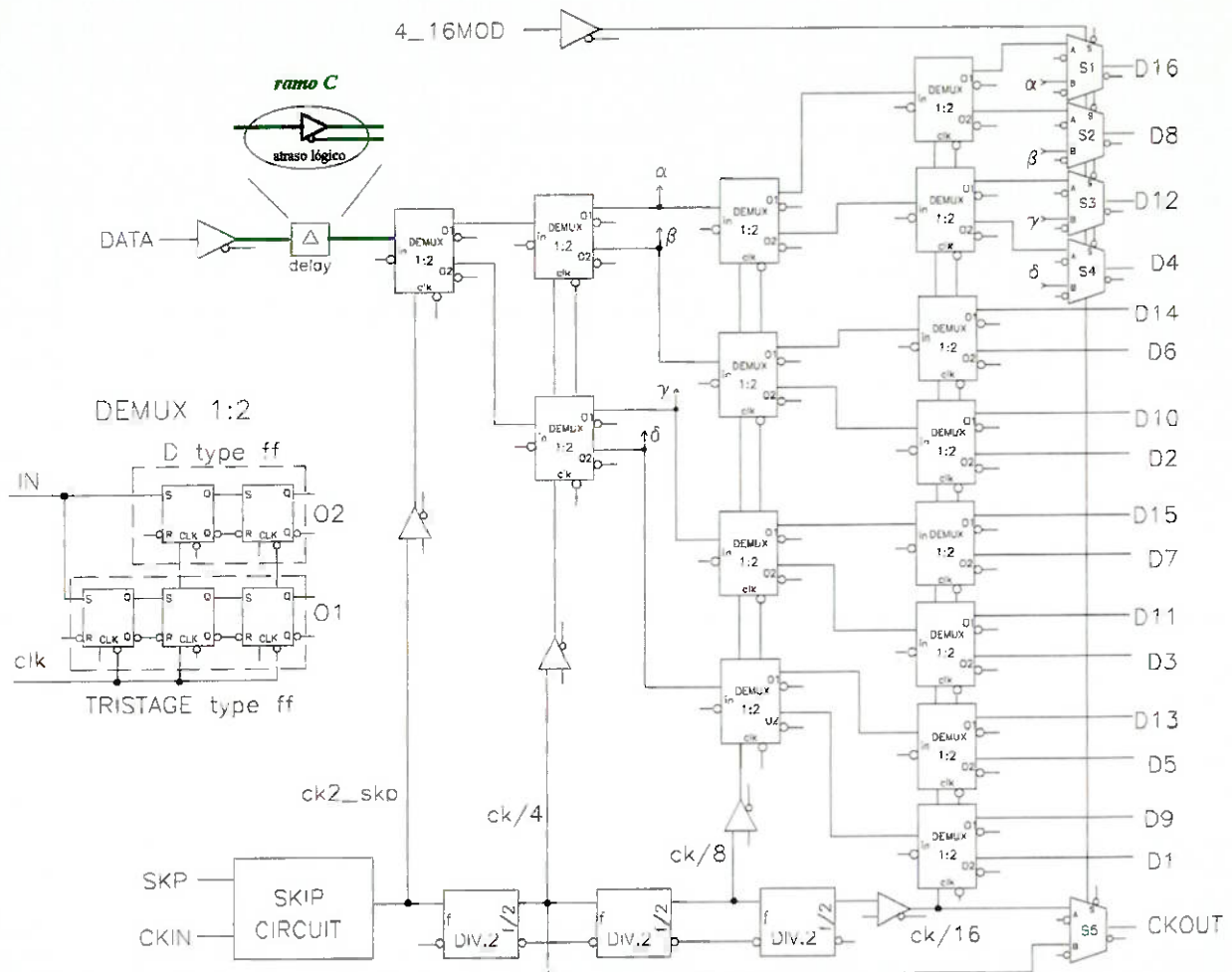


Figura 4.4 Diagrama do demultiplexador mostrando a arquitetura árvore com flip-flop tipo D/Tristage e os principais blocos para acomodar os modos 1:4 e 1:16.

4. Projeto do Demultiplexador

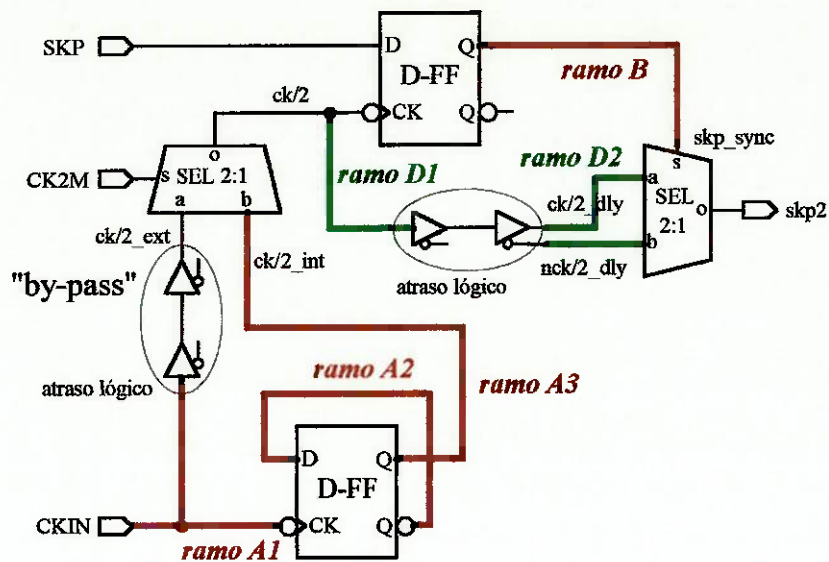


Figura 4.5 Diagrama esquemático para o circuito de SKIP série modificado.

4.5 CONSIDERAÇÕES DE PROJETO EMPREGANDO CÉLULAS PADRÃO QLSI-TriQuint

4.5.1 Considerações Gerais

Um importante aspecto a ser considerado no projeto de CI's em alta velocidade é o atraso de propagação do sinal ao longo das interconexões metálicas internas ao CI. Em um modelamento elétrico mais geral, estas tiras de interconexão devem ser consideradas como linhas de transmissão, especialmente se forem tiras longas, transportando sinais de alta velocidade.

O modelamento elétrico das tiras de interconexão por meio de linhas de transmissão não é, no entanto, diretamente utilizável em programas usuais de simulação de CI's digitais. Assim, torna-se necessário modelar as interconexões metálicas por meio de elementos concentrados tipo RC. Essa simplificação do modelo das interconexões é válida se os tempos de subida e descida, t_r e t_f , dos sinais envolvidos forem pelo menos uma ordem de grandeza maiores que os tempos de propagação destes sinais nas trilhas de interconexão mais longas, $t_{w(max)}$. Para exemplificar a simplificação do modelo, considere CI's de alta velocidade e complexidade MSI construídos em substato GaAs. Os tamanhos de chip envolvidos estão entre 2 e 4 mm. Assumindo-se então que a máxima interconexão interna não ultrapassa metade do tamanho do chip, tem-se:

$$l_{max} = l_{chip}/2 = 2 \text{ mm};$$

$$\epsilon_r = 4,5^{(a)};$$

^(a) Este valor de constante dielétrica relativa refere-se ao processo H-GaAs III da Vitesse.

resulta em:
$$t_{w_{\max}} = \frac{l_{\max} \sqrt{\epsilon_r}}{c_0} \cong 14 \text{ ps} \quad (4.1)$$

Considerando-se que valores típicos de t_r e t_f estão entre 100ps a 300ps, tem-se:

$$\Rightarrow t_r, t_f > 10 t_{w_{\max}} \quad (4.2)$$

Portanto, os atrasos de propagação nas interconexões metálicas podem ser representados por meio de circuitos RC em vez de linhas de transmissão, quando se considera comprimentos de interconexão de alguns milímetros. Assim, pode-se modelar essas interconexões por meio de elementos concentrados^{7,14,90}, como visto na figura 4.6.

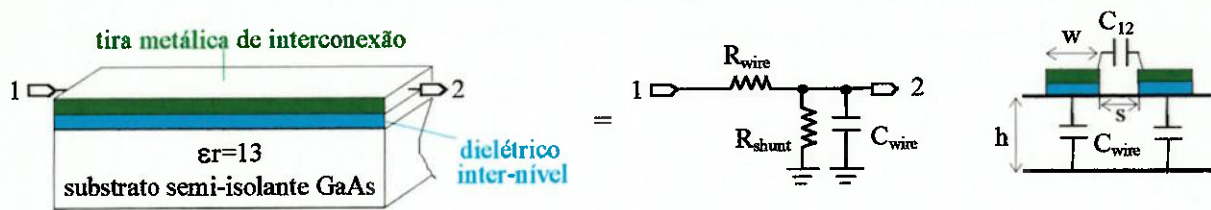


Figura 4.6 Interconexão metálica modelada por elementos concentrados RC.

Adicionalmente, pode-se introduzir as seguintes simplificações:

- *condutância shunt*, R_{shunt} : modela as perdas no substrato semi-isolante; pode ser desprezada para a maior parte das aplicações digitais de alta velocidade ($f < 5 \text{ GHz}$);
- *capacitância de linha*, C_{wire} : é a capacitância formada entre o metal de interconexão e o plano terra do circuito. Seu cálculo é função da espessura média do dielétrico inter-nível, do substrato e da geometria dos metais de interconexão, os quais possuem largura mínima dependente do processo de fabricação. Como a constante dielétrica relativa do GaAs é elevada ($\epsilon_r \cong 12,9$), a minimização de C_{wire} torna-se crucial para operação em alta velocidade. Para tanto, emprega-se um dielétrico inter-nível de ϵ_r menor, ou mesmo emprega-se frequentemente metal aéreo (conexões “air-bridge”), reduzindo-se ainda mais o valor de C_{wire} por unidade de comprimento. A capacitância total de interconexão, C_{wire} , é formada pelas contribuições da capacitância de placa paralela, a capacitância de borda e a capacitância formada pelo cruzamento entre linhas. Geralmente, esta última capacitância pode ser ignorada. Para o processo QED/A estão disponíveis dois metais de interconexão, figura 4.7, sendo os valores de C_{wire} , sintetizados no quadro 4.4:

Quadro 4.4 Capacitância de linha, C_{wire} , para o processo QED/A TriQuint

Via de Interconexão	C_{wire} [fF/ μm]	w_{min} [μm]
Metal 1 (sobre Si_3N_4)	0,15	2
Metal 2 (aéreo)	0,07	3

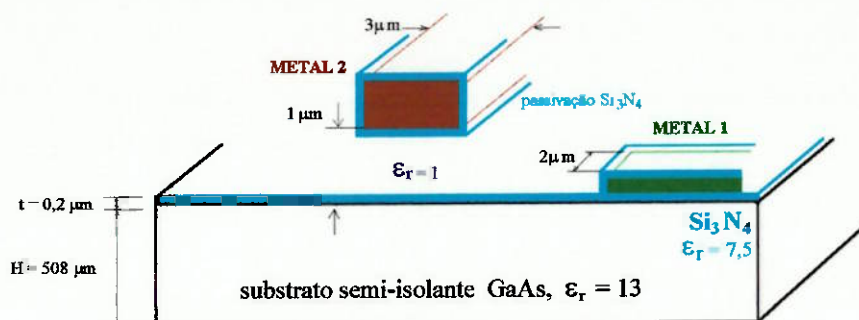


Figura 4.7 Metais de interconexão, Metal 1 e 2 (aéreo) para o processo QED/A: larguras mínimas, espessura do dielétrico Si_3N_4 inter-nível e do substrato.

- *resistência série*, R_{wire} : depende do processo tecnológico. Resistências de folha da ordem de $0,02 \Omega/\square$ podem ser obtidas. A resistência série torna-se uma limitação severa apenas para dispositivos de altíssima velocidade capazes de entregar na saída sinais com $t_r, t_f < 10\text{ps}$. A resistência de folha deve ser da ordem de $0,03 \Omega/\square$ para não degradar os tempos de subida e descida⁶. Para o processo QED/A, tem-se:

$$RS1ME = 0,085 \Omega/\square; \quad \text{para metal 1 e } w_{\min} = 2\mu\text{m}$$

$$RS2ME = 0,020 \Omega/\square; \quad \text{para metal 2 e } w_{\min} = 3\mu\text{m (metal aéreo)}$$

Portanto, considerando-se a tecnologia QED/A da TriQuint e utilizando-se metal aéreo para as interconexões longas em um CI de complexidade MSI, pode-se desprezar a contribuição de R_{wire} no modelamento elétrico das interconexões. Assim, as linhas de interconexão podem ser consideradas puramente capacitivas.

Pode-se estimar o valor de R_{wire} máximo considerando-se resistência de folha do metal empregado na interconexão, R_{sheet} , comprimento máximo, l_{max} , e largura mínima do metal, w_{\min} :

$$R_{w_{\max}}^{ME} = \frac{R_{\text{sheet}} \cdot l_{\text{max}}}{w_{\min}} \quad (4.3)$$

Adicionalmente, Bakoglu⁹¹ mostrou que a contribuição de R_{wire} pode ser desprezada se:

$$R_{\text{wire}} \leq 2,3 R_{\text{on}} \quad (4.4)$$

onde: R_{on} = resistência dreno-fonte do transistor em condução; para a família SCFL, figura 4.8, a magnitude de R_{on} leva em conta as resistências do transistor em condução e dos diodos deslocadores de nível, dependendo do nível de interconexão de saída considerada, A, B ou C.

Esta formulação advém da análise temporal em uma rede RC. Sob excitação a um degrau de tensão, o tempo $t_{0-90\%}$ necessário para que a tensão de saída em uma rede RC, considerando elementos distribuídos e concentrados, varie de 0 a 90% de seu valor final é de $1,0RC$ e $2,3RC$, respectivamente. Uma boa aproximação para o atraso de interconexão pode ser obtido combinando-se o efeito de elementos capacitivos e resistivos concentrados, R_{on} e C_{in} , e distribuídos, R_{wire} , C_{wire} ^{91,92}:

$$t_{0-90\%} = 1,0 R_{wire} C_{wire} + 2,3 (R_{on} C_{wire} + R_{on} C_{in} + R_{wire} C_{in}) \quad (4.5.a)$$

que pode ainda ser aproximado, com erro menor que 4% em toda a faixa dos parâmetros, por:

$$t_{0-90\%} \approx C_{wire} (2,3 R_{on} + R_{wire}) \quad (4.5.b)$$

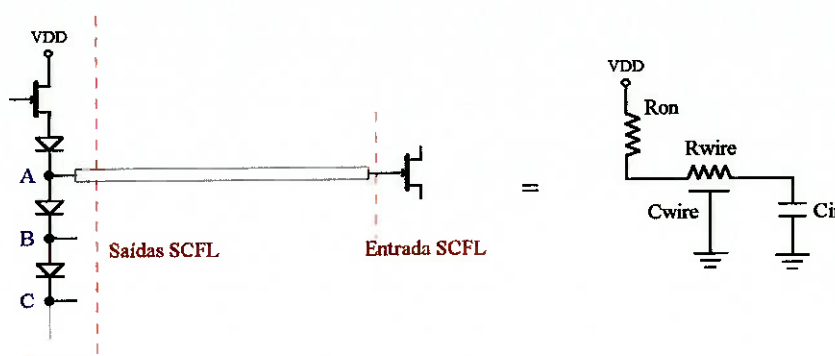


Figura 4.8 Modelo com parâmetros RC para o atraso de interconexão em células internas SCFL.

Analisando a influência de R_{wire} , C_{wire} e R_{on} no modelamento RC de interconexão em função da densidade de empacotamento em CI's, Bakoglu obteve, para diferentes materiais de interconexão (Al, WSi₂ e Si Poly), diferentes larguras de transistores MOS de saída (R_{on}) e distintos comprimentos de interconexão, a largura ótima das fitas de interconexão, parcialmente reproduzido na figura 4.9. Para cada comprimento de interconexão, material e R_{on} existe uma largura mínima de interconexão a partir da qual o atraso de propagação RC torna-se praticamente constante (mínimo) e independente de acréscimos na largura da fita de interconexão. Este ponto representa o canto da curva, e corresponde a $R_{wire} \approx 2,3 R_{on}$.

A resistência de saída do transistor em condução, R_{on} , depende da largura do canal do transistor, W_g , da dopagem e espessura da camada ativa, da tensão de alimentação e frequência de operação. A figura 4.10 reproduz⁴³ valores de R_{ds} para transistores de enriquecimento da TriQuint, com largura de porta de 300 μm . Para o pior caso de operação das células padrão, $V_{gs} = +0,6 \text{ V}$ e $V_{ds} = +0,5 \text{ V}$, R_{ds} vale aproximadamente 150 Ω e as resistências de fonte e dreno correspondentes valem $R_s = 0,77 \Omega$ e $R_d = 3,36 \Omega$. Neste caso, a resistência dreno-fonte, R_{ds} , é uma boa estimativa para R_{on} .

Escalonando-se esses valores para MESFET's com 30 μm de largura de porta, utilizados como seguidor de fonte nas saídas das células padrão de maior potência da biblioteca QLSI, resulta em uma estimativa para $R_{\text{on}(\text{min})} = 1500 \Omega$, $R_s = 7,7 \Omega$ e $R_d = 33,6 \Omega$.

Assim, na maior parte das aplicações de CI's digitais de alta velocidade e complexidade MSI a equação 4.4 pode ser satisfeita, e portanto, as linhas de interconexão podem ser modeladas apenas por C_{wire} .

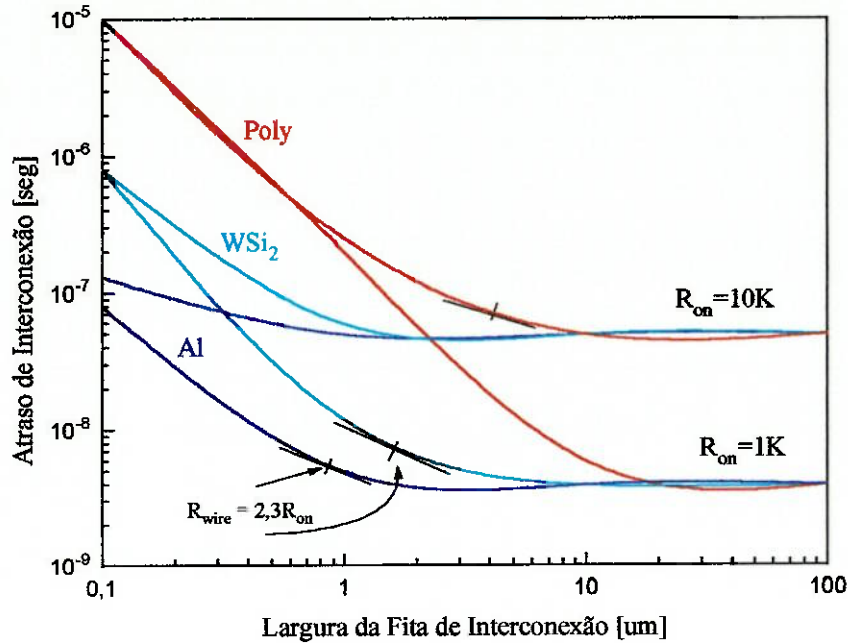


Figura 4.9 Atraso de interconexão em função do w de três materiais, duas larguras de transistor MOS de saída e comprimento de interconexão de 5mm.

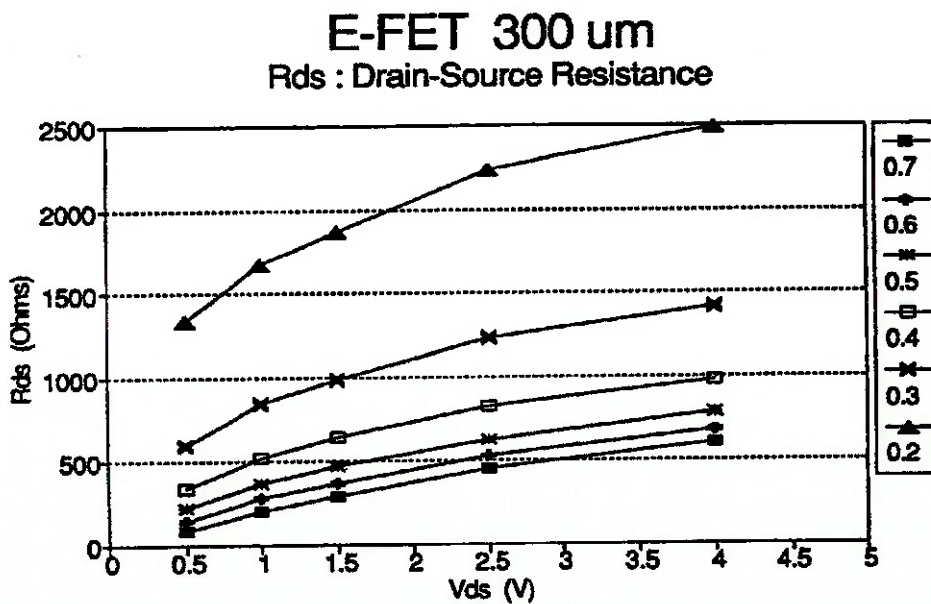


Figura 4.10 R_{ds} para transistores E-MESFET, processo QED/A da TriQuint⁴³.

- *ruído de crosstalk*: os efeitos de crosstalk em um chip são ocasionados predominantemente por acoplamento capacitivo. Problemas com crosstalk surgem em CIs com tamanhos de “die” elevados, quando então existem linhas de interconexões longas e paralelas transportando sinais distintos de alta velocidade, fisicamente muito próximos. Existe ainda ruídos de crosstalk ocasionados pelo encapsulamento. Esta fonte de crosstalk em CI’s de alta velocidade pode ser controlada através do reposicionamento relativo dos sinais de entrada e saída. Neste tipo de crosstalk, o acoplamento entre os sinais dos pads é capacitivo e indutivo, devido aos fios de interconexão longos entre pad e terminal da cápsula.

Devido à alta constante dielétrica do substrato semi-isolante de GaAs, ter-se-ia, a princípio, maiores problemas com ruído devido a crosstalk em GaAs que em substrato de Si. Tomando-se como exemplo duas linhas de interconexão, depositadas diretamente sobre o substrato, de largura $w = 2\mu\text{m}$ e separadas por $s = 2\mu\text{m}$, figura 4.6, o ruído devido ao acoplamento entre as duas linhas¹⁴ é da ordem de 30% em substrato de GaAs, mas de apenas 2% em substrato de Si com óxido de passivação SiO_2 , o qual apresenta $\epsilon_r = 3,9$. Pela mesma razão, a capacitância de linha-linha, C_{12} , também é muito maior no substrato de GaAs. No entanto, o ruído de crosstalk pode ser reduzido para 17% usando-se dielétrico inter-nível de constante baixa. Pode-se mesmo reduzir ainda mais o crosstalk para valores em torno de 8% empregando-se vias de interconexão aéreas (air-bridge”). O processo tecnológico QED/A emprega tanto metal aéreo (metal 2) quanto uma via de interconexão (metal 1) separada do substrato pelo dielétrico Si_3N_4 de constante $\epsilon_r = 7,5$ com o intuito de reduzir a magnitude da capacitância de crosstalk. Assim, o uso de metal aéreo em GaAs reduz em muito as magnitudes das capacitâncias de linha, C_{wire} , e de crosstalk, C_{12} .

Empregando-se a equação de microlinhas, obtém-se capacitâncias de interconexão menores em substrato de GaAs com tecnologia de interconexão aérea do que para linhas depositadas sobre uma camada de óxido de silício de espessura $t = 1\mu\text{m}$ sobre substrato de silício. Na figura 4.11 encontra-se sintetizado o cálculo de C_{wire} em função da largura w da linha de interconexão para três substratos distintos. Obtém-se, para $w = 3\mu\text{m}$, C_{wire} estimado em $0,060\text{ fF}/\mu\text{m}$ para C_{wire} em substrato de GaAs, com espessura $H = 250\mu\text{m}$ e linha de interconexão aérea, e $0,155\text{ fF}/\mu\text{m}$ substrato de Si. Para $w = 1\mu\text{m}$, estes valores são reduzidos a $0,052$ e $0,079\text{ fF}/\mu\text{m}$, respectivamente. Além disto, o comportamento de C_{wire} em relação a largura de linha apresenta crescimento mais acentuado para substratos de Si.

Já a figura 4.12 apresenta a capacitância total, de uma linha central em relação a duas outras adjacentes, $C_{\text{total}} = C_{\text{wire}} + 2C_{12}$, separadas por uma distância s , considerando-se três tecnologias de interconexão: metal aéreo, linha sobre dielétrico e linha imersa em dielétrico e largura de linha w igual ao espaçamento entre linhas, s . Obteve-se¹⁴, para $w = 1\mu\text{m}$ e $H = 250\mu\text{m}$, $C_{\text{total}} = 0,25\text{ fF}/\mu\text{m}$ para linha imersa em

4. Projeto do Demultiplexador

dielétrico de $\epsilon_r = 6$ depositado sobre substrato de GaAs. Este valor é reduzido para 0,080 e 0,050 fF/ μm para linhas sobre dielétrico inter-nível de $\epsilon_r = 4$ e linha aérea, respectivamente. Assim, pode-se obter valores de C_{total} menores para substratos de GaAs empregando-se tecnologias de interconexão aérea ou de linhas depositadas sobre dielétricos inter-nível com baixo ϵ_r .

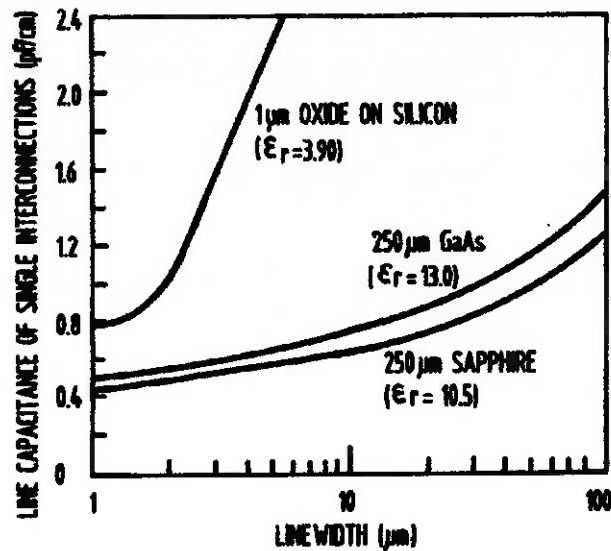


Figura 4.11 C_{wire} calculada em função da largura da linha de interconexão para: substrato de Si com espessura de óxido $t = 1 \mu\text{m}$; substrato de GaAs e Safira¹⁴.

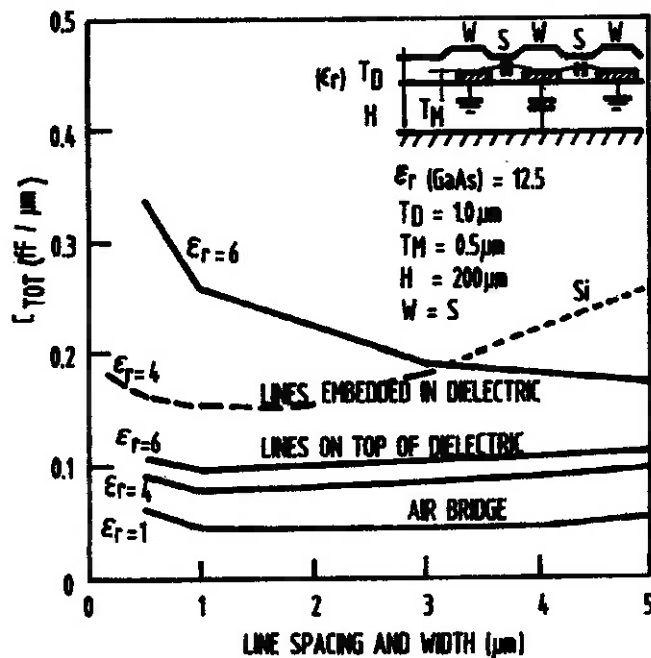


Figura 4.12 Capacitância total entre linhas fortemente acopladas¹⁴.

Na tecnologia de interconexão aérea, a influência da capacitância de crosstalk sobre C_{total} é praticamente desprezível face ao valor de C_{wire} , como pode ser verificado comparando-se os valores de C_{wire} e C_{total} nas figuras 4.11 e 4.12. Note ainda que C_{total}

obtida para a linha imersa em SiO₂ e substrato de Si é maior que para GaAs com tecnologia de interconexão aérea ou imersa em dielétrico de baixa constante dielétrica relativa.

Atualmente, os processos de fabricação de CI em Si não dispõem da tecnologia de interconexão aérea, uma vez que a filosofia destes processos leva em conta grande volume de produção e reduzidíssimo custo de fabricação. Com o aumento de interesse em circuito de alta velocidade e o conseqüente escalonamento dos processos, pode-se esperar a incorporação da tecnologia de interconexão aérea em alguns processos em Silício. No entanto, para o estado atual da arte de ambas as tecnologias, é possível obter capacitâncias de interconexão menores em CI's com substrato de GaAs do que em Si se as vias de interconexão não forem depositadas diretamente sobre o substrato de GaAs.

4.5.2 Parâmetros Potência-Velocidade e Carregamento Capacitivo

Uma vez escolhida a arquitetura do demultiplexador, faz-se necessário selecionar as células padrão a serem utilizadas na implementação do circuito. Neste ponto, deve-se levar em consideração a taxa de operação da célula, sua interação com outros elementos do circuito e também a minimização do consumo de potência. As principais considerações na seleção das células padrão são:

a) taxa máxima de operação, f_{toggle} , para as células de memória, ou, alternativamente, a largura de pulso mínima associada a uma banda de passagem equivalente, BW, para células combinatórias, deve ser maior que a taxa nominal de operação da célula no circuito.

A taxa máxima de operação da célula padrão depende da capacitância total associada ao nó de saída da mesma, C_{load} , relacionada pela equação 4.6:

$$C_{load} = C_{wire} + C_{fan-out} \quad (4.6)$$

onde:

$C_{fan-out}$:é a capacitância devido ao fan-out.

C_{wire} :capacitância de interconexão

A capacitância de fan-out é a somatória de todas as capacitâncias de entrada, C_{in} , das células padrão conectadas ao nó de saída:

$$C_{fan-out} = \sum C_{in} \quad (4.7)$$

A capacitância de interconexão, C_{wire} , surge das capacitâncias parasitárias existentes entre as trilhas de interconexão e o substrato de GaAs, resultando em uma carga

adicional para as saídas das células. A capacitância de interconexão deve ser cuidadosamente considerada em CI's de alta velocidade. Para se ter uma estimativa do valor de C_{wire} , antes mesmo da fase de leiaute, pode-se empregar a seguinte fórmula empírica sugerida pela TriQuint⁴⁴, válida para o processo QED/A:

$$C_{wire} = C_{FO} (FO + 1)^{1,1} \quad (4.8)$$

onde: FO = n° de células conectadas ao nó de saída;

C_{FO} = fator de capacitância; assume valores entre 25fF a 35 fF, dependendo da complexidade do circuito; por exemplo, para um projeto com n° de células ≤ 300 , $C_{FO} = 25$ fF.

Em tecnologias baseadas em MESFETs de GaAs, C_{wire} apresenta a mesma ordem de grandeza que C_{in} , devendo ser minimizada durante a etapa de leiaute do circuito. O quadro 4.5 apresenta valores típicos estimados de C_{wire} , obtidos a partir da equação 4.8, em função do fan-out, comparando estes valores com as capacitâncias de entrada, C_{in} , das diferentes versões de potência de células-padrão QLSI. A capacitância de interconexão por unidade de comprimento depende do processo de fabricação do CI. Para o processo QED/A da TriQuint, empregado para fabricar o demultiplexador, existem duas camadas de metais de interconexão, com magnitudes por unidade de comprimento apresentadas no quadro 4.4. A redução de C_{wire} é obtida através da otimização do posicionamento relativo das células interconectadas e do emprego da via aérea de interconexão a qual reduz à metade a C_{wire} , para $w = w_{min}$, em relação a via de metal de interconexão depositada sobre dielétrico inter-nível Si_3N_4 . Designa-se então prioridade máxima aos ramos que operam em alta taxa na fase de roteamento afim de se obter comprimentos de interconexão mínimos.

Uma vez conhecidos a capacitância total associada ao nó de saída da célula, C_{load} , a taxa máxima de operação, f_{toggle} , para o pior caso de variação de processo e de temperatura pode ser calculada considerando o caso limite para as equações 3.5.a e 3.5.b, que resultam nas equações 4.9.a e 4.9.b⁴⁴:

$$t_{pw} = 1,5. \tau_{pd} + 2,6. Loading Delay. C_{load}, \quad \text{ou} \quad (4.9.a)$$

$$f_{toggle} = \frac{1}{3. \tau_{pd} + 5,2. Loading Delay. C_{load}} \quad (4.9.b)$$

Para a mesma função lógica estão disponíveis na biblioteca QLSI células com distintas versões de consumo de potência, associadas a diferentes taxas máximas de operação para células inseridas em um mesmo circuito. O apêndice A4.2 apresenta as folhas de dados, com os parâmetros mencionados acima, de todas as células, e respectivas versões de consumo, empregadas no projeto do demultiplexador.

Quadro 4.5 Valores típicos de C_{wire} e C_{in} para o processo QED/A

FO	C_{wire} (fF)	Família de potência	C_{in} (fF)
1	54	SF	105
2	84	SM	35
3	115	SS	18
4	147	SL	17

b) A energia dinâmica de chaveamento, $P_{diss} \times \tau_{pd}$, deve ser minimizada com o objetivo de se obter menor consumo de potência e, conseqüentemente, maiores níveis de integração. Deve-se ter o produto $P_{diss} \times \tau_{pd} < 0,1pJ$ para se obter circuitos LSI operando em taxas de Gb/s⁷, figura 2.1.

Células padrão SCFL de baixo consumo de potência apresentam capacitâncias de entrada, C_{in} , menores que as células de consumo de potência elevado, quadro 4.5. Assim, a escolha de células de consumo de potência mais baixo, quando possível, reduzirá também o carregamento capacitivo dos nós onde as mesmas são conectadas, o que é importante para operação em alta velocidade.

c) Atenção especial deve ser dedicada à capacidade de fan-out das células padrão que alimentam simultaneamente um grande número de entradas de relógio. Neste caso, as bordas do sinal de relógio tornam-se lentas devido a este alto fan-out. Isto pode ser desastroso para flip-flop tipo “master-slave”, onde o latch “slave” deve entrar em estado de retenção antes do latch “master” tornar-se transparente. O parâmetro que expressa essa capacidade de alimentação, ou sensibilidade ao carregamento de saída de cada célula é o fator “Loading Delay”, expresso em unidade de tempo por unidade de capacitância. Células de potência/capacidade elevada apresentarão reduzidos fatores de atraso de carregamento. Reproduz-se, no quadro 4.6, a capacidade de fan-out para cada uma das principais versões de célula disponíveis na biblioteca QLSI TriQuint⁴⁴.

Quadro 4.6 Número máximo de flip-flop’s que podem ser alimentados por uma única porta lógica para as diferentes versões de potência de célula.

versão da célula alimentadora	versão da célula alimentada		
	SM	SS	SL
SF	18	26	26
SM	6	8	8
SS	0	3	3
SL	0	1	1
SMBUFLn	27	39	39

Obs: valores de capacitância de interconexão estimados em $1,5 \cdot C_{wire}$

Quando se implementa um circuito com células padrão da biblioteca QLSI, o atraso de carregamento devido ao fan-out e às capacitâncias parasitárias de interconexão não deve exceder 300 ps, para quaisquer portas lógicas que alimentem entradas de relógio, de “set” ou de “reset”, como definido pela equação 4.10.

$$Load\ Delay = 2.6 \cdot Loading\ Delay \cdot C_{load} \leq 300\ ps \quad (4.10)$$

Este valor máximo para atraso de carregamento total está diretamente relacionado ao máximo “slew rate” permitido nos ramos de relógio dos flip-flop’s. Existe relação direta entre “slew rate” e atraso de carregamento. Quanto maior o fan-out, maior será o atraso devido às capacitâncias associadas ao ramo analisado e, portanto, mais lentas serão as transições dos níveis lógicos.

Fan-out’s muito grandes são problemáticos se alimentados por uma única porta, particularmente quando associado a ramos de relógio. A transição completa dos níveis torna-se muito lenta. Em flip-flops tipo D, onde o mesmo sinal de relógio alimenta dois latch’s, deve-se ter o bloco “slave” em estado trancado (latched) antes do bloco “master” tornar-se transparente.

A capacidade de “fan-out” de uma célula SCFL é essencialmente limitada pelas capacitâncias associadas ao nó de saída, C_{load} , uma vez que as impedâncias de entrada são bastante elevadas devido às características da montagem diferencial desta família lógica.

O quadro 4.7 resume os principais parâmetros para as diferentes versões de potência das células padrão QLSI-TriQuint. Note que para uma versão de célula de maior potência, está associado um menor tempo de atraso básico, menor sensibilidade ao carregamento, maior área ocupada e uma taxa de operação máxima mais elevada.

Quadro 4.7 Parâmetros característicos das células QLSI considerando as diferentes versões de potência.

Família	Potência	Atraso básico FI=3, FO=1	Sensibilidade ao carregamento
SF	24 mW	65/-/- ps	16 ps/FO
SM	8 mW	83/123/163 ps	16 ps/FO
SS	4 mW	115/160/205 ps	21 ps/FO
SL	2 mW	110/160/210 ps	35 ps/FO

d) Como visto no item 2.3.2, figuras 2.13, 2.14 e 3.16 a 3.18, células padrão SCFL possuem entradas e saídas multi-níveis devido ao fato da implementação de funções lógicas combinatórias e de memória ser realizada através do empilhamento de

4. Projeto do Demultiplexador

transistores em um amplificador diferencial. Assim, faz-se necessário o uso de diodos deslocadores de níveis de tensão nos buffers de saída. Apenas entradas e saídas operando com mesmo nível de tensão podem ser interconectadas devido a razões de compatibilidade:

$$(saída \leftrightarrow entrada): \quad Y1 \leftrightarrow A1; \quad Y2 \leftrightarrow B2; \quad Y3 \leftrightarrow C3.$$

Entradas com diferentes níveis terão diferentes atrasos intrínsecos, τ_{pd} , que devem ser corretamente computados quando se calcula a taxa máxima de operação da célula através da equação 4.9.

No quadro 4.8 estão relacionadas todas as células padrão da biblioteca QLSI-TriQuint empregadas no projeto, bem como a função e os nomes das entradas e saídas de cada uma dessas células.

Quadro 4.8 Relação de todas as células QLSI-TriQuint empregadas na construção do demultiplexador com as respectivas funções e nomes das entradas e saídas.

Apelido	TriQuint	Função	Entradas	Saídas	Alimentação
AND2	SM01	And	a1, na1, b2, nb2	y1, ny1, y2, ny2, y3, ny3	V_{EE}, V_{DD}
B70	SM10	Buffer	a1, na1	y1, ny1, y2, ny2, y3, ny3	V_{EE}, V_{DD}
BS2	SMBUFL2	Buffer	a2, na2	y2, ny2	V_{EE}, V_{DD}
FLD	SLDDFF	Flip-flop	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FMD	SMDDFF	Flip-flop	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FPD	SPDDFF	Flip-flop	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FSD	SSDDFF	Flip-flop	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FJDR	SJDDFFR	Flip-flop c/ reset	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FMDR	SMDDFFR	Flip-flop c/ reset	d, nd, ck, nck, r, nr	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FMT	SMTFFR	Flip-flop toggle	ck, nck, r, nr	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
IND	IMES2	I/O de entrada	in, nin	y1, ny1, y2, ny2	V_{EE}, V_{DD}, V_{DDP}
INS	IMES1	I/O de entrada	in, vref	y1, ny1, y2, ny2	V_{EE}, V_{DD}, V_{DDP}
ODL	OLSE2	I/O de saída	a2, na2	out, nout	V_{EE}, V_{DD}, V_{DDP}
OTL	OLSE1	I/O de saída	a2, na2	out	V_{EE}, V_{DD}, V_{DDP}
FLL	SLDDML	Master Latch	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FML	SMDDML	Master Latch	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
FSL	SSDDML	Master Latch	d, nd, ck, nck	q1, nq1, q2, nq2, q3, nq3	V_{EE}, V_{DD}
SELL	SL2MUX	Mux 2:1	a1, na1, b1, nb1, s2, ns2	y1, ny1, y2, ny2, y3, ny3	V_{EE}, V_{DD}
SELM	SM2MUX	Mux 2:1	a1, na1, b1, nb1, s2, ns2	y1, ny1, y2, ny2, y3, ny3	V_{EE}, V_{DD}

Note-se que entradas e saídas de quaisquer células estarão sempre referenciadas pelos índices 1, 2 ou 3. Na biblioteca QLSI-TriQuint dispõem-se de células padrão de diferentes versões e mesma função lógica, cujos componentes diferenciam-se quanto à potência dissipada, tempos de atraso, capacitâncias de entrada, sensibilidade ao carregamento capacitivo de saída e capacidade de fan-out, como pode ser visto no apêndice A4.2.

Analisa-se a seguir a escolha das células padrão QLSI-TriQuint para cada sub-bloco integrante ao demultiplexador do ponto de vista de funcionalidade, consumo de potência e velocidade à luz dos critérios apresentados neste ítem.

4.5.3 Projeto do Demultiplexador 1:4 e 1:16

Para uma análise do demultiplexador 1:16 basta ampliar o conceito de demultiplexagem de quatro canais empregando blocos Demux 1:2, anteriormente analisado no ítem 2.3.6. A figura 4.13 apresenta esquematicamente a expansão do demultiplexador 1:4 para 1:16.

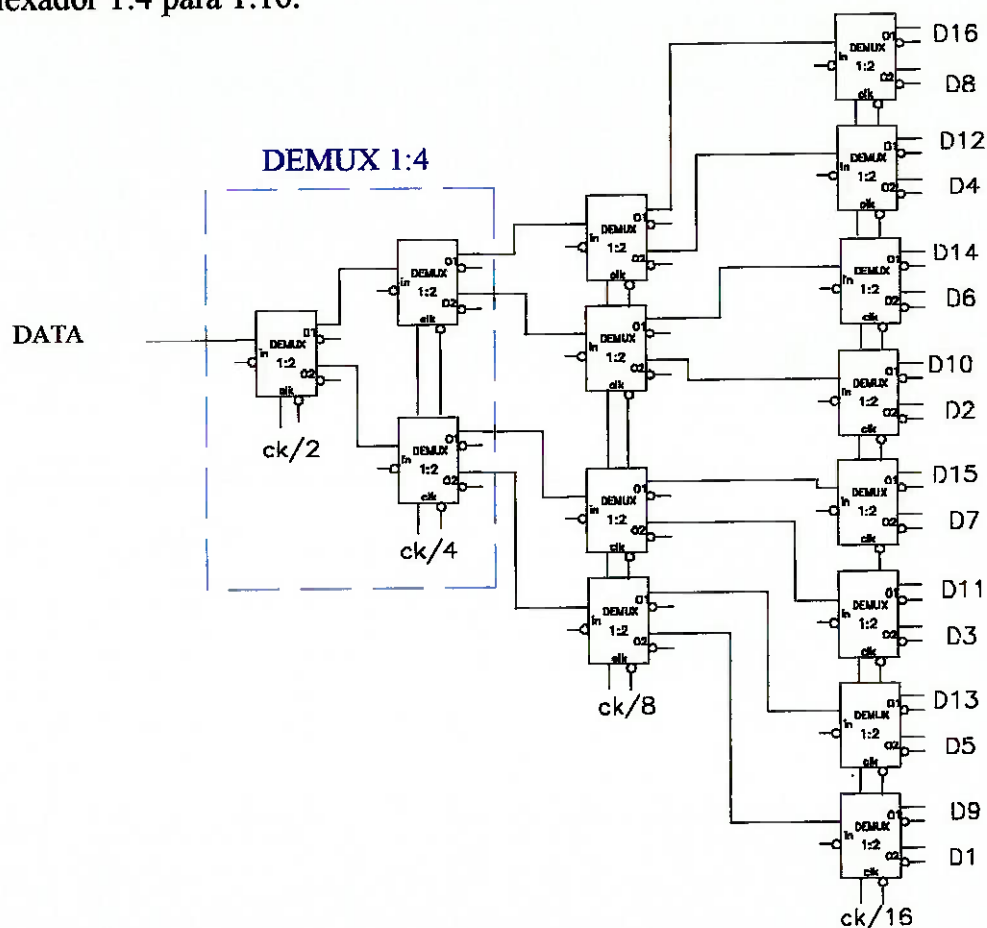


Figura 4.13 Expansão da ordem de $N=2$ para $N=4$ em um demultiplexador árvore com flip-flop tipo D/Tristage.

Como a taxa de operação a cada etapa de demultiplexagem decresce pelo fator de 2, deve-se otimizar a escolha dos flip-flop's tipo D e latch que compõem o Demux 1:2 em

4. Projeto do Demultiplexador

cada etapa, levando-se em conta o consumo de potência versus máxima taxa de relógio desses flip-flop's. O quadro 4.9 resume a escolha das composições de flip-flop tipo D e Latch para cada uma das 4 etapas, baseada nas células disponíveis na biblioteca QLSI-TriQuint. O cálculo da f_{toggle} segue a equação 4.9; a obtenção de C_{wire} nesta fase preliminar é estimada a partir da equação 4.8.

Deve-se notar ainda que os atraso de propagação ao longo dos blocos Demux1:2 nas 4 etapas de demultiplexagem deverão ser aproximadamente iguais aos respectivos atrasos dos divisores de relógio assíncronos para que na haja redução na margem de fase interna em nenhuma das etapas.

Quadro 4.9 Escolha das versões de células para o sub-bloco demultiplexador 1:4 e 1:16 considerando os parâmetros consumo de potência versus velocidade.

Etapa (N)	Latch			Flip-flop tipo D			$F_{nom.}$ [Mb/s] na etapa
	apelido	célula	$F_{máx}^a$ [Mb/s]	apelido	célula	$F_{máx}^a$ [Mb/s]	
1	FML	SMDDML	1486	FMD	SMDDFF	1271	1244
2	FML	SMDDML	1486	FPD	SPDDFF	1339	622
3	FSL	SSDDML	982	FSD	SSDDFF	773	311
4	FLL	SLDDML	725	FLD	SLDDFF	586/590 ^b	155
1	B70	SM10	1712				1244

(a) C_{wire} estimado equalizado = $25 (FO + 1)^{1,1}$ [fF]

(b) para C_{in} de I/O / Sel 2:1

Estima-se no quadro 4.10 a potência consumida e a área relativa ocupada prevista pelo sub-bloco Demultiplexador 1:4/1:16 a partir dos dados contidos no manual QLSI-TriQuint.

Quadro 4.10 Potência consumida e área relativa (u.a) para as células do circuito Demultiplexador 1:4 e 1:16

Apelido	Célula	Função	Quant.	Potência	Pot. Total	u.a	u.a.total
B70	SM10	Buffer	1	8	8	1	1
FLL	SLDDML	Latch	8	2	16	1	8
FSL	SSDDML	Latch	4	4	16	1	4
FML	SMDDML	Latch	3	8	24	1	3
FLD	SLDDFF	Flip-flop	16	4	64	2	32
FMD	SMDDFF	Flip-flop	2	16	32	2	4
FPD	SPDDFF	Flip-flop	4	12	48	2	8
FSD	SSDDFF	Flip-flop	8	8	64	2	16
Consumo de potência e Área Relativa para o DEMUX					272 mW		76

4.5.4 Projeto dos Divisores de Relógio

O circuito Divisores de Relógio emprega contador assíncrono tendo como elemento básico o flip-flop tipo D, para o primeiro divisor por 2, e o tipo Toggle nos demais divisores de relógio. Esses dois tipos de flip-flops são disponíveis na biblioteca QLSI-TriQuint em versões distintas de consumo de potência e velocidade. Para o Demultiplexador 1:16, deve-se usar quatro divisores por dois em cascata a fim de se obter as respectivas fases e taxas de relógio, $CK/2$, $CK/4$, $CK/8$ e $CK/16$, empregadas nas etapas de demultiplexagem da topologia tipo árvore. O mesmo circuito gera os sinais de relógio $CK/2$ e $CK/4$ empregados no modo de demultiplexagem 1:4. A saída do divisor por 4, $CK/4$, ou a saída do divisor por 16, $CK/16$, é conectada à saída de relógio (CKO , $NCKO$) mediante a seleção do modo Demultiplexador 4 ou modo Demultiplexador 16, a ser descrito mais adiante. A figura 4.14 apresenta a configuração dos divisores de relógio empregando células padrão QLSI-TriQuint. Deve-se observar que o segundo, terceiro e quarto estágios, que geram respectivamente os sinais $CK/4$, $CK/8$ e $CK/16$, empregam flip-flop tipo T da biblioteca. No entanto, devido a não disponibilidade de flip-flop's tipo T de alta velocidade na biblioteca, foi necessário adotar outro procedimento para se obter o primeiro divisor de relógio que deve operar em taxa de 2,5 Gb/s. Este divisor, contido no sub-bloco de SKIP, foi obtido empregando-se um flip-flop tipo D de alta potência, disponível na biblioteca, e minimizando as capacitâncias de carregamento do mesmo com o objetivo de maximizar a taxa de operação.

As fases relativas dos sinais de relógio obtidas nas saídas dos divisores estáticos são mostradas na figura 4.15. Bordas de descida na entrada de relógio, ck , tanto dos flip-flop's tipo Toggle quanto dos tipo D ocasionam mudança de estado nas saídas q e nq dos respectivos elementos de memória. Nesta condição, SEL1 e SEL2 assumem valor lógico "1" estando todos os divisores ativos. A mesma figura ilustra ainda a atuação do sinal de controle SKP sobre o segundo, terceiro e quarto divisor de relógio. Note-se que o alargamento de meio período do sinal de relógio $Ck/2_skp$, proveniente da atuação do circuito de Skip, será transferido às taxas mais baixas de relógio.

O quadro 4.11 apresenta a escolha da versão das células-padrão para o circuito Divisores de Relógio em função da minimização do consumo de potência. A coluna F_{max} apresenta a frequência máxima de operação estimada para a célula a partir da equação 4.9, para a pior condição de variação de processo e temperatura. Essa frequência foi calculada para duas condições: capacitância C_{wire} estimada pela equação 4.8 e C_{wire} reduzida a metade desse valor. Note-se que há pelo menos um ramo onde C_{wire} deve ser minimizado nas etapas de leiaute. Neste sub-bloco também aparece a limitação do processo tecnológico quando se analisa a máxima taxa de operação prevista do flip-flop tipo D, SJDDFFR, empregado no primeiro divisor por 2: 2,0 Gb/s, com C_{wire} minimizado. Note-se que para condições nominais de processo este flip-flop deverá operar como divisor por 2 até 3,0 GHz, atendendo à necessidade de projeto. No entanto, prevendo a

4. Projeto do Demultiplexador

degradação dessa taxa máxima devido a desvio de processo, um caminho alternativo para CKIN foi incorporado justamente para contornar tal limitação. A solução adotada será analisada no item 4.5.5.

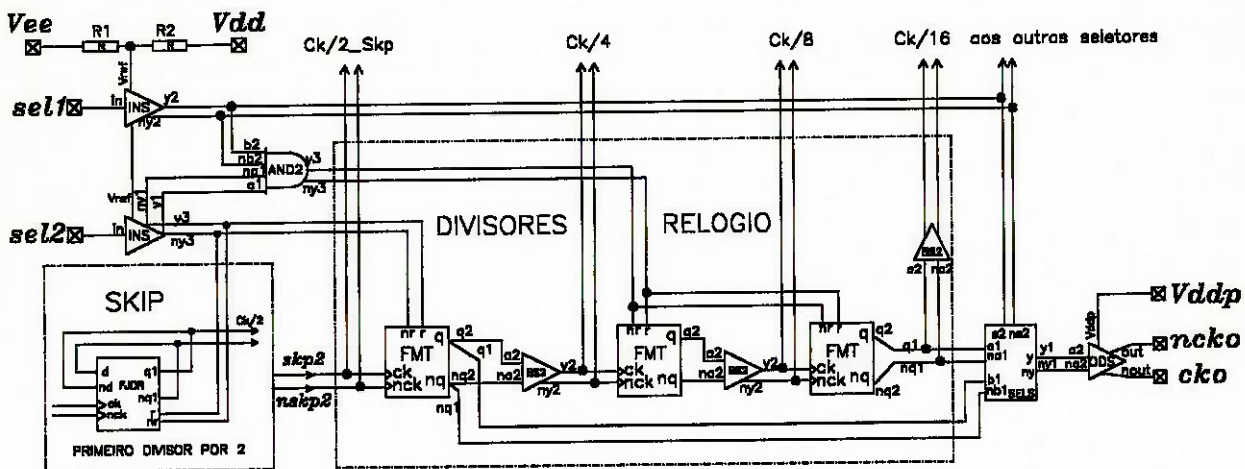


Figura 4.14 Divisores Estáticos de Relógio e parte do circuito de controle empregando células-padrão QLSI-TriQuint

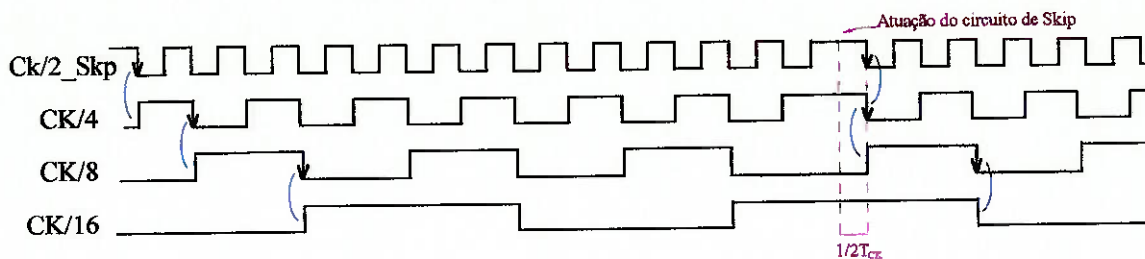


Figura 4.15 Carta de tempos ideal para os divisores estáticos de relógio

Quadro 4.11 Escolha das versões de células para o sub-bloco Divisor de Relógio considerando os parâmetros consumo de potência versus velocidade.

Etapa (N)	Divisor por 2 estático e Buffers		$F_{m\acute{a}x}^a$ [Mb/s]	F_{nom} [Mb/s] na etapa	Função
	apelido	célula			
1	FJDR	SJDDFFR	1840 / 2000 ^{b,c}	2488	1ª div. 2
2	FMT	SMTFFR	1177 / 1333 ^c	1244	2ª div. 2
3	FMT	SMTFFR	1359	622	3ª div. 2
4	FMT	SMTFFR	1177	311	4ª div. 2
2			2933	622	buffers para as fases de relógio
3	BS2	SMBUFL2	2308	311	
4			1202	155	

(a) C_{wire} estimado equalizado = $25 (FO + 1)^{1,1}$ [fF];

(b) limitação do processo tecnológico, já previsto;

(c) $C_{wire} / C_{wire}(50\%)$: minimizar C_{wire} na etapas de “placement” e roteamento.

O quadro 4.12 resume o consumo de potência e a área relativa ocupada pelo circuito divisores de relógio em função das células padrão escolhidas.

Quadro 4.12 Potência Consumida pelas células do Circuito Divisores de Relógio

Apelido	Célula	Função	Quant.	Pot.	Pot. Total	u.a.	u.a _{total}
FJDR	SJDDFFR	Flip-flop c/ reset	1	32	32	2	2
BS2	SMBUFL2	Buffer	3	24	72	1	3
FMT	SMTFFR	Flip-flop toggle	3	16	48	2	6
Consumo de Potência e Área Relativa - Divisor de Clock					152 mW		11

O quadro 4.13 apresenta os tempos de propagação intrínseco dos flip-flop tipo D empregados nos blocos Demux 1:2 com os atrasos dos flip-flop tipo T dos divisores de relógio assíncronos. Verifica-se que para a segunda, terceira e quarta etapas de demultiplexagem, o tempo de propagação intrínseco dos Demux 1:2 está equalizado ao atraso de propagação do respectivo divisor por 2. Já para a primeira etapa de demultiplexagem, obteve-se, como justificado anteriormente, máxima margem de fase empregando-se atrasos lógicos e físicos. Finalmente, associa-se no quadro 4.13 o menor período de dado nominal na etapa, mostrando que a influência do τ_{pd} sobre o margem de fase interna decresce ao longo das diversas etapas de demultiplexagem.

Quadro 4.13 Comparação entre os atrasos de propagação intrínseco dos flip-flop dos divisores e dos Demuxs 1:2.

ETAPA	$\tau_{pd}(\text{div}2)$	$\tau_{pd}(\text{D-m})$	menor T_{dado}
2	175 ps	154 ps	≈ 1600 ps
3		196 ps	≈ 3200 ps
4		210 ps	≈ 6400 ps
1	M. F. otimizada via atraso lógico + físico		

4.5.5 Projeto do Circuito de Seleção de Modo Demultiplexador 1:4/1:16 e do Circuito Desabilitador das Saídas

O circuito de seleção de modo demultiplexador 1:4 ou 1:16 atua no redirecionamento de parte dos dados demultiplexados na segunda ou quarta etapa para as saídas. Uma vez que a estrutura tipo árvore é expansível e repetitiva, obtém-se um demultiplexador de 1:16 pela simples expansão do Demultiplexador 1:4. Assim, no modo Demultiplexador 1:4 ($SEL1 = "0"$) as 4 saídas da segunda etapa de demultiplexagem de dados são redirecionadas para os terminais de saída através de quatro seletores 2:1, como esquematizado na figura 4.16. Adicionalmente, o sinal de controle $SEL1 = "0"$ inibe a transição de níveis das doze demais saídas, uma vez que a saída da porta AND2 impõe a

4. Projeto do Demultiplexador

condição de reset para o 3º e 4º divisor (Div 8 e 16), figura 4.14, estabelecendo a condição de ausência de transições lógicas para as saídas demultiplexadas. Concomitantemente, outro seletor 2:1 conecta o sinal de CLK/4 ao terminal de CKO. Já no modo Demultiplexador 1:16 (SEL1 = "1"), todas as 16 saídas estão habilitadas, através da atuação das fases de relógio, e o sinal de relógio dividido (CKO) está conectado ao último divisor de relógio que fornece o sinal na taxa de CK/16.

Além da seleção de modo Demultiplexador 1:4/1:16, existe o sinal de controle desabilitador da função Demultiplexador, SEL2. Mantendo-se esta entrada de controle em nível lógico "0", inibe-se as transições de níveis em todas as 16 saídas de dados (D1 a D16), pois SEL2 = "0" impõe condição de reset em todos os 4 divisores por dois assíncronos. Assim, o sinal de saída de relógio dividido, CKO, permanecerá em nível lógico "0", reduzindo o problema de crosstalk nos circuitos subsequentes.

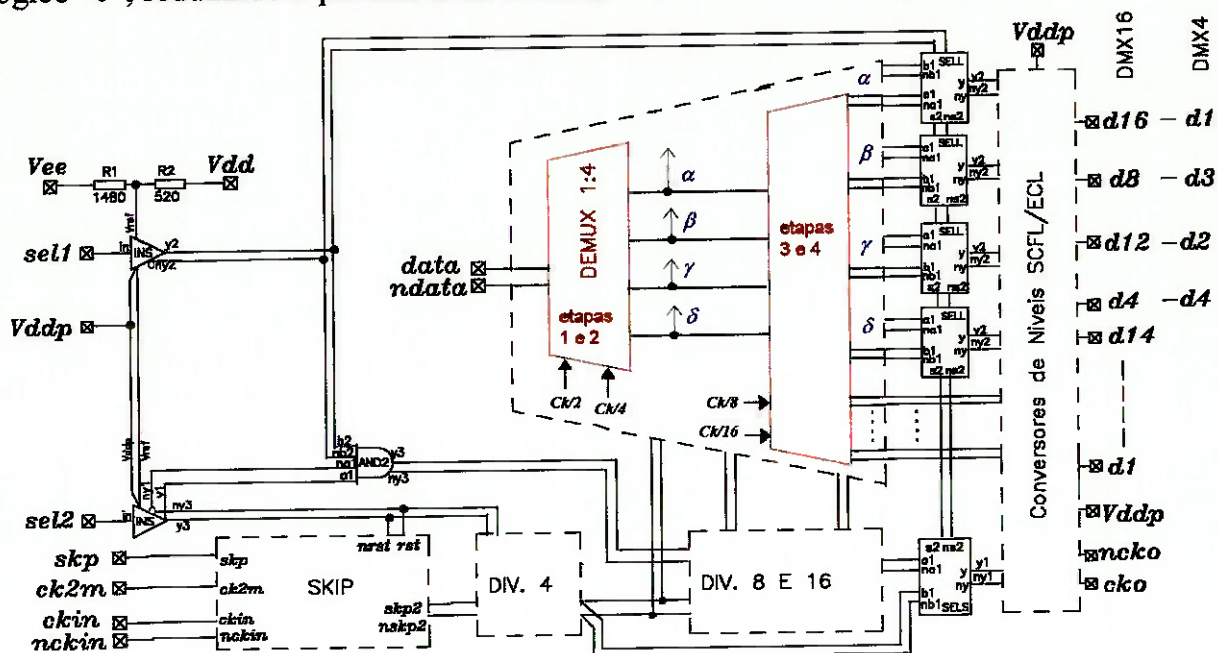


Figura 4.17 Diagrama de blocos do demultiplexador enfatizando o circuito de Seleção de Modo 1:4/1:16 e o circuito Desabilitador de Saídas

A figura 4.17 apresenta uma carta de tempo que ilustra a atuação do circuito de Seleção de Modo 1:4 e 1:16 combinado com a atuação do circuito Desabilitador das Saídas. Vale salientar que em condições normais de uso, a escolha do modo de demultiplexagem é feita apenas uma única vez, por ocasião da inserção do circuito demultiplexador no sistema de recepção óptica, sendo esta escolha de modo configurado por hardware. No entanto, faz-se aqui uma breve descrição do comportamento dos sinais de saída em função da atuação dos sinais de controle, SEL1 e SEL2. Inicialmente, as entradas de sinais de controle do modo de demultiplexagem, SEL1, e o desabilitador de saída, SEL2, estão ambas em nível lógico "1", e portanto a função Demultiplexador está ativada e o modo de demultiplexagem 1:16 está selecionado. Assim, todas as 16 saídas de dados estão habilitadas e o terminal de relógio de saída, CKO, está conectado ao sinal de

relógio dividido por 16, CK/16. A partir do instante em que for selecionado o outro modo de demultiplexagem, Demultiplexador 1:4 (SEL1 = "0"), apenas 4 das 16 saídas permanecem ativas, como indicado na figura 4.17. As demais permanecerão estáveis com valor do último nível lógico válido antes da atuação do sinal de controle SEL1 em t_A . Note que, agora, o sinal de relógio de saída está conectado internamente ao sinal de relógio dividido por 4.

Observe-se ainda, na mesma figura, que o sinal de relógio de saída, CKO, e o conjunto de bits de dados de saída, D1 a D16, estão todos alinhados no tempo. Note-se que a borda de subida do sinal de relógio de saída deve coincidir com o centro da duração dos sinais de dados de saída, caracterizando uma fase relativa de 180° entre dados e relógio. Finalmente, a atuação do sinal desabilitador da função demultiplexador, SEL2 = "0", em t_B , ocasionará ausência de transições em todos sinais de dados de saída, mantendo-os estáveis com o último nível lógico válido antes da atuação do sinal de controle SEL2. Para o sinal de relógio de saída, SEL2 = "0" funciona como um "reset". O sinal CKO manter-se-á em nível lógico "0" enquanto SEL2 permanecer em "0".

O quadro 4.14 resume a avaliação da máxima taxa de operação para as células padrão escolhidas para o sub-bloco Seletor de Modo e Desabilitador de Saída. Já o quadro 4.15, estima o consumo de potência e área relativa empregados nos sub-blocos mencionado.

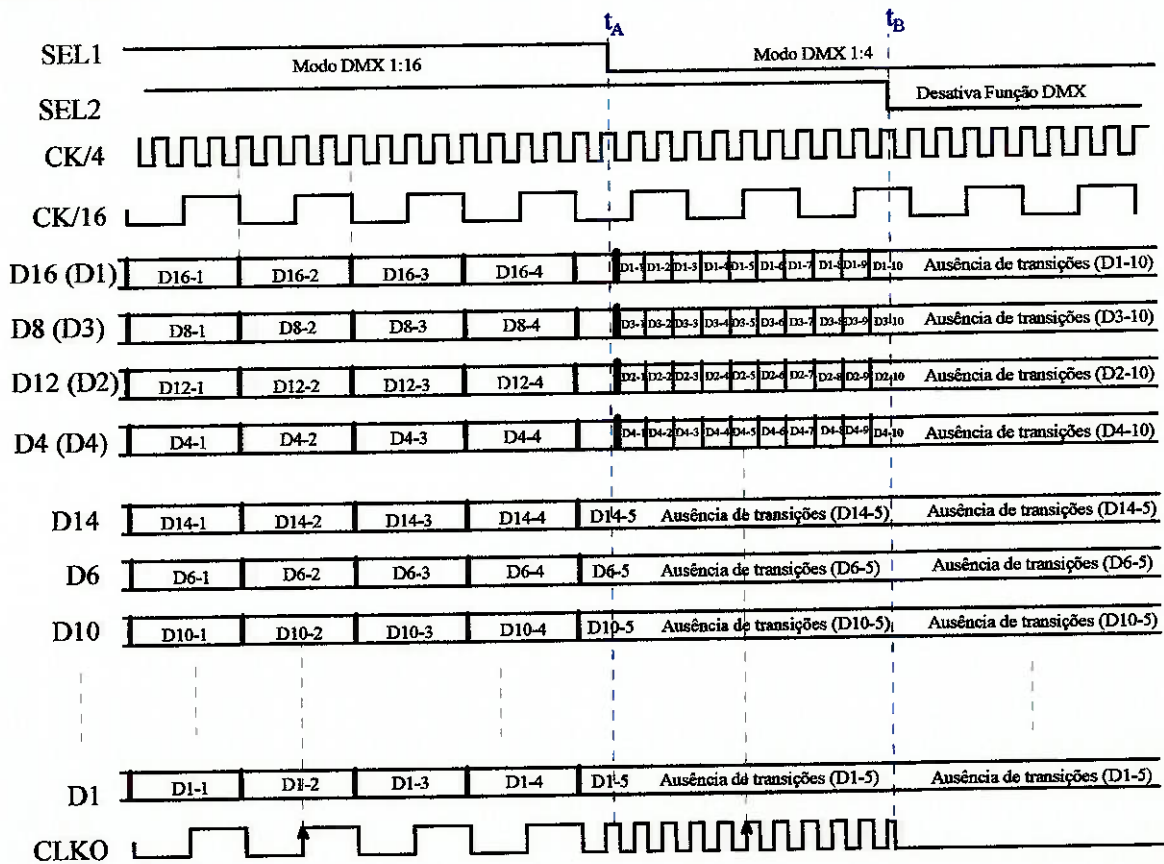


Figura 4.17 Carta de tempos ideal: Seleção de Modo 1:4/1:16 e Desabilitador de Saídas do demultiplexador

Quadro 4.14 Escolha das versões de células para o circuito de Seleção de Modo 1:4/1:16 e Desabilitador de Saídas considerando parâmetros consumo de potência versus velocidade.

Etapa (N)	Seletor de Modo + Desabil. Saída			F_{nom} [Mb/s] nas etapas
	apelido	nome	$F_{m\acute{a}x}^a$ [Mb/s]	
controle	AND2	SM01	113 ^c	baixa taxa ^b
4	FMT	SMTFFR	778	155
4	FMT	SMTFFR	941	155

(a) C_{wire} estimado equalizado = $25 (FO + 1)^{1,1}$ [fF];

(b) sinal de controle assíncrono com taxa de alguns Mb/s;

(c) embora aqui a porta não esteja alimentando a entrada de relógio de um flip flop, adotou-se $Loading\ Delay_{max} = 300ps$.

Quadro 4.15 Potência Consumida e área relativa das células de Seleção de Modo 1:4/1:16 e Desabilitador de Saídas

Apelido	TriQuint	Função	Quant.	Potência	Pot. Total	u.a.	u.a _{total}
AND2	SM01	And	1	8	8	1	1
SELL	SL2MUX	Mux 2:1	4	2	8	1	4
SELS	SS2MUX	Mux 2:1	1	4	4	1	1
Consumo de Potência e Área Relativa - Células de Seleção de Modo + Desabilitador de Saídas					20 mW		6

4.5.6 Projeto do Circuito de Skip Série empregando Seletor 2:1 Modificado

Representa-se na figura 4.18 o diagrama esquemático do circuito de Skip modificado empregando células-padrão QLSI-TriQuint e sua respectiva carta de tempos está mostrada na figura 4.19. O primeiro divisor estático por 2 foi realizado empregando-se o flip-flop tipo D de mais alta potência e velocidade, disponível na biblioteca QLSI-TriQuint.

O circuito de Skip é sensível a mudanças de níveis lógicos do sinal de controle assíncrono SKP. Este sinal é então sincronizado pelo sinal $Ck/2$ empregando-se um flip-flop tipo D, após o que atua na entrada de seleção, s , do seletor SELM, conectando ou $ck/2_dly$ ou seu complemento, $nck/2_dly$, à saída do seletor. A fase relativa entre o sinal de relógio, $Ck/2$, ramos D1, D2, e o sinal de controle de Skip, skp_sync , ramo B, foi cuidadosamente ajustada durante as etapas de projeto do circuito, empregando-se atrasado lógico e físico. Como resultado, metade do ciclo do sinal presente na saída do seletor, $skp2$, é omitido, ou, equivalentemente, o sinal de saída sofre rotação de 180° , toda vez que o sinal de controle de entrada SKP muda de nível lógico "1" → "0" ou de

“0”→ “1”, como pode ser visto na figura 4.19. Obteve-se na fase de simulação lógica redução significativa na largura e amplitude do “spikes”: 30ps e 4%, respectivamente. O ajuste da fase relativa, entre o sinal $ck/2$ e skp_sync , foi obtido empregando-se dois “buffers” em cascata. Complementarmente, ajustou-se, ao nível de leiaute, o comprimento das conexões metálicas associadas aos dois ramos de entrada do segundo seletor 1:2 de saída, SELM. Através da avaliação das capacitâncias de conexão desses ramos nas etapas de leiaute e ressimulação pós-leiaute foi possível controlar o tempo de propagação dos sinais naqueles dois ramos obtendo-se a condição de operação projetada. Note-se que o ajuste desta fase relativa deve também levar em conta a diferença no tempo de propagação intrínseco dos sinais de entrada $a1$ e $b1$ em relação ao sinal de controle no seletor SELM, $s2$, respectivamente, $\tau_{pd} = 78$ ps e 138 ps, como pode ser visto no Apêndice A4.2 (célula SM2MUX).

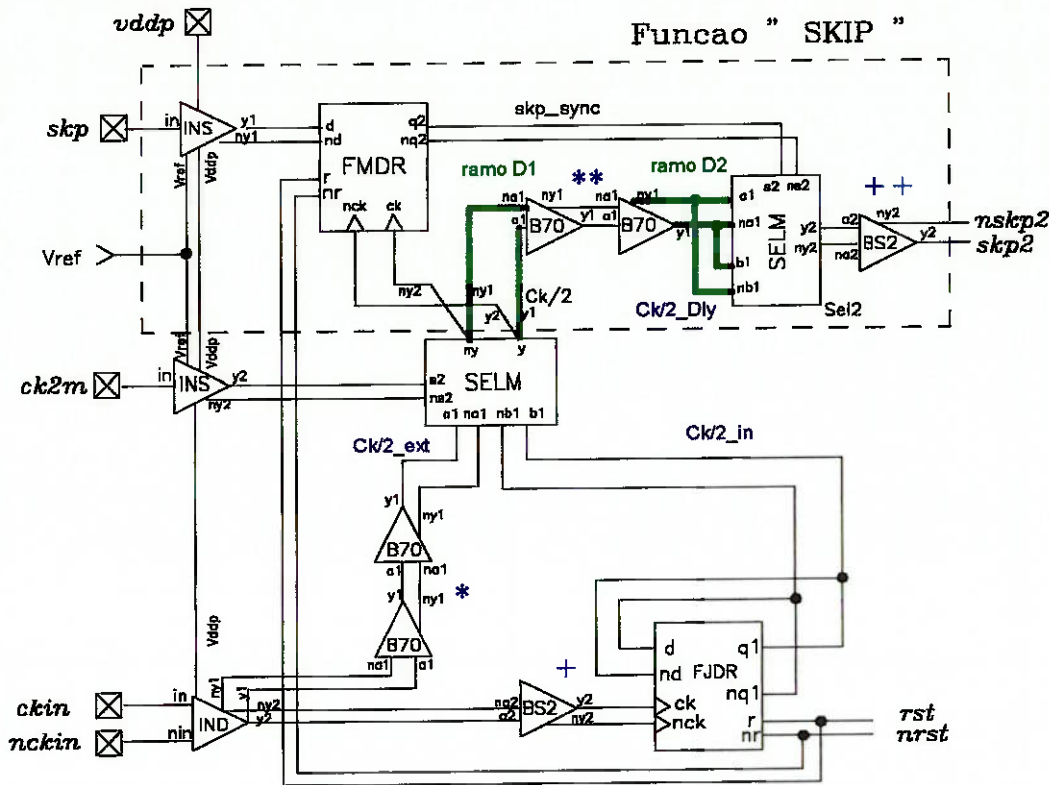


Figura 4.18 Diagrama esquemático do circuito de SKIP e parte do circuito de Controle (CK2M) empregando células-padrão TriQuint

O quadro 4.16 apresenta as frequências máximas estimadas para as células do circuito de Skip e parte do circuito de Controle. O flip-flop tipo D com reset, FJDR, faz parte do circuito Divisores de Relógio e foi anteriormente analisado. Note-se que todas as células operam com boa margem de segurança, para condições críticas de variação de processo.

Finalmente, o quadro 4.17 resume o consumo de potência e a área relativa necessários ao circuito de Skip e parte do circuito de controle.

4. Projeto do Demultiplexador

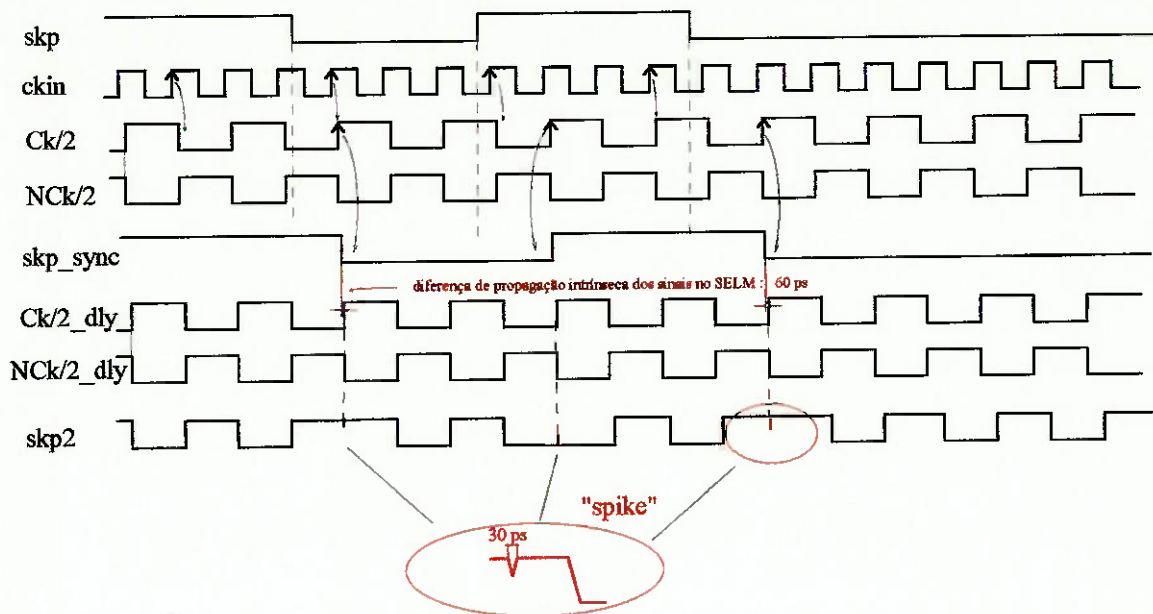


Figura 4.19 Carta de tempos para o circuito de SKIP modificado apresentando em detalhe a ocorrência de “spikes”, empregando-se células-padrão TriQuint

Quadro 4.16 Escolha das versões de células para o circuito de SKIP e parte do circuito de Controle considerando os parâmetros potência versus velocidade.

Etapa (N)	SKIP + parte do CONTROLE			F _{in} [Mb/s]
	apelido	nome	F _{máx} ^a [Mb/s]	
1(*) (**)	B70	SM10	2325	1244
			1711	1244
1(+) (++)	BS2	SMBUFL2	7641	2488
			4276	1244
1	SELM	SM2MUX	2247	1244
1	FMDR	SMDDFFR	1453	1244

(a) C_{wire} estimado equalizado = $25 (FO + 1)^{1,1}$ [fF]

Quadro 4.17 Consumo de potência e Área Relativa das células de Skip e parte do Controle

Apelido	TriQuint	Função	Quant	Pot.	Pot. Total	u.a.	u.a _{total}
B70	SM10	Buffer	4	8	32	1	4
BS2	SMBUFL2	Buffer	2	24	48	1	2
SELM	SM2MUX	Mux 2:1	2	8	16	1	2
FMDR	SMDDFFR	Flip-flop c/ rst	1	16	16	2	2
Consumo de Potência e Área Relativa - Células de SKIP + parte do CONTROLE					112 mW		10

4.5.7 Projeto do Circuito Habilitador do Modo de Relógio CK/2

Último sub-bloco a ser considerado, o circuito habilitador do modo de relógio CK/2 permite alimentar a entrada de relógio do demultiplexador alternativamente com o sinal de relógio normal, CK, ou com o sinal de relógio dividido por 2, CK/2.

Essa opção foi incorporada ao demultiplexador a fim de se estabelecer um caminho alternativo de teste de funcionamento geral do circuito para a taxa de 2,5 Gb/s, caso o primeiro divisor de relógio não respondesse a essa taxa. Deve-se lembrar que as células padrão QLSI-TriQuint tem operação garantida até 2,0 Gb/s, fato este que pode comprometer o funcionamento do divisor de relógio que gera o sinal de CK/2. Deve-se destacar ainda que a opção de alimentar o demultiplexador diretamente com o sinal de relógio na taxa CK/2 só é possível devido ao sinal de entrada de dados ser do tipo NRZ. Desta forma, a maior taxa de relógio utilizada nas etapas de demultiplexagem é de 1,244 Gb/s. Na figura 4.20 está esquematizado o circuito de seleção de modo para o sinal de relógio, contido no sub-bloco SKIP. Este circuito é constituído pelo seletor 2:1 (SELM) que permite a seleção do sinal de relógio dividido por 2, interna ou externamente ao demultiplexador, através do sinal de controle CK2M. Dois "buffers" atrasadores são incluídos com o propósito de prover um tempo de percurso para o sinal de relógio de entrada na taxa de CK/2 (CK2M = "1") bastante próximo ao tempo de atraso do sinal no outro ramo de entrada do seletor 2:1, quando se considera taxa de relógio de entrada igual a CK.

Finalmente, analisa-se na figura 4.21 o comportamento do sinal de CK/2 na saída do Seletor 2:1 face às mudanças do sinal de controle de modo, CK2M, e do sinal de reset, derivado do sinal de controle de entrada, SEL2. Assim, quando o sinal de controle CK2M = "0", estando o demultiplexador habilitado (SEL2 = "1"), seleciona-se o modo de relógio de entrada normal, i.e., com taxa de CK. Neste modo, está sendo gerado internamente o sinal de relógio de taxa CK/2. Já no outro modo, sinal de controle CK2M = "1", seleciona-se diretamente do terminal de relógio de entrada (CKIN, NCKIN), o sinal de relógio que deve ter taxa igual a CK/2. Notar que se o demultiplexador for desabilitado (SEL2 = "0"), o sinal de CK/2 interno ao circuito de Skip será "resetado" se o modo de seleção de relógio for normal, CK2M = "0". Para o outro caso, não será imposto a condição de "reset".

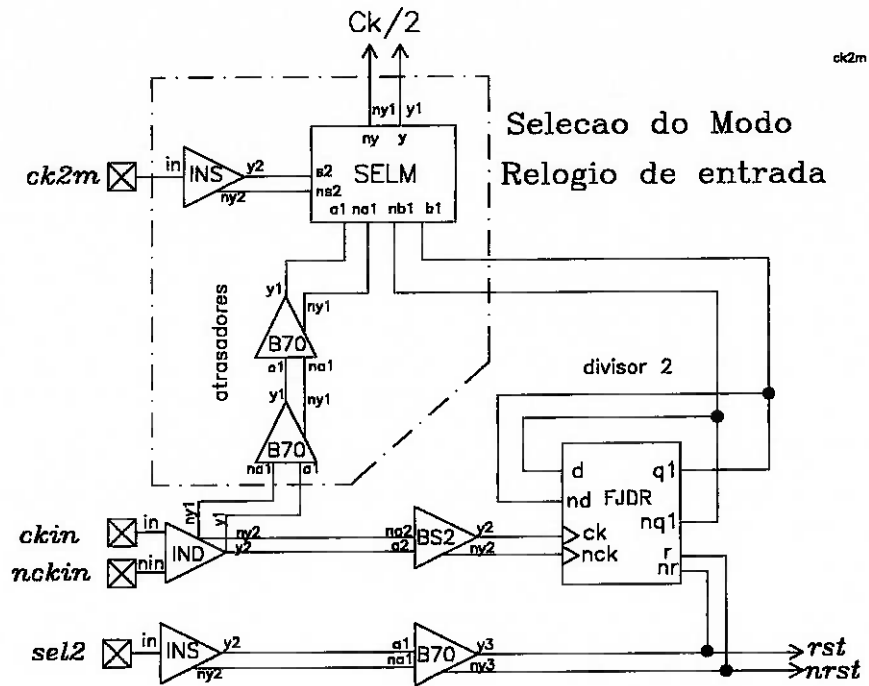


Figura 4.20 Circuito de seleção de modo para o sinal de relógio de entrada

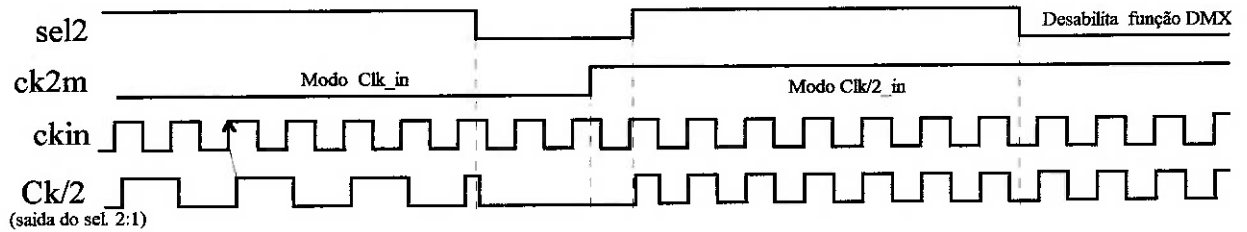


Figura 4.22 Carta de tempo idealizada para o modo de seleção de relógio de entrada.

Pode-se ver na figuras 4.22 o diagrama esquemático completo do demultiplexador integrando o circuito de Skip, empregando-se células padrão QLSI-TriQuint. O conteúdo do bloco Skip já foi apresentado na figura 4.18.

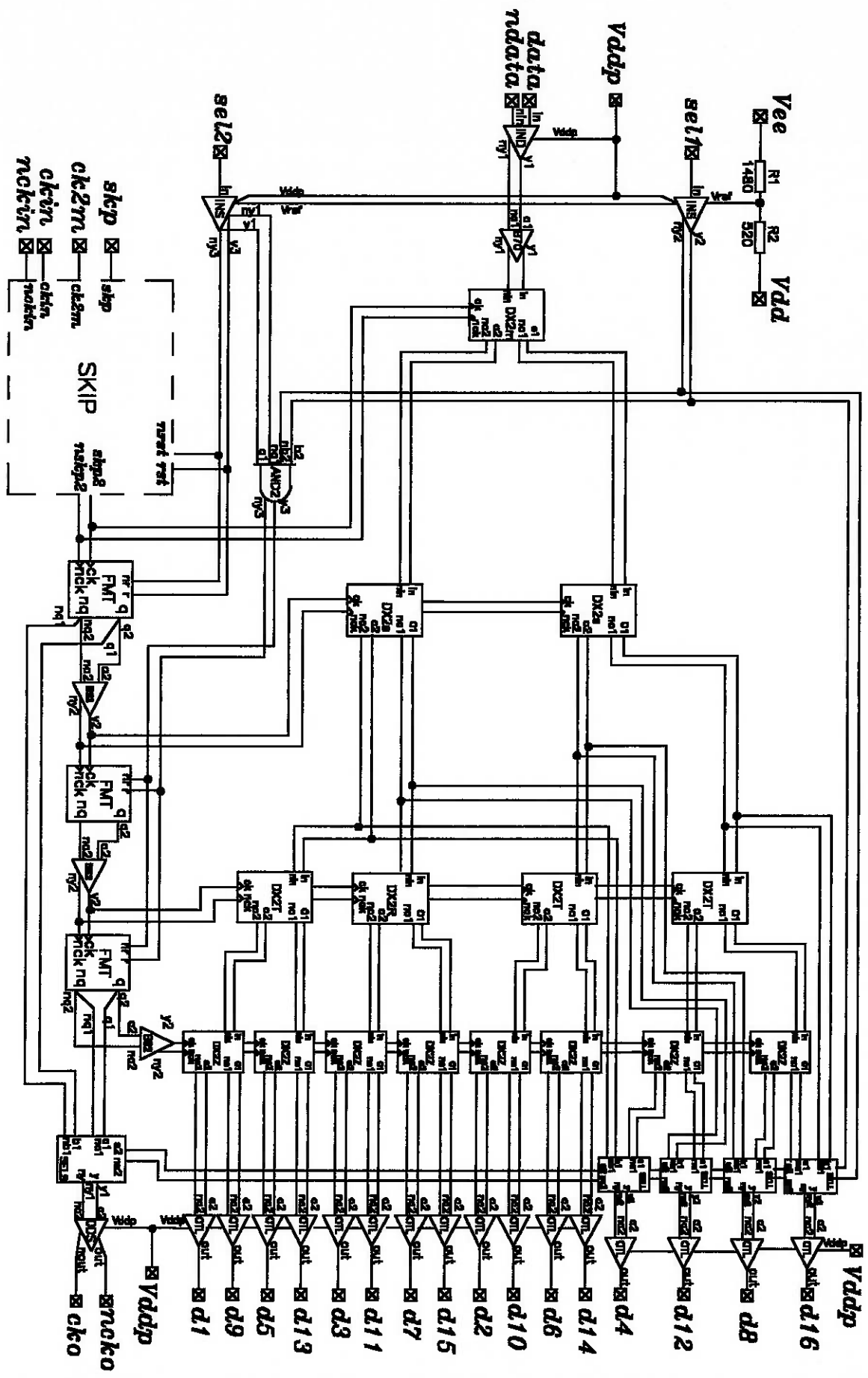


Figura 4.22 Diagrama esquemático completo do demultiplexador empregando células padrão QLSI-TriQuit

4. Projeto do Demultiplexador

Resume-se no quadro 4.18 a escolha e frequência máxima de operação estimada para as células padrão de entrada/saída empregadas no demultiplexador. Observe que a célula de entrada/saída IMES2, associada aos sinais de relógio de entrada, CKIN e NCKIN, deve ter suas conexões de saída minimizadas a fim de atingir a taxa de operação para o relógio de entrada, 2,488 Gb/s.

Já o quadro 4.19 resume o consumo de potência e área relativa para as células de entrada/saída e para os resistores de polarização que geram, internamente, a partir da tensão de alimentação V_{DD} , a tensão de referência para as células de entrada do tipo "single", $V_{REF} = -1,3$ V. Como estes resistores apresentam área reduzida em relação a uma célula, desprezou-se a contribuição desta área no cômputo geral das áreas relativas. Parte considerável da potência das células de I/O de saída é dissipada pelo resistor de carga, R_{load} , de 50Ω , conectado para $V_{TT} = -2,0$ V, como especificado no manual QLSI e reproduzido no apêndice A4.2. A potência média dissipada no resistor, $\overline{P_{Rload}}$, pode ser estimada tendo como hipótese um sinal de saída com níveis de tensão ECL e ciclo ativo de 50%, ilustrado na figura 4.23. Assim, tem-se:

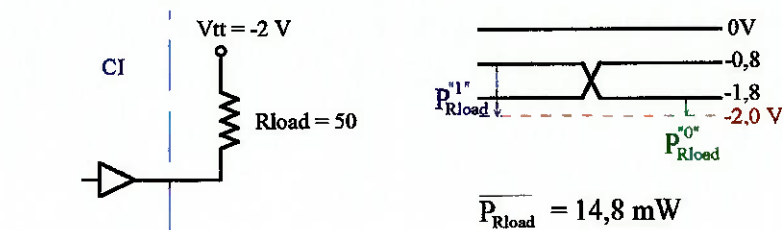


Figura 4.23 Estimativa da potência média dissipada no resistor de carga, R_{load} , para as células de I/O de saída

Sintetiza-se nos quadros 4.20 a potência total consumida e área relativa das células internas e de entrada/saída e o número de células padrão empregadas no CI projetado. Notar que as células de I/O respondem por mais da metade da potência total consumida pelo circuito.

Quadro 4.18 Escolha das versões de células de Entrada/Saída considerando os parâmetros consumo de potência versus velocidade.

Etapa (N)	Células de I/O			F_{in} [Mb/s] nas etapas
	apelido	célula	$F_{m\acute{a}x}^a$ [Mb/s]	
1	INS	IMES1	-	baixa taxa ^b
1	IND	IMES2	2100 ^c , 2621	2488, 1244
4	OTL	OLSE1	300 ^d	155
4	ODL	OLSE2	300 ^d	155

(a) C_{wire} estimado equalizado = $25 (FO + 1)^{1,1}$ [fF] (b) sinal de controle assíncrono c/ alguns Mb/s

(c) minimizar C_{wire} na etapa de leiaute

(d) @ $R_{load} = 50\Omega$ para -2V; $C_{load} = 1pF$

Quadro 4.19 Potência consumida pelas células de I/O e circuito de polarização

Apelido	Célula	Função	Quantidade	Pot.	Pot. Total	N° I/O _{total}
IND	IMES2	I/O de entrada	2	24	48	
INS	IMES1	I/O de entrada	4	24	96	
OTL	OLSE1	I/O de saída	16	40	640	
ODL	OLSE2	I/O de saída	1	64	64	
R1; R2	RNL5	Polariz. (Vref)	1; 1	13,5	13,5	
Potência e Área Relativa das Células de I/O + Polarização					861,5 mW	23

Quadro 4.20 Potência consumida estimada, área relativa e número de células padrão utilizados no demultiplexador

Consumo e área relativa das Células de I/O + Polarização	861,5 mW	23 I/O	23 cél. I/O
Consumo e área relativa do SKIP + parte do CONTROLE	112,0 mW	10 u.a.	9
Consumo e área relativa do Sel de Modo + Desabilitador de Saída	20,0 mW	6 u.a.	6
Consumo e área relativa do Divisor de Relógio	152,0 mW	11 u.a.	7
Consumo e área relativa do DEMUX 1:4 e 1:16	272,0 mW	76 u.a.	46
Total para Potência Consumida, Área Relativa e Células Internas	1417,5 mW	103 u.a.	68 cél inter.

Como mostrado no quadro 4.20, foram necessários 68 células internas e 23 células de entrada/saída, sendo que a área relativa ocupada pelas células internas foi de 103 u.a. Considerando que uma célula SCFL do tipo AND/NAND, LATCH, ou uma outra célula interna de área relativa igual 1 u.a., emprega em média 17 transistores, pode-se estimar o número total de transistores utilizados nas células internas do demultiplexador em torno de 1750 transistores.

4.5.8 Avaliação da Área necessária

Uma vez definidas as células padrão QLSI-TriQuint a serem utilizadas no demultiplexador, foi realizado um estudo preliminar da área a ser ocupada pelo circuito, a partir de arranjos das células considerando minimização de interconexões nos caminhos críticos e restrições de localização dos terminais. A determinação preliminar da área a ser ocupada pelo CI teve as seguintes finalidades:

- determinar qual das opções de área de chip oferecidas pela foundry no processamento multiusuário PCO-QED/A a ser empregada. As opções de área de “die” são três: $(1,5 \text{ mm})^2$, $(3,0 \text{ mm})^2$ ou $(3,8 \text{ mm})^2$;
- avaliar limites impostos pelo QLSI SC Design Manual para máxima dissipação de

potência \times tamanho do "die", baseado na temperatura de corpo do mesmo. Obtém-se, a partir do apêndice A4.1.b, o quadro 4.21 para a máxima dissipação de potência, tal que a temperatura de pico na região do canal do transistor não ultrapasse 150 °C, considerando-se as cápsulas disponíveis.

- adequar a área estimada de "die" às cápsulas de alta frequência disponíveis no processo multi-usuário da TriQuint. Notar que a numeração das cápsulas, no quadro 4.21, indica o número de pinos / número de sinais

Quadro 4.21 Máxima dissipação de potência versus tamanho do "die" e correspondentes cápsulas de alta frequência disponíveis

Área de Chip Disponível	Máx. Dissipação, @ "die"		Cápsula compatível Disponível	
	T _{case} = 25°C	T _{case} = 85°C	designação	área máx. de "die"
(1,5 mm) ²	~ 0,9 W	~ 1,2 W	MLC44/24	(2,0 mm) ²
(3,0 mm) ²	2,1 W	4,7W	MLC68/40	(3,0 mm) ²
(3,8 mm) ²	3,2W	6,2W	MLC132/64	(4,0 mm) ²

Apresenta-se na figura 4.24 um arranjo preliminar em escala de todas as células empregadas no projeto, considerando área de (3,0 mm)², a fim de se obter uma previsão da área necessária à construção do demultiplexador. Neste esboço, tentou-se distribuir as células o mais regularmente possível ao longo da área de chip, respeitando as restrições de posicionamento dos terminais e os caminhos dos sinais de alta velocidade. Por exemplo, o bloco do circuito de Skip foi disposto bastante próximo do terminal de CKIN. Já as células divisoras por 2 foram posicionadas no centro e ao longo do chip até a saída de CKO, objetivando-se simetria na distribuição dos sinais de relógio. Complementarmente, outros estudos de "floorplanning" indicaram a impossibilidade de utilização da área imediatamente inferior disponível para o processamento na foundry, (1,5 mm)², para acomodar todas as células padrão empregadas no demultiplexador. Assim, pelo critério de esboço de "floorplanning" em escala constatou-se que o demultiplexador poderia ser acomodado na área de (3,0 mm)², disponível no processamento multiusuário PCO-QED/A da TriQuint.

Alternativamente, tomando-se os totais de unidades de área relativa ou o número de células de I/O contabilizados nos itens 4.5.2 a 4.5.6, obtém-se a partir do apêndice A4.1.a uma estimativa da área total ocupada pelo demultiplexador, sintetizado no quadro 4.22. O gráfico do apêndice A4.1.a mostra que a área mínima do CI para acomodar 23 células de I/O, justapostas nas quatro laterais do "die", é de (2,03 mm)², no caso do circuito ser "pad limited". No entanto, considerando agora a área relativa ocupada pelas células internas do demultiplexador, o mesmo gráfico estima uma área mínima para o CI de (2,78 mm)². Evidentemente, a área final ocupada pelas células internas e de I/O

dependerá da densidade das interconexões e da regularidade do leiaute.

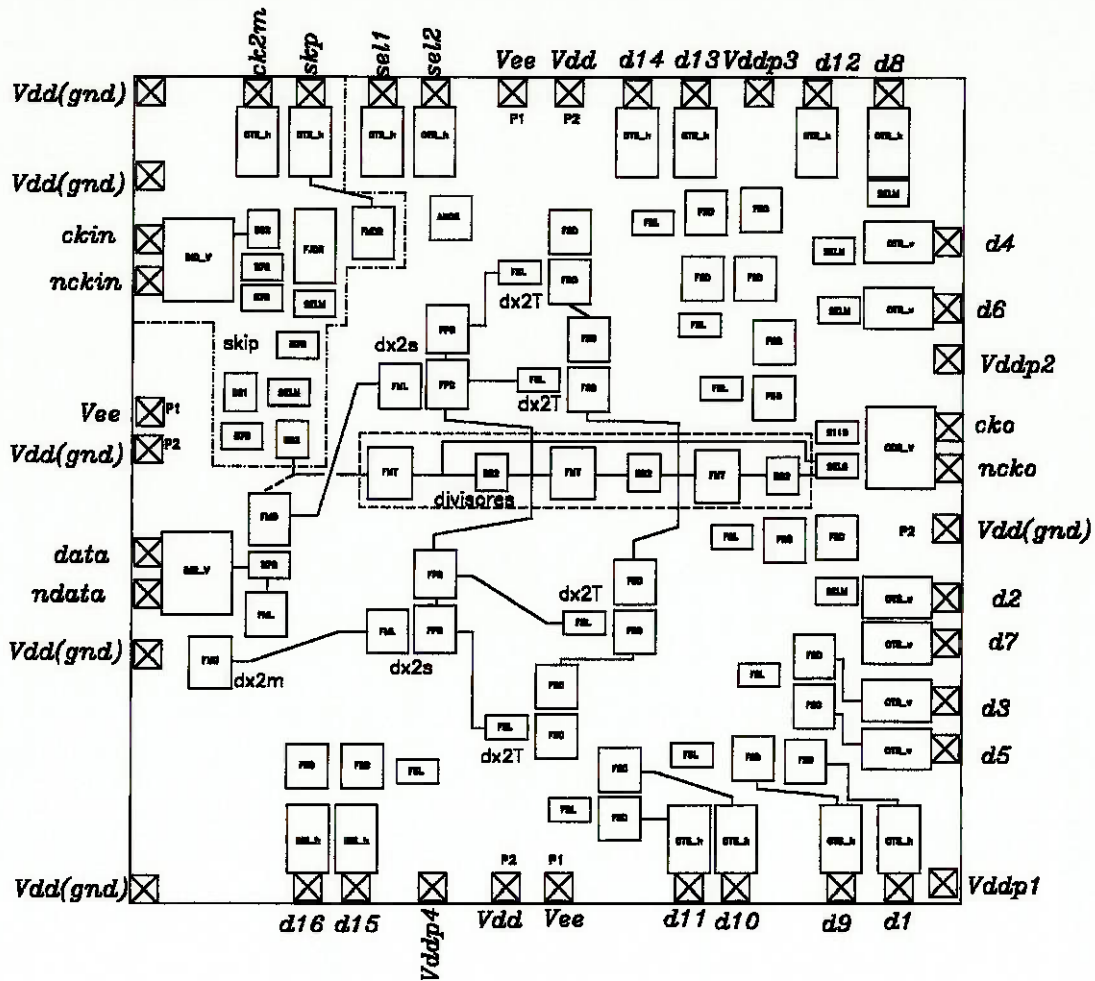
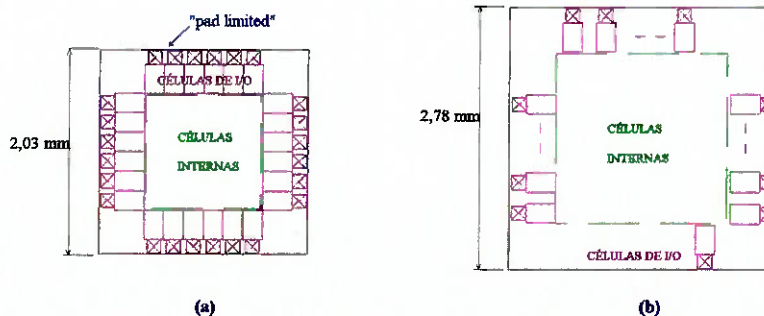


Figura 4.24 "Floorplanning" do demultiplexador projetado. Viabilidade de leiaute considerando área de $(3,0 \text{ mm})^2$. Cápsula a ser usada: MLC68/40.

Quadro 4.22 Estimativa da área do chip a partir da área relativa das células internas ou do número de células de entrada/saída.

Células	Unidade de área relativa	Tamanho do "die" mínimo
Entrada e saída	23 I/O	2,03 mm ^(a)
Internas	103 u.a.	2,78 mm ^(b)
Área Total do "Die" Estimada		≥ (2,78 mm)²



Considerando-se a área para processamento multi-usuário imediatamente superior

disponível na TriQuint, quadro 4.21, concluiu-se preliminarmente, também por este critério, pela viabilidade de se construir o circuito demultiplexador utilizando área de $(3,0 \text{ mm})^2$.

Como visto anteriormente, o manual QLSI-TriQuint especifica a máxima potência dissipada permitida em um CI em função da área do mesmo, baseado na temperatura de encapsulamento, assumindo-se temperatura máxima de canal de 150°C e cápsulas padrão, apêndice A4.1.b. Assim, para a área preliminarmente avaliada para a ocupação do demultiplexador, $(3 \text{ mm})^2$, a referida figura aponta os limites de aproximadamente $2,1\text{W}$, $@T_{\text{case}} = 125^\circ\text{C}$, ou $4,7\text{W}$, $@T_{\text{case}} = 85^\circ\text{C}$. Portanto, a potência total consumida pelo demultiplexador, avaliada em $1,42\text{W}$, quadro 4.20, está abaixo dos limites estabelecidos pela foundry.

Finalmente, na figura 4.25 apresenta-se o diagrama dos pad's de entrada e saída do demultiplexador. Tal disposição foi definida visando a inserção do circuito em um módulo multichip em desenvolvimento, o qual contém um receptor de comunicação óptica e subsistemas de processamento do sinal digital de alta velocidade. Além desta restrição, seguiu-se o critério de posicionar as células que são alimentadas com sinais de alta taxa o mais próximo possível dos pad's de entrada. Em relação ao posicionamento dos pinos de alimentação também foram seguidas orientações propostas no manual QED/A da TriQuint a fim de viabilizar a montagem do chip em alguma das cápsulas disponíveis na foundry, particularmente a cápsula MLC68/40.

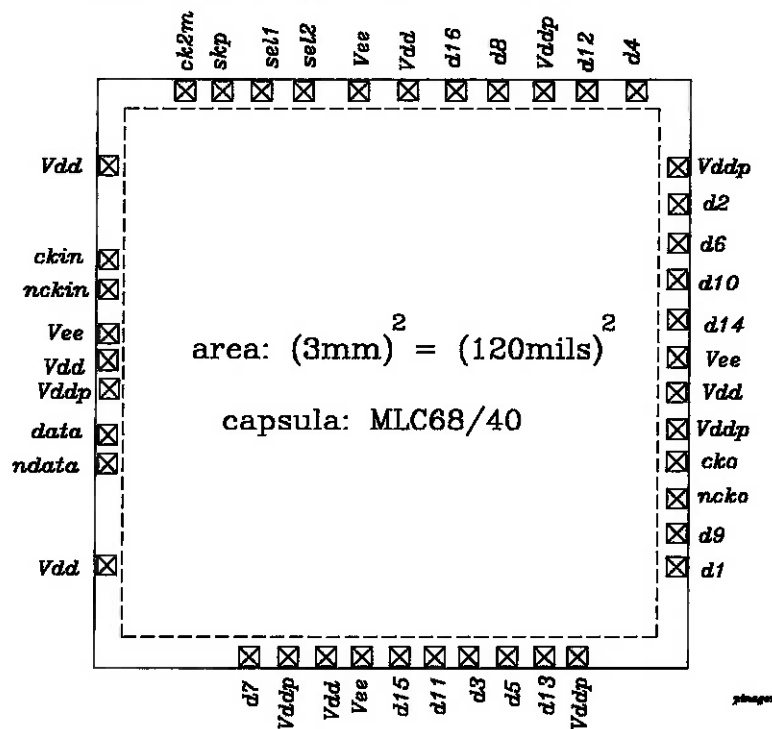


Figura 4.25 Diagrama dos pad's de entrada e saída do demultiplexador.

4.6 SIMULAÇÕES LÓGICAS

As considerações apresentadas no ítem 4.5.1 e 4.5.2 foram utilizadas na seleção das células padrão empregadas na implementação do demultiplexador e do circuito de Skip. O desempenho do circuito foi então simulado e otimizado através do simulador lógico Lsim, integrante do software de projetos de CI's digitais GDT-V.5.2, Mentor Graphics.

A simulação de circuitos digitais de alta velocidade é usualmente feita em duas etapas. A primeira fase é denominada “pré-back-annotation”, e a segunda, frequentemente, é denominada simulação pós-leiaute ou “back-annotation”. Na primeira etapa, o circuito é simulado antes de se ter informações a respeito do leiaute. No entanto, as capacitâncias parasitárias de interconexão que surgem a partir das interconexões metálicas não podem ser negligenciadas em alta velocidade, sendo estimada a partir de fórmulas apropriadas, como aquela apresentada na equação 4.8. Adicionalmente, supõe-se que as conexões de sinal e sinal-complementar, em projetos que empreguem famílias lógicas diferenciais, possuam o mesmo carregamento capacitivo (C_{wire} equalizados).

A simulação preliminar permite ao projetista verificar a funcionalidade da arquitetura do circuito e avaliar seu desempenho global quanto à taxa de operação máxima. Durante esta fase, foram implementadas descrições funcionais para cada célula padrão empregada no demultiplexador, considerando-se as magnitudes dos parâmetros que descrevem o atraso básico e de carregamento associados a cada célula. Estes parâmetros são mostrados no apêndice A4.2. Já o apêndice A4.3 apresenta algumas das implementações funcionais, escritas em linguagem de alto nível, utilizada pelo simulador lógico Lsim. Note que são realizados os cálculos do atraso de carregamento e da largura mínima de pulso, t_{pw} , associados ao nó de saída em cada célula. Durante a simulação lógica sinaliza-se sempre que o atraso devido a carregamento em qualquer nó do circuito for maior que 300 ps (violação de $\text{Load Delay}_{\text{max}} \leq 300\text{ps}$). Caso o nó associado à violação estiver alimentando a entrada de relógio de algum elemento de memória, então deve-se necessariamente substituir a porta alimentadora do nó por uma versão de potência imediatamente superior.

Ainda na primeira fase de simulação, foram realizadas simulações de desempenho do circuito considerando a influência das variações de processo de fabricação e de temperatura, apontando para a viabilidade da fabricação do CI com um rendimento de processo aceitável. Parâmetros como τ_{pd} , C_{in} e C_{wire} são afetados pelas variações de processo e temperatura; portanto devem ser alterados durante as simulações a fim de descreverem tais variações. O conjunto de simulações lógicas ou elétricas cuja abrangência das variações dos parâmetros cobre a totalidade das variações de processo e de temperatura comumente é designada por simulação de corners de processo e temperatura.

Uma vez obtidos os resultados desejados na primeira etapa de simulação, pode-se iniciar a fase de leiaute do circuito. Após a realização de um leiaute preliminar, faz-se a extração das capacitâncias parasitárias, calculadas a partir dos parâmetros geométricos comprimento e largura da via de interconexão e da estrutura dielétrico/substrato sob a mesma, após o que a etapa de simulação pós-leiaute pode ser feita. Nesta segunda fase de simulações, o projetista pode então verificar com mais certeza o desempenho do circuito e, se necessário, realizar mudanças no leiaute e/ou, mais raramente, no projeto lógico com o objetivo de melhorar o desempenho do circuito em altas taxas. Nesta segunda fase também é possível avaliar a equalização entre as conexões do sinal e de seu complemento, realimentando a etapa de leiaute. Para tanto, basta comparar as resistências ôhmicas, R_{wire} , e as capacitâncias parasitárias, C_{wire} , do sinal e do sinal complementar.

Note que muitos dos procedimentos contidos nestas duas etapas não puderam ser automatizados, uma vez que as ferramentas de leiaute e de captura esquemática e simulação lógica não estavam integradas em um único ambiente.

Em ambas as fases de simulação, é de suma importância obter um conjunto de estímulos convenientes, capaz de cobrir senão todas pelo menos a maioria das combinações possíveis para os sinais de entrada, internos e de saída. Em circuitos digitais de pequena e/ou média complexidade, como o demultiplexador aqui projetado, sabe-se ser possível gerar um conjunto de estímulos factível que simule exhaustivamente as variações dos sinais de entrada.

4.6.1 Vetores de Testes Longos

Em ambas as etapas de simulação, preliminar e pós-leiaute, faz-se necessário o desenvolvimento de um conjunto de estímulos convenientes. Os vetores de testes devem ser capazes de representar o maior número possível de combinações dos sinais a serem aplicados nas entradas do circuito. Quando o circuito simulado apresenta complexidade baixa ou média, como no caso de demultiplexadores, é razoável gerar vetores de testes longos que simulem exhaustivamente as variações dos sinais de entrada sem no entanto consumir tempo excessivo de CPU. Assim, vetores de testes longos são gerados para verificar o desempenho local e global dos sub-circuitos, para uma dada taxa de operação.

Foram feitas inúmeras simulações lógicas em ambiente GDT-V.5.2 empregando-se o simulador lógico Lsim⁹³. Os vetores de testes apresentam duração total da ordem de 1000 ns, contendo estímulos de entrada síncronos e assíncronos cujas taxas variam desde quase DC, caso dos sinais de entrada de controle assíncronos (SKP, SEL2, SEL1, CK2M), até a taxa de 2,5 Gb/s para o sinal de entrada de relógio, CKIN.

Foram realizadas simulações completas das funções do demultiplexador empregando-se vetores de testes longos para simular todas as combinações nas seguintes situações:

- a) fase relativa nominal entre sinal de dados de entrada (DATA, NDATA) e de relógio (CKIN, NCKIN) para as células padrão com características nominais;
- b) desvio de até $\pm 20\%$ na fase relativa entre os sinais de dados de entrada e relógio de entrada, em relação ao valor nominal e células padrão com características nominais;
- c) defasagem nominal entre sinal de dados de entrada e de relógio considerando-se que as variações de processo e de temperatura afetam as características nominais das células padrão e as capacitâncias parasitárias de leiaute de 0,7 a 1,5 vezes;
- d) defasagem entre sinal de dados de entrada e de relógio desviando-se até $\pm 20\%$ do valor nominal, considerando-se que as variações de processo e de temperatura afetam as características nominais das células padrão e as capacitâncias parasitárias de leiaute de 0,7 a 1,5 vezes.

O efeito das variações de temperatura nos tempos de atraso total das células padrão, segundo a TriQuint, são menos significativos que aqueles causados pelas variações de processo. Para considerar esses efeitos, o manual de projeto das células padrão QLSI da TriQuint especifica que os tempos de atraso das células padrão podem variar de 0,7 a 1,5 vezes seu valor nominal. Os efeitos das variações de processo e de temperatura foram incorporadas à simulação através do parâmetro p . Assim, nas simulações lógicas, o tempo de atraso intrínseco, τ_{pd} , o tempo de preparação e manutenção dos flip-flops, t_{setup} e t_{hold} , o fator de atraso de carregamento, Loading Delay, e a capacitância de entrada, C_{in} , de cada célula padrão foram multiplicados pelo fator p , bem como os valores nominais das capacitâncias parasitas, C_{wire} , presentes nas conexões dos sinais inter-células, também incorporaram o parâmetro p . Dessa forma, fazendo-se $p = 1$ realizou-se a simulação lógica do demultiplexador em condições nominais. Tomando-se então valores de p no intervalo $0,7 \leq p \leq 1,5$ cobre-se todos os casos de desvio de processo e temperatura especificados para o processo QED/A.

Para gerar um vetor de testes longo que permitisse uma simulação quase-exaustiva do circuito, incorporou-se ao arquivo de simulação um gerador de sequência pseudo-aleatória⁹⁴ descrito ao nível de células padrão genéricas e ideais, isto é, sem atrasos. Este procedimento facilitou sobremaneira a verificação e a avaliação dos vetores de teste longos, possibilitando a agilização dos testes funcionais do demultiplexador em condições pré-estabelecidas de desvio de fase entre os sinais de entrada de relógio e de dados. A topologia do gerador empregado e respectivas conexões ao circuito demultiplexador são mostradas na figura 4.26.

4. Projeto do Demultiplexador

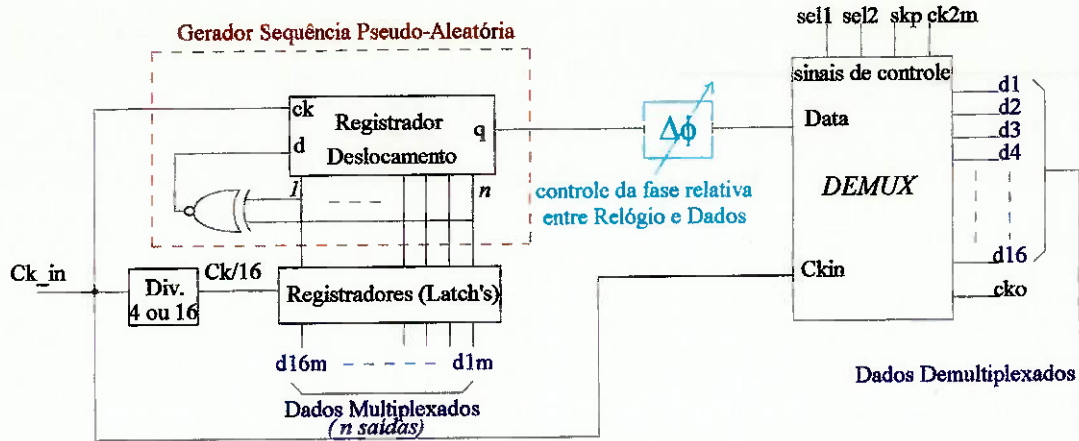


Figura 4.26 Arranjo de simulação lógica do demultiplexador incluindo o gerador de sequência pseudo-aleatória.

Basicamente, o gerador de sequência pseudo-aleatória consiste de um registrador de deslocamento com 4 ou 16 flip-flop's tipo D operando na mesma taxa de relógio de entrada do demultiplexador. O registrador de deslocamento é realimentado por uma XNOR de 2 até n entradas; particularmente, foi empregada uma XNOR de 2 entradas. Além disto, 4 ou 16 Latch's com taxa de $CKIN/4$ ou $CKIN/16$, respectivamente, fazem o registro dos dados paralelos de entrada $[d1m, d2m \dots d16m]$. Estes sinais também estão presentes na saída q do registrador de deslocamento, mas multiplexados no tempo, constituindo os dados de entrada do demultiplexador em simulação. A operação correta do demultiplexador pode então ser verificada pela simples comparação entre o vetor de dados de saída do demultiplexador $[d1, d2, d3 \dots d16]$ e o vetor de dados do gerador $[d1m, d2m \dots d16m]$, ambos paralelos e, teoricamente, apenas atrasados no tempo por alguns ciclos do sinal de saída de relógio, Cko .

O deslocador de fase, $\Delta\Phi$, colocado entre o gerador e o circuito demultiplexador permite ajustar, durante a fase de simulações, a fase relativa entre os sinais de dados e de relógio de entrada do demultiplexador.

O arquivo de simulação contendo o gerador de sequência pseudo-aleatório e o demultiplexador foi empregado na simulação de desempenho dos circuitos do demultiplexador e de Skip, considerando fase relativa de $180^\circ \pm 20\%$ entre as entradas de dados e de relógio. Os parâmetros das células padrão foram variados de 70% a 150% de seus valores nominais a fim de simular o comportamento do circuito sob influência das variações de processo e de temperatura.

Os resultados de desempenho do demultiplexador simulado nos modos 1:4 e 1:16 com atuação dos sinais de controle são sintetizados nos quadros 4.23.a e 4.23.b. Estes resultados são baseados nas cartas de tempo obtidas no simulador lógico Lsim. Considera-se variações de processo e de temperatura, expressos através do parâmetro p .

Esses quadros sintetizam as condições de recuperação dos dados no demultiplexador 1:4 e 1:16 considerando variação de processo entre 70% e 150%, além

da variação relativa entre relógio e dados de entrada, CKIN e DATA, respectivamente, em até $\pm 20\%$. Procurou-se testar, via simulação lógica, todas as variações quer sejam intrínsecas, as de processo e aquelas devida à temperatura, reunidas no parâmetro p , desvio de processo, quer sejam extrínsecas ao circuito, i.e. aquelas oriundas do máximo desvio de fase entre o sinal de dados e relógio de entrada no demultiplexador, parâmetro $\alpha_{20\%}$. O parâmetro $\theta_{ck2,dat}$ apresentado nesses quadros expressa a fase relativa entre o sinal de relógio dividido por 2 e o sinal de dados de entrada, ambos presentes na entrada do primeiro Demux 1:2, DX2m do diagrama esquemático, figura 4.22. Cuidado na monitoração desta fase relativa fez-se necessário uma vez que não foi possível obter o "retiming" do sinal de relógio dividido por 2 na saída do circuito de Skip e assim garantir uma fase relativa ótima entre dados e relógio no primeiro Demux 1:2, uma vez que este "retiming" deveria ser feito na taxa de 2,5 Gb/s.

Os mesmos quadros permitem ainda visualizar a dependência da amplitude do "spike" com relação aos desvios de processo e de temperatura. A figura 4.27 ilustra a ocorrência de "spikes" no sinal SKP2 que é basicamente o sinal de relógio dividido por 2, já incorporando a atuação do sinal de controle SKP. A amplitude porcentual do "spike" na saída do circuito de Skip (sinal SKP2) está relacionada ao desvio de processo e é causado pela restrição de não se poder fazer o "retiming" do sinal de relógio dividido por 2, CK/2, após passar pelo circuito de Skip.

Quadro 4.23.a Condições de recuperação dos dados no modo 1:4 considerando desvio de processo e variação da fase relativa entre dados e relógio de entrada.

<i>Demux - Modo 1:4</i>		$\theta_{ck2,dat}$		
<i>parâmetro p</i>	<i>spike</i>	$\alpha_{nom} = 800 ps$	$\alpha_{+20\%} = 960 ps$	$\alpha_{-20\%} = 640 ps$
70%	40%	480	630	310
75%	32%	490	650	340
85%	20%	570	730	420
100%	4%	700	840	540
110%	3%	770	930	610
120%	11%	850	1000	680
135%	22%	1000	1160	850
145%	28%	1070	1240	920

Conclui-se pelas simulações lógicas e pelo quadro 4.23.a que para o modo de demultiplexagem 1:4, os dados previamente multiplexados via seqüência pseudo-aleatória deverão ser total e completamente recuperados para toda a faixa de variação de processo e temperatura, considerando-se defasagem relativa dos sinais relógio e dados de entrada de $180^\circ \pm 20\%$.

4. Projeto do Demultiplexador

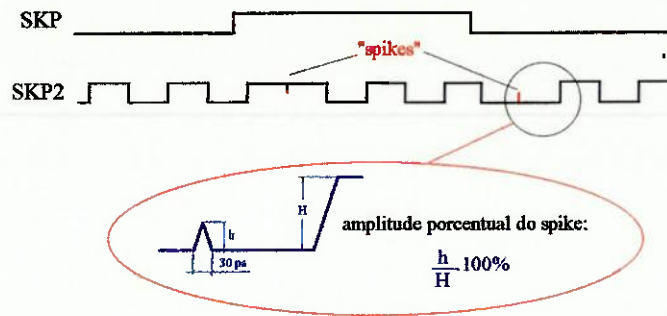


Figura 4.27 Ocorrência de "spikes" no sinal *skp2*

Já para o modo de demultiplexagem 1:16, a recuperação dos dados, previamente multiplexados via seqüência pseudo-aleatória, sintetizada na quadro 4.23.b, não é completa para toda a faixa de variação de processo/temperatura e faixa de defasagem relativa dos sinais de relógio e dados de entrada. Pode-se concluir que para este modo de demultiplexagem, a faixa de funcionamento estimada via simulação é de aproximadamente $0,92 < p < 1,23$. Essa faixa de funcionamento é ligeiramente expandida quando se restringe para $\pm 10\%$ a variação na fase relativa entre sinal de relógio e dados de entrada. Assim, as simulações indicaram que para taxas de operação próximas a 2,5 Gb/s deve ser adicionado um atraso externo no caminho de dados de entrada quando os parâmetros das células padrão desviarem mais que $-8\% / +23\%$ de seus valores nominais para se obter a correta demultiplexagem do sinal de entrada.

Quadro 4.23.b Condições de recuperação dos dados no modo 1:16 considerando desvio de processo e variação da fase relativa entre dados e relógio de entrada.

<i>Demux- Modo 1:16</i>		$\theta_{ck2,dat}$		
parâmetro p	spike	$\alpha_{nom} = 200 \text{ ps}$	$\alpha_{+20\%} = 240 \text{ ps}$	$\alpha_{-20\%} = 160 \text{ ps}$
70%	40%	360	10	320
75% (*)	32%	0	40	360
80% (**)	26%	30	70	390
85% (*)	20%	80	110	40
90%	15%	110	150	70
100%	4%	200	240	160
110%	3%	270	320	240
120%	11%	360	10	330
125% (*)	16%	10	50	380
135%	22%	90	130	50
145%	28%	Op. incorreta	Op. incorreta	Op. incorreta

(*) Falha: erro de 1 bit em alguns bytes de dados recuperados: $\text{Err} = 4/160 \text{ bits} = 2,5\%$

(**) Falha: idem: $\text{Err} = 9/160 \text{ bits} = 5,6\%$.

Valem as seguintes observações sobre as quadros 4.23.a e 4.23.b:

1. Condições ideais de operação: a) Spike : 0% b) $\theta_{ck2,dat} = 800$ ps e 200 ps, para os modos 1:4 e 1:16 respectivamente;
2. Todos os tempos em [ps], medidos de centro-a-centro (50% dos tempos de subida e descida);
3. "Falha": Dados inicialmente multiplexados no tempo via Gerador de Sequência Pseudo-Aleatória, não foram totalmente recuperados/alinhados no Demux 1:16 pela simples atuação do sinal de SKP;
4. "Op. incorreta": Modo 1:16, Primeiro Divisor por 2 não atua corretamente ($\tau_{ck2} \neq 800$ ps).

Ressalte-se que as condições de fase relativa entre dados e relógio no primeiro Demux 1:2, $\theta_{ck2,dat}$ previamente simuladas foram confirmadas pelos resultados obtidos na etapa de simulação pós-leiaute considerando as capacitâncias parasitárias de leiaute. Assim, os resultados globais obtidos nas simulações pós-leiaute mostraram que as condições de recuperação dos dados nos demultiplexadores 1:4 e 1:16 são adequadamente representados pelos resultados sintetizados nas quadros 4.23.a e 4.23.b.

4.7 CONSIDERAÇÕES DE LEIAUTE

O leiaute do circuito foi realizado pelo CPqD-Telebrás empregando-se ambiente de projeto Mentor V.8. Lançou-se mão de procedimentos manuais de posicionamento e de roteamento com o intuito de satisfazer os requisitos complexos de leiaute do demultiplexador. Células de entrada e saída compatíveis com níveis lógicos ECL foram integradas a todas as entradas e saídas do circuito, resultando em uma área de chip de 2,5 mm x 2,5 mm.

Ferramentas de "back-annotation" foram usadas na extração das capacitâncias parasitárias de interconexão durante a etapa de leiaute. Os valores destas capacitâncias foram empregados na re-simulação do circuito completo, substituindo-se os valores das capacitâncias estimadas, obtidos através da equação 4.8, por aqueles obtidos diretamente da geometria das trilhas de interconexão na etapa de leiaute. A re-simulação por sua vez determinou pequenas modificações de leiaute que foram feitas visando a otimização da operação do circuito em alta velocidade.

A verificação do *leiaute versus esquemático*, LVS, e a das *regras de projeto*, DRC, foram então realizadas.

4.7.1 Procedimento geral de leiaute

A elaboração do leiaute seguiu as recomendações gerais da foundry, tendo sido implantadas as regras de projeto fornecidas pela TriQuint Semiconductor⁴³ bem como os arquivos para extração de parasitas de leiaute e realização de "back-annotation".

Foi realizado um leiaute preliminar do circuito, extraindo-se os valores de capacitância parasita dos metais de interconexão. Considerando-se esses valores de capacitância, realizou-se uma simulação pós-leiaute, determinado-se alterações a serem introduzidas no leiaute para otimizar o desempenho do circuito. Após a realização dessas alterações, o procedimento foi repetido mais duas vezes até a obtenção de um leiaute satisfatório.

As simulações lógicas preliminares foram importantes na definição dos principais requisitos de leiaute, citados a seguir:

- determinação de nós críticos no circuito simulado, onde as capacitâncias parasitárias de interconexão devem ser mantidas em valores mínimos com o objetivo de se garantir a operação do circuito em alta velocidade, e;
- a determinação do comprimento ótimo para alguns caminhos de sinais, garantindo-se a fase relativa entre sinais onde isto for crucial para a obtenção de um bom desempenho.

Estes dois requisitos de leiaute podem ser identificados no circuito de Skip da figura 4.5. Os ramos A1, A2 e A3 representam nós críticos, e portanto, devem ter prioridade máxima na redução dos comprimentos das trilhas de interconexão, além do uso de metal 2 que apresenta menor C_{wire} . Já para os ramos D1, D2 em relação ao B, devem ser obtidos comprimentos ótimos para as trilhas de interconexão envolvidas, uma vez que deve ser garantida fase relativa adequada entre o sinal interno $ck2_sync$ em relação a $ck2$ e $nck2$, presentes nas entradas do seletor SEL 2:1. Adicionalmente, dois outros critérios foram adotados durante a etapa de leiaute:

- minimização das capacitâncias parasitárias de todas as conexões, C_{wire} , associadas aos nós de sinais de alta velocidade, isto é, sinais com taxas de relógio, Ck ou $Ck/2$, e;
- equalização dos caminhos: as conexões metálicas de cada par diferencial de entrada ou de saída das células padrão devem ser equalizadas, ou seja, a linha do sinal e de seu complemento devem apresentar o mesmo valor de capacitância parasitária.

A última consideração aplica-se especialmente a leiautes que empreguem células SCFL, pois estas usam o sinal e seu complemento na conexão inter-células. Deve-se então ter o cuidado de manter equalizadas as capacitâncias parasitárias de interconexão referentes às linhas metálicas de sinal e de seu complemento, principalmente nas interconexões que suportam sinais de alta velocidade. A equalização destas linhas, em termos de carga capacitiva C_{wire} , reduz o atraso diferencial a um valor desprezível. A

principal consequência do desbalanceamento de C_{wire} entre a conexão de sinal e de seu complemento é a redução no nível de margem de ruído interno. Quando isto ocorrer, deve-se esperar uma redução de desempenho do circuito em altas velocidades.

A minimização das capacitâncias de interconexão pode ser obtida basicamente através de dois procedimentos:

- a) substituição do metal de interconexão: devido à característica aérea de construção do metal 2 no processo QED/A, sua capacitância parasitária por unidade de área reduz-se à metade em relação ao metal 1, considerando larguras mínimas para as interconexões:

$$\text{metal 1} \rightarrow 0,15 \text{ fF}/\mu\text{m}, \quad w_{\text{min}} = 2 \mu\text{m} \qquad \text{metal 2} \rightarrow 0,07 \text{ fF}/\mu\text{m}, \quad w_{\text{min}} = 3 \mu\text{m}$$

- b) rearranjo de células: permite obter, em casos onde o posicionamento das células ainda não está otimizado, redução dos comprimentos das interconexões.

O ramo mais crítico onde todos os esforços foram necessários para se obter a menor capacitância parasita de interconexão encontra-se no bloco de Skip. As figuras 4.28.a e 4.28.b ilustram os ramos onde foram necessárias as otimizações.

- bloco Skip: *ramo A*; uso de **metal 2** e minimização dos comprimentos das interconexões. Objetivo: elevar a f_{toggle} do primeiro divisor por 2.

Foram realizados ajustes de fase relativa em 2 pontos do circuito empregando-se atrasos lógico e físico, este último obtido através do ajuste do comprimento físico das interconexões. Os ramos envolvidos nestes dois pontos do circuito são:

- bloco Skip: *ramos B e D*. Uso de **metal 1** no ramo D e de atrasadores lógicos (dois buffers B70). Avaliação do par de capacitância de conexão nas etapas de leiaute e re-simulação pós-leiaute. Uso de **metal 2** no ramo B. Objetivo: ajuste da fase relativa a fim de minimizar "spike" na saída Ck2_skp.
- bloco Demultiplexador: *ramo C*; uso de **metal 1**. Ajuste do comprimento do metal de interconexão. Controle de C_{wire} : valor moderado; adicionalmente, empregou-se atraso lógico (um buffer B70). Objetivo: ajuste da fase relativa entre sinal de Ck/2 e Data, $\theta_{\text{ck2,dat}}$, no primeiro DMX 1:2 para 180° , no modo Demux 1:16 para condição nominal de operação.

4. Projeto do Demultiplexador

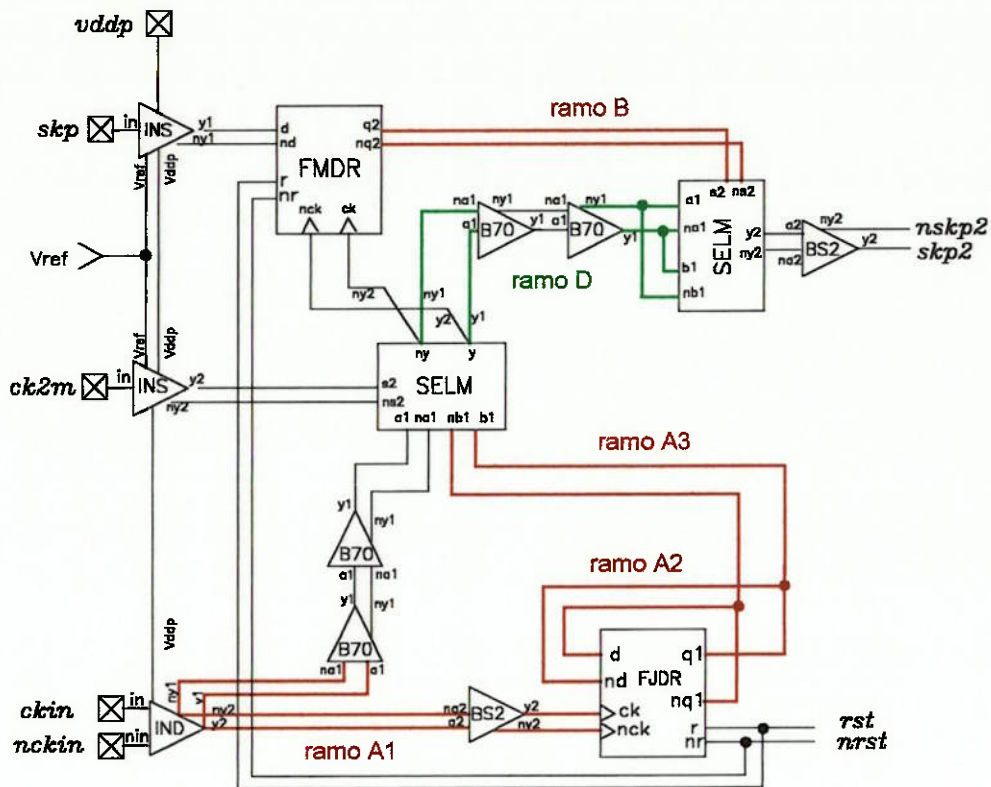


Figura 4.28.a Ramos do Bloco Skip onde foram realizadas a otimização de fase relativa e a minimização das capacitâncias de interconexão na 2ª etapa de leiaute.

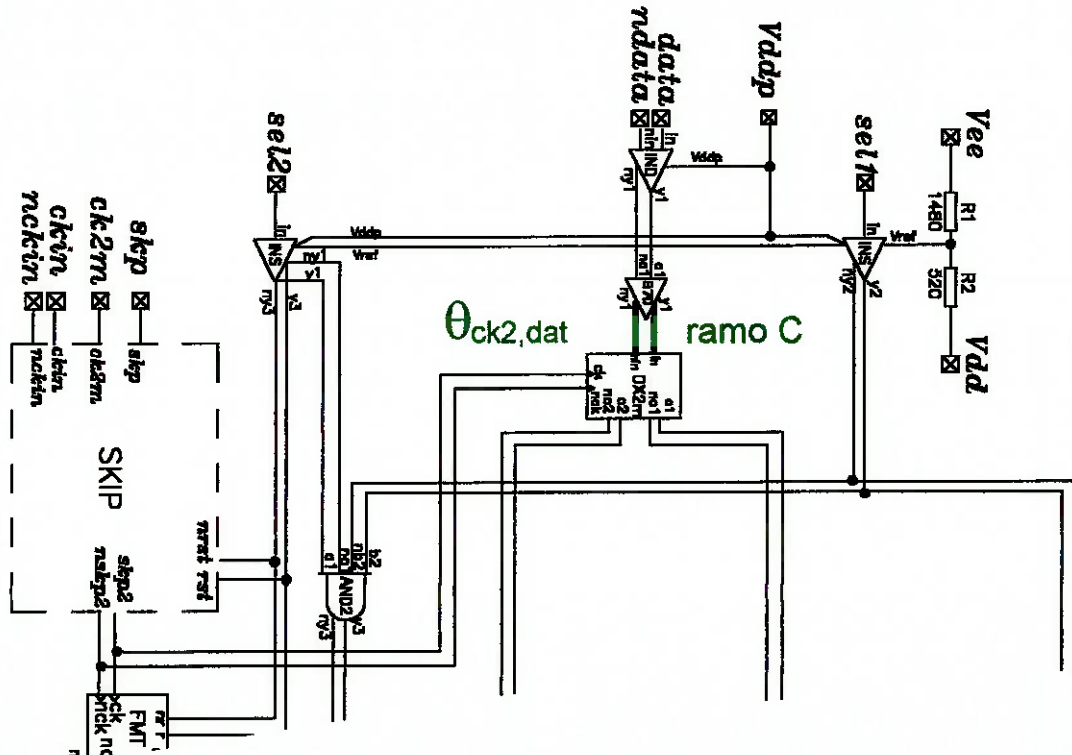


Figura 4.28.b Ramo do Bloco Demux onde foi realizada a otimização de fase relativa através da manipulação das capacitâncias de interconexão e de atrasadores lógicos na fase de “back-annotation”.

4.7.2 Considerações sobre o "floorplanning" utilizado

O "floorplanning" do demultiplexador foi realizado manualmente, uma vez que o uso de ferramentas automáticas de posicionamento não permitiriam satisfazer os requisitos de leiaute do circuito devido a sua elevada taxa de operação. A própria foundry TriQuint alerta para a necessidade do procedimento manual de posicionamento e roteamento quando a taxa de operação atinge a faixa de Gb/s.

Para dirigir o "floorplanning" do demultiplexador foram realizadas as seguintes atividades:

- elaborou-se uma lista de restrições de leiaute, visando atender às considerações apresentadas no item 4.7.1, definindo-se assim quais as conexões cujo comprimento deveria ser minimizado, bem como a prioridade a ser dada na minimização do comprimento das mesmas;
- dado que a maior parte das conexões a ser minimizada estava contida no sub-bloco Skip, estudou-se cuidadosamente o posicionamento das células padrão desse sub-bloco até se obter um resultado satisfatório;
- as células de I/O, correspondentes às entradas de dados e de relógio, foram posicionadas de forma a minimizar o comprimento das conexões metálicas associadas às suas saídas;
- definiu-se o posicionamento das células padrão que compõem os sub-blocos Demux 1:2 de forma a minimizar o comprimento das conexões metálicas internas ao mesmo;
- definiu-se o posicionamento geral das células padrão que compõem o CI, considerando-se *a)* distribuição de "pads" de entrada e saída, apresentado na figura 4.25; *b)* reprodução no leiaute da simetria natural da estrutura árvore de demultiplexagem; *c)* simetria na distribuição de sinais de relógio de mesma taxa; *d)* caminhos com comprimentos semelhantes para os sinais de relógio e de dados em cada etapa de demultiplexagem.

Dessa forma chegou-se a um "floorplanning" preliminar do demultiplexador, o qual necessitou de poucas alterações nas etapas de otimização de leiaute. Após a otimização de leiaute, obteve-se uma redução na área final de chip. A área inicialmente estimada em $(2,78 \text{ mm})^2$ foi reduzida nas etapas de "floorplanning" e leiaute para $(2,5 \text{ mm})^2$.

4.7.3 Roteamento

O roteamento do demultiplexador também foi realizado manualmente, procurando-se atender ao objetivo geral de minimizar os comprimentos das conexões metálicas entre

as células padrão, de acordo com uma lista de prioridades previamente estabelecida. Por outro lado, algumas conexões deveriam ter seus comprimentos físicos ajustados. Por exemplo, na primeira etapa de demultiplexagem, figura 4.28.b, ramo C, o comprimento das conexões metálicas entre a célula de I/O do sinal de dados de entrada e a entrada do primeiro Demux 1:2, DX2m, foi ajustado de modo a permitir que o sinal de dados de entrada NRZ fosse amostrado no ponto ótimo, ou seja no ponto médio da duração do dado.

Como resultado desse procedimento de roteamento, as simulações pós-leiaute indicaram que o demultiplexador deveria operar de modo adequado no modo 1:4, independentemente das variações das características das células padrão da TriQuint devido a desvios de processo ou temperatura. No caso do modo 1:16, poderá ser necessário o uso de um defasador conectado à entrada de dados ou de relógio, caso as características das células padrão desviem abaixo de 92% ou acima de 123% de seus valores nominais, devido a variações de processo e/ou de temperatura de corpo do CI.

4.7.4 Resultados da extração de parasitas - “back-annotation”

As figuras 4.29.a e 4.29.b sintetizam os resultados das extrações das resistências série e das capacitâncias parasitárias de interconexão para o leiaute final do CI demultiplexador, feitas durante a etapa de “back-annotation”. Regra geral, as vias de interconexão podem ser compostas pela associação dos metais 1 e 2, com características de resistências de folha, R_{sheet} , e capacitância parasita por unidade de comprimento, $C_{wire}/\mu m$, distintos. Todas as conexões de sinais internos foram realizados empregando-se larguras mínimas de via, isto é, $w = 2 \mu m$ e $3 \mu m$, para metal 1 e 2, respectivamente.

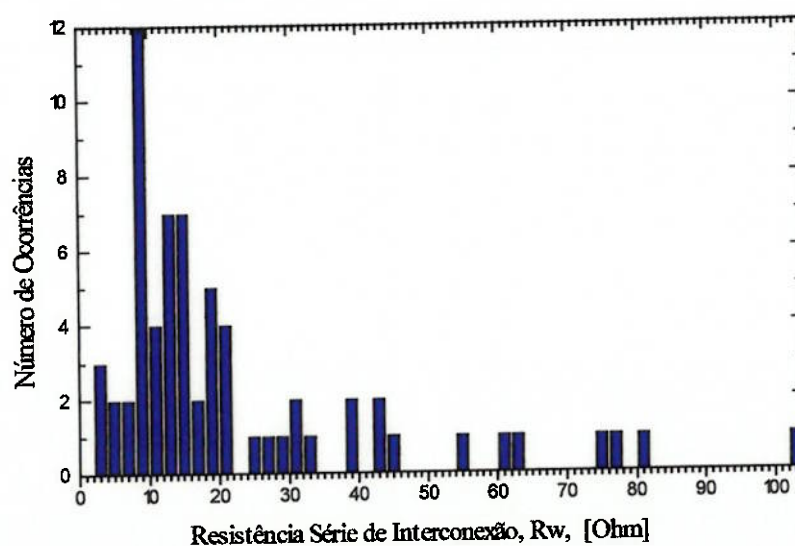


Figura 4.29.a Valores de R_{wire} para as interconexões internas do demultiplexador obtidos durante a etapa de “back-annotation”.

4. Projeto do Demultiplexador

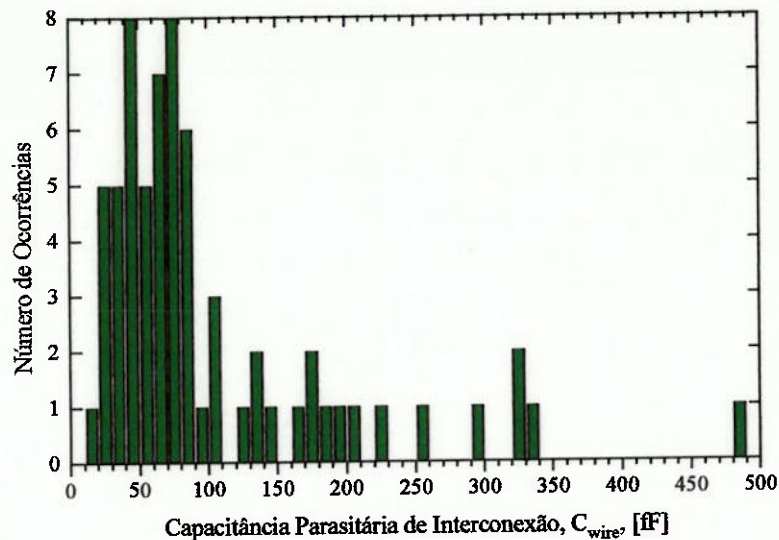


Figura 4.29.b Valores de C_{wire} para as interconexões internas do demultiplexador obtidos durante a etapa de “back-annotation”.

Verifica-se então que, mesmo para o pior caso de resistência série de interconexão, $R_{wire(max)} = 104 \Omega$, tem-se:

$$R_{wire(max)} < 0,1 R_{on(min)} = 150 \Omega \quad (4.11)$$

que é um critério mais conservativo que aquele proposto na equação 4.4. O erro no tempo de subida $t_{0-90\%}$ ao se desprezar R_{wire} durante a etapa de simulação é de no máximo 3%, quando se adota a equação 4.5.b. Assim, os valores de R_{wire} obtidos para este circuito em particular permite a adoção do modelo puramente capacitivo para representar as linhas de interconexão.

Finalmente, não foi verificado, para os valores obtidos de C_{wire} durante a etapa de simulação pós-leiaute, violação da equação 4.10. Com isto, garante-se que nenhum nó de sinal de relógio possui atraso devido a carregamento capacitivo na saída maior que 300 ps.

4.7.5 Pontos críticos no desenvolvimento do leiaute

As maiores dificuldades encontradas no desenvolvimento do leiaute do chip estiveram relacionadas à elevada taxa de operação do circuito, sendo listadas a seguir:

- o posicionamento das células padrão foi realizado manualmente, dado que o uso de ferramentas automáticas de "placement" não conduzia à necessária minimização de capacitâncias parasitas de leiaute;
- foram necessárias análises elaboradas para se compatibilizar a minimização de parasitas de leiaute com os requisitos de simetria de distribuição de relógio e de distribuição dos pads ao longo do chip.

4. Projeto do Demultiplexador

Finalmente, a figura 4.30 apresenta uma microfotografia do demultiplexador processado, onde podem ser vistos o "die" e os fios de conexão internos à cápsula.

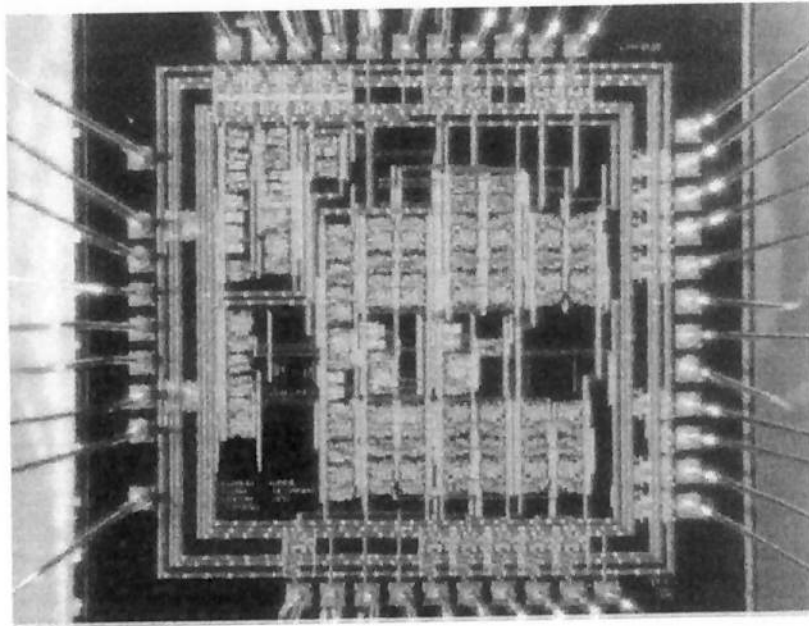


Figura 4.30 Microfotografia do demultiplexador com circuito de Skip construído.

Capítulo 5

5. RESULTADOS EXPERIMENTAIS DO DEMULTIPLEXADOR

5.1 INTRODUÇÃO

Como visto no item 4.2, o demultiplexador projetado deve operar alternativamente com 4 canais de saída e taxa de relógio nominal de 622 Mb/s ou com 16 canais de saída e taxa de relógio de 2,488 Gb/s. Um circuito de Skip integrado ao chip foi projetado com o objetivo de executar o rolamento dos dados nas saídas do demultiplexador para fins de alinhamento de quadro. Os protótipos foram acondicionados em cápsulas cerâmicas MLC68/40.

Os testes do demultiplexador em altas taxas foram realizados no DDS/DEOR (Depto de Desenvolvimento de Sistemas / Divisão de Enlaces Ópticos e Radioelétricos) do CPqD Telebrás e no LSI-EPUSP (Laboratório de Sistemas Integráveis da Escola Politécnica da USP), empregando equipamentos de medida disponíveis nos mesmos.

5.2 CARACTERIZAÇÃO DE DEMULTIPLEXADORES DE ALTA VELOCIDADE

A caracterização de circuitos de alta velocidade envolve medidas DC, medidas em taxas baixas, usualmente dezenas de Mb/s, e medidas em taxas altas que atingem a faixa dos Gb/s. Os parâmetros medidos dependem da função lógica desempenhada pelo circuito a ser testado. No caso de demultiplexadores, os principais parâmetros a serem caracterizados em função das amostras são discutidos a seguir.

Resume-se abaixo, os principais parâmetros a serem considerados na caracterização de um demultiplexador de alta velocidade em função da faixa de frequências em que esses parâmetros são medidos. Todos estes parâmetros são avaliados em função do conjunto de amostras recebido.

Medidas em taxas baixas (dezenas ou centenas de Mb/s)

- avaliação preliminar da *funcionalidade* dos protótipos: teste dos sub-blocos integrantes, incluindo operação do circuito divisores de relógio, modos de demultiplexagem, circuito de skip, atuação dos sinais de controle, etc. Nesta fase de caracterização pode-se também avaliar a integridade da superfície das amostras recebidas através de inspeção visual em microscópio. Os resultados funcionais obtidos nesta primeira fase em conjunto com a inspeção visual das conexões, células, pad's, etc. do chip permite obter um mapeamento preliminar de possíveis problemas de projeto, leiaute ou mesmo de processamento nos circuitos, nos casos onde a complexidade do CI não for muito elevada.

- *taxa mínima de operação* do demultiplexador. Se a topologia empregada não incluir sub-blocos analógicos ou dinâmicos, mas apenas células digitais estáticas, então o limite inferior de operação é praticamente DC. No entanto, a presença de sub-blocos analógicos, particularmente divisores de frequência regenerativos, ou dinâmicos, vistos no item 3.3.11, ou mesmo células digitais dinâmicas, limitará a taxa mínima de operação do CI a centenas de MHz ou mesmo GHz.

Medidas em taxas altas (Gb/s)

- *taxa do divisor de relógio*: obtém-se com esta medida a máxima taxa em que pode operar corretamente os divisores de relógio;
- *taxa de operação do demultiplexador*: A máxima taxa de operação do demultiplexador, em condições nominais de fase relativa entre dados e relógio de entrada, evidentemente, será menor ou igual à máxima taxa do divisor de relógio. Deve-se esperar a correta demultiplexagem dos dados para uma dada taxa de erro de bit máxima, BER (Bit Error Rate), pré-definida para cada padrão de comunicação;
- *margem de fase nominal* (para um BER pré-definido): estando o demultiplexador operando na sua taxa nominal, este teste permite obter a faixa para fase relativa entre o sinal de relógio e dados de entrada tal que ainda seja possível demultiplexar corretamente os dados nas saídas com uma taxa de erros de bit máxima menor que um BER pré-estabelecido. Normalmente, a margem de fase nominal para demultiplexador em Gb/s situa-se na faixa de 120° a 330°, podendo aproximar-se de 360°, dependendo do projeto topológico, do processo tecnológico empregado e da taxa nominal de operação;
- *margem de fase em função da taxa de operação (@BER)*: para cada taxa de operação, obtém-se a margem de fase do demultiplexador levando-se em consideração a taxa de erro de bit pré-estabelecida. Espera-se que a margem de fase decaia com o aumento da taxa de operação;
- *BER em função da taxa de operação*: parâmetro importante para a visualização da estabilidade de operação de demultiplexadores e multiplexadores. A relação BER versus taxa de operação permite detectar a taxa de operação limite onde ocorre acréscimo abrupto na taxa de BER. Acréscimos típicos de 4 a 5 ordens de grandeza no BER (por ex., 10^{-11} para 10^{-7}) ocorrerão para um reduzidíssimo acréscimo na taxa de operação (por ex., 1 a 5 MHz)⁶⁰;
- *margem de fase nominal em função da temperatura (@BER)*: para uma ampla faixa de temperatura em que se deve garantir correta operação do demultiplexador, pelo menos entre 5 °C e 85 °C, deve-se esperar mudanças na margem de fase para taxa de operação nominal e taxa máxima de BER pré-estabelecida;

- *máxima taxa de operação em função da temperatura (@BER)*: também para uma mesma faixa de temperatura, pode-se esperar uma redução na máxima taxa de operação do demultiplexador, mantido o mesmo desvio de fase relativa entre dados e relógio de entrada e BER. Medidas da taxa de operação e margem de fase em um par Mux/Demux de 16 bits, construídos a partir de tecnologia MESFET de GaAs com $L_g = 0,7 \mu\text{m}$ e operação nominal de 2,5 Gb/s, mostraram⁶⁰ uma reduzida influência da temperatura na taxa de operação. Por outro lado, a dependência da margem de fase em relação à variação da temperatura do circuito é bastante pronunciada. Os autores reportaram para a faixa de 5 °C a 105 °C uma decréscimo de apenas 20 MHz na taxa de operação máxima do multiplexador, enquanto que a margem de fase de entrada do demultiplexador medida sofreu acréscimo de 100° para a mesma faixa de temperatura.

Medidas realizadas em Baixa e Alta Taxa

- *consumo de potência* em condições normais de operação, i.e., todas as saídas devidamente terminadas e entradas corretamente excitadas;
- *caracterização dinâmica das formas de onda de entrada e saída*: tensões correspondentes aos níveis ‘0’ e ‘1’, V_L e V_H , tempo de subida e descida, t_r e t_f , e excursão lógica, V_{SW} , sensibilidade das entradas de dados e de relógio;
- *corners para V_{DD}* : deve-se determinar os limites para a variação da tensão de alimentação tal que ainda seja mantido a funcionalidade do demultiplexador, para condições nominais de operação;
- *fase relativa entre $Ckout$ e $Dout$* : deve-se medir a fase relativa entre o sinal de relógio de saída e os dados demultiplexados para as condições nominais de operação. O resultado para todos os dados de saída deve estar dentro dos limites estabelecidos nas especificações.

Todas estas medidas devem ser feitas tanto para condições nominais de temperatura ambiente, de tensão de alimentação e de fase relativa entre relógio e dados de entrada, quanto para a faixa de variação completa especificada para cada um destes parâmetros.

5.3 MEDIDAS

Foram recebidas da foundry 15 amostras encapsuladas e 15 amostras em “die” do demultiplexador projetado. Para a avaliação funcional do demultiplexador foram realizadas, até o presente momento, medidas nas amostras encapsuladas relativas a:

5. Resultados Experimentais

- características DC das amostras, como corrente de alimentação e potência dissipada total;
- caracterização dos níveis lógicos: V_L , V_H , t_r , t_f e V_{SW} ;
- verificação da funcionalidade dos blocos lógicos projetados, como: modo de demultiplexagem 1:4 e 1:16, divisor de relógio (por 4 e 16), atuação do circuito de Skip, desabilitação das saídas do demultiplexador e atuação do modo CK2M;
- medidas de fase relativa entre dados e relógio de saídas;
- medidas preliminares da margem de fase nominal para ambos os modos de demultiplexagem.

Durante a caracterização do demultiplexador projetado aplicou-se ao circuito vetores de teste similares aos utilizados na etapa de simulação lógica do mesmo. Esses vetores foram adaptados visando a caracterização das funções descritas acima, considerando as facilidades de medidas disponíveis no CPqD da Telebrás e no LSI-EPUSP.

A realização das medidas dos parâmetros apontados acima envolveu três faixas de taxa de bits:

- taxa de 10 Mbit/s, para avaliação das características DC dos 15 protótipos encapsulados do demultiplexador recebidos;
- até 622 Mb/s, para avaliação funcional do demultiplexador operando como DMX 1:4, bem como tempos de subida e descida, excursão lógica, etc;
- até 2,488 Gb/s, para avaliação funcional do demultiplexador operando como DMX 1:16, bem como tempos de subida e descida, etc.

Deve-se observar que todas as medidas aqui relatadas foram realizadas à temperatura ambiente de 25 °C.

5.3.1 Setup de Medidas

Dois tópicos importantes na caracterização de circuitos de alta velocidade são o conjunto de equipamentos de medidas e a placa de testes (“test fixture”) para operação em Gb/s. A primeira observação a ser feita refere-se à minimização das capacitâncias parasitárias e indutâncias, frequentemente presentes em placas de testes e nos equipamentos de medidas. Estes elementos parasitas, desprezados em frequências baixas, provavelmente mascararão o comportamento do circuito na faixa de frequências de Gigahertz se não forem cuidadosamente reduzidos.

O segundo ponto a ser considerado é o comportamento distribuído das trilhas metálicas e cabos usados para conectar o circuito aos instrumentos de medidas. Em

frequências de GHz estes elementos comportam-se como linhas de transmissão que transportam os sinais digitais e necessitam estar adaptados às impedâncias internas dos equipamentos de medidas usados. Esta adaptação de impedâncias deve ser observada para que se possa garantir a correta transferência de potência dos geradores de sinais para as entradas do circuito e também das saídas do mesmo para o equipamento de medida. Geradores de sinais, osciloscópio, medidores de BER e outros equipamentos que operam em taxas de Gb/s geralmente apresentam impedância de entrada bem controlada de 50Ω . Portanto, as trilhas metálicas que conduzem os sinais digitais de alta velocidade no interior do “test fixture” devem ser linhas de transmissão com impedância característica de 50Ω , geralmente do tipo *microlinha* (“microstrip lines”). As conexões entre as saídas do “test fixture” e o equipamento de medida devem ser feitas com cabos coaxiais de 50Ω e empregar conectores de alta frequência, como os padrões SMA e APC3.5.

O CI demultiplexador foi montado em uma cápsula cerâmica multi-camada MLC68/40. O circuito encapsulado foi inserido na placa de testes ETF-MLC68, a qual conecta os terminais da cápsula a linhas com impedância controlada de 50Ω através de um processo de montagem por pressão que não usa solda. As linhas dos sinais de entrada foram terminadas para $V_{TT} = -2,0V$ através de resistores de 50Ω , como recomendado para circuitos compatíveis com ECL. Estes resistores de 50Ω são colocados o mais próximo possível ao encapsulamento com o intuito de evitar reflexão de sinais devido à desadaptação de impedâncias entre o gerador de sinais e o circuito. Este foi polarizado com tensão de alimentação $V_{DD} = -5,2V$, apresentando um consumo de potência total de $1,4W$ e sinais de saída compatíveis com níveis de tensão ECL. As tensões de alimentação, V_{EE} e V_{TT} , são capacitivamente desacopladas.

Foram desenvolvidos terminadores ECL visando criar uma interface entre as saídas do demultiplexador, compatíveis com padrão ECL, e as entradas dos instrumentos de medidas, as quais apresentam impedância de 50Ω conectadas ao terra. Como mostrado na figura 5.1, o terminador ECL apresenta uma impedância de entrada de 50Ω para V_{TT} quando a saída do mesmo é conectada ao osciloscópio. O apêndice A5.1 apresenta o diagrama esquemático, bem como os principais parâmetros característicos do terminador construído, medidos na faixa de DC a $3,0$ GHz.

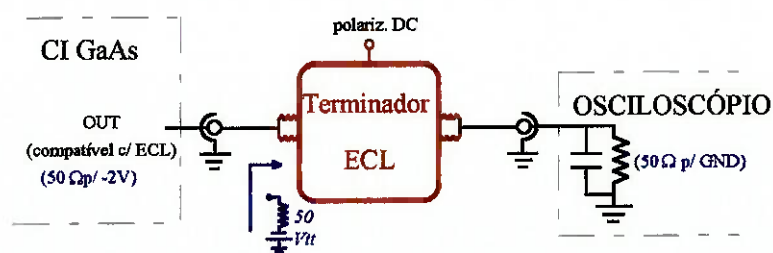


Figura 5.1 Diagrama de conexões para o terminador ECL.

Para a atuação do circuito de Skip foi desenvolvido um circuito anti-“bounce” que permite gerar manualmente o sinal de controle SKP com transições de níveis livres de

ruídos (glitch's) por meio de uma chave "push-botton". O apêndice A5.2 mostra o diagrama esquemático do circuito anti-"bounce" montado.

A figura 5.2 apresenta a montagem básica de equipamentos usados na caracterização do demultiplexador em 2,488 Gb/s. Esta montagem inclui um gerador de padrão pseudo-aleatório e determinístico de alta velocidade, o qual alimenta a entrada de dados e de relógio do demultiplexador. Um osciloscópio digital de alto BW permite medir as formas de onda dos sinais de saída do circuito. Cabos coaxiais de 50 Ω conectam o gerador de padrões e o osciloscópio ao "test fixture", contendo o demultiplexador encapsulado. Os equipamentos empregados nas medidas foram:

- Gerador de Padrões SDH Anritsu ME3620A^(*)
- Gerador de Pulsos HP8133A (3,3 GHz)
- Osciloscópio Digital de Amostragem HP52120A, BW = 20GHz
- Osciloscópio Digital de Amostragem Tektronix 11801B, BW = 20GHz
- Plotter com padrão GPIB / HPIB
- Amperímetro Minipa ET-2001
- Terminadores ECL
- Circuito anti-"bounce"
- Fonte alimentação -5.2V, -2V, +5V, -4V, GND
- Cabos flexíveis com conectores SMA
- Atenuadores de 3, 6, 10 e 20 dB
- Test Fixture TriQuint, modelo ETF-MLC68, para cápsulas MLC68/40

(*) as saídas DATA e CLOCK são do tipo "single"

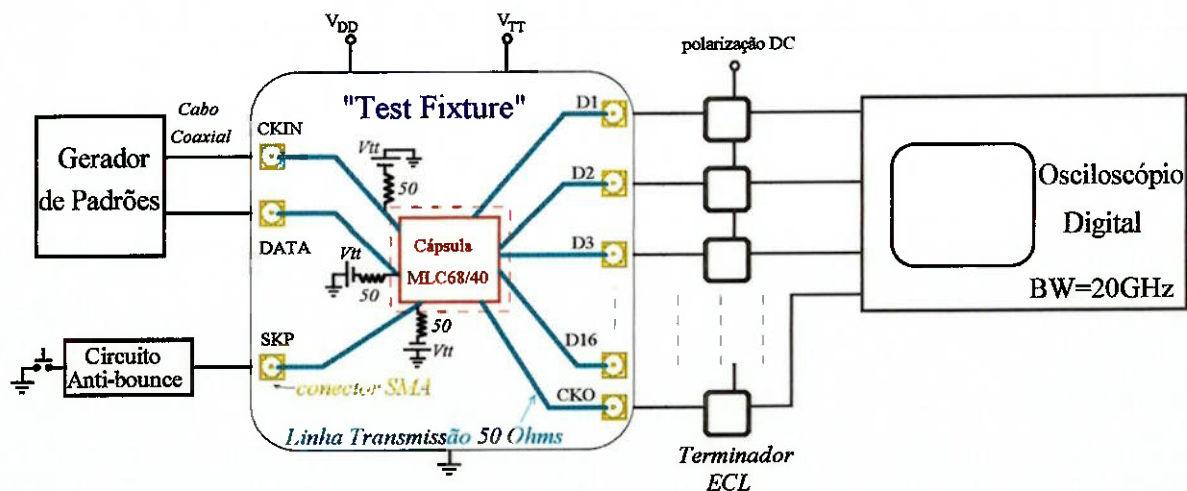


Figura 5.2 Montagem básica dos equipamentos e do "test fixture" para a caracterização de CI em taxas de Gb/s.

5. Resultados Experimentais

Na figura 5.3 estão associados os pinos do demultiplexador encapsulado (numeração interna) com os conectores SMA do "test fixture" TriQuint (S1 a S40). São mostrados também a configuração de terminação para as entradas e saídas do demultiplexador empregando-se terminadores ECL nas saídas. A atuação dos sinais de controle SEL1, SEL2, CK2M foi apresentada no item 4.3.5, quadros 4.3.a e 4.3.b. A terminação das portas foram assim configuradas:

- *Entradas*: resistor de $50\ \Omega$ em chip conectado a V_{TT} (-2V)
- *Saídas*: terminador ECL, ou então resistor de $50\ \Omega$ em chip conectado a V_{TT} (-2V)

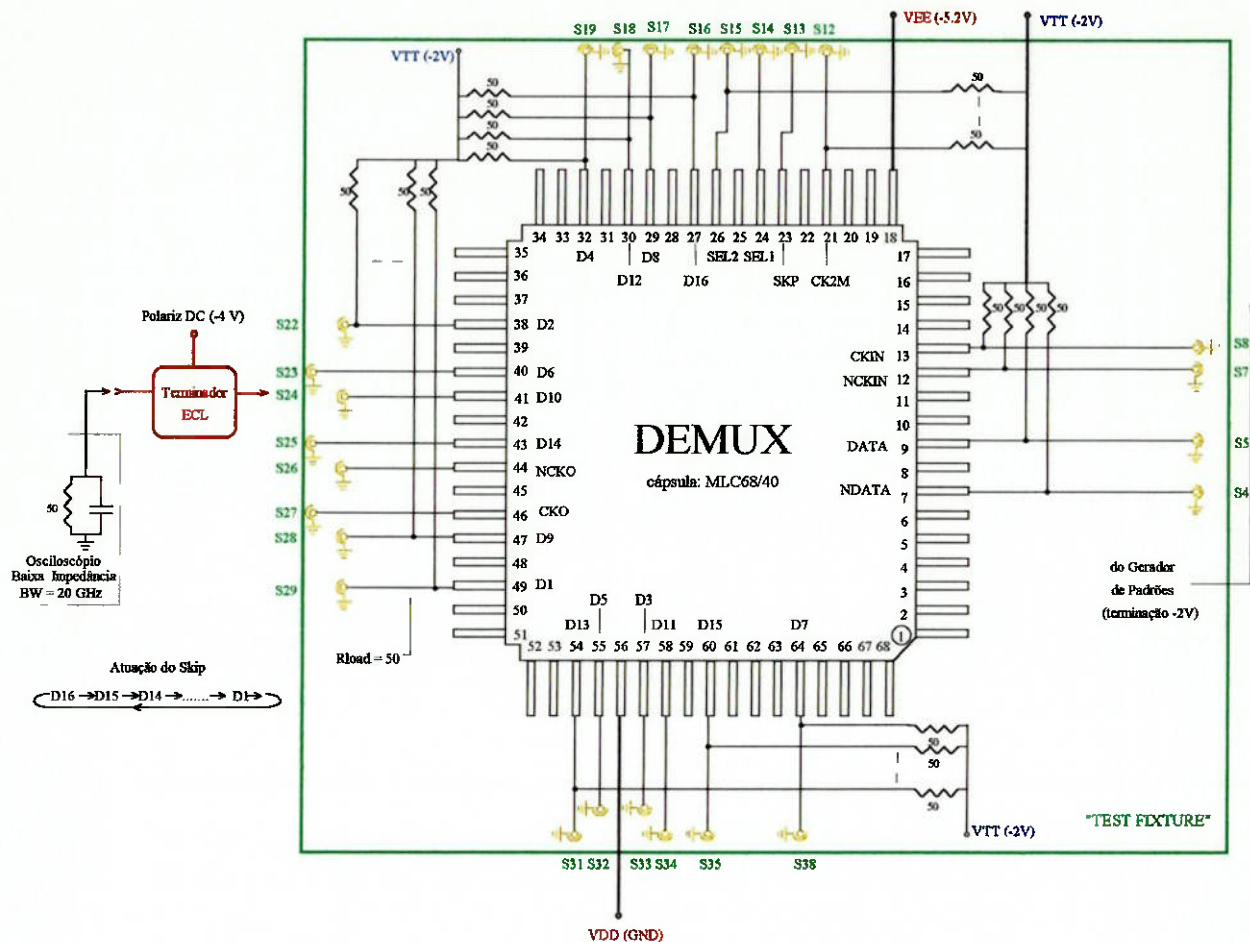


Figura 5.3 Identificação e configuração das terminações de entrada e saída do demultiplexador encapsulado quando montado no "test fixture".

5.3.2 Parâmetros Medidos e Resultados

A funcionalidade do demultiplexador foi comprovada medindo-se, em temperatura ambiente, o desempenho de 15 amostras do CI em taxa baixa (10Mb/s), e de 3 amostras do CI em altas taxas (622 Mb/s e 2,488 Gb/s). O circuito foi alimentado com sinais de relógio e de dados NRZ com fase relativa de 180° e níveis de tensão compatíveis com ECL. As funções do chip testadas independentemente são descritas a seguir.

a - Consumo de potência e funcionalidade

O consumo de potência do demultiplexador foi medido com tensão nominal de alimentação ($V_{EE} = -5,2$ V), à temperatura ambiente de 25 °C, com portas de entrada e saída terminadas nas condições nominais de uso, isto é, todas as entradas e saídas terminadas em 50 Ω para $V_{it} = -2$ V.

Foram feitas medidas em baixa taxa (10Mbits/s) no LME/EPUSP visando avaliar a funcionalidade dos protótipos do demultiplexador construídos na foundry e medidas em altas taxas no CPqD/Telebrás e LSI-EPUSP, comparando os resultados experimentais com os de simulação do projeto. Dentre 15 amostras encapsuladas testadas em baixa taxa apenas uma (6,7%) apresentou falha geral, e as demais apresentaram funcionalidade compatível com a esperada. A potência média dissipada em alta taxa para onze amostras medidas é apresentada no quadro 5.1. Verifica-se que o consumo de potência total é muito próximo ao obtido em baixa taxa e ao valor de potência estimado na fase de projeto.

Quadro 5.1 Consumo de correntes e potência médias em baixa e alta taxa para os protótipos do demultiplexador construídos na foundry TriQuint.

Taxa Consumo	10 Mb/s	2,488 Gb/s
$\overline{I_{EE}}$ [mA]	177,1	181,5
δI_{EE} [mA]	6,9	6,4
$\overline{I_{TT}}$ [mA]	259,1	233,5
δI_{TT} [mA]	10,3	3,8
$\overline{P_{TOT}}$ [mW]	1419,1	1410,8
δP_{TOT} [mW]	12,4	7,4

Obs: - Demultiplexador operando no modo 1:16

- Padrão DIN = 101010 (determinístico, 32 bits)

- Potência Total estimada de projeto: $P_{TOT} = 1415$ mW

O circuito demonstrou completa funcionalidade em 10 Mb/s, ou seja:

- demultiplexagem adequada do sinal de entrada;
- correta atuação do sinal de controle SKP;
- atuação do sinal de controle CK2M como especificado no projeto;

5. Resultados Experimentais

- atuação do sinal de controle SEL1, seleção de modo DMX1:4 ou DMX1:16, como especificado no projeto;
- correta atuação do sinal de controle SEL2, desativação das saídas do demultiplexador;
- fase relativa do sinal de dados de saída e relógio de saída como especificado ($\approx 180^\circ$ e borda de subida).

b - Caracterização das formas de onda de saída

As tensões correspondentes aos níveis lógicos "0" e "1" foram medidas nas saídas do demultiplexador em condições nominais de operação, variando-se a taxa de relógio de 155Mb/s a 2,488 Gb/s. Obteve-se excursão lógica de saída de $V_{SW} = 1V$ e níveis lógicos compatíveis com ECL ("1" = -0.8V e "0" = -1.8V). Adicionalmente, foram medidos os tempos de subida e descida dos dados demultiplexados, como mostram a figura 5.4, para um Dout típico, e o quadro 5.2.a que apresenta t_r e t_f para uma amostra operando no modo 1:16 e taxa de relógio nominal. Alguns canais de saída apresentaram t_r e t_f um pouco acima do esperado, devido à existência de ripple, causado provavelmente por crosstalk internos gerados na quarta etapa de demultiplexagem, já que para o modo 1:4 não ocorreu acréscimo no tempo de subida esperado, como mostra o quadro 5.2.b.

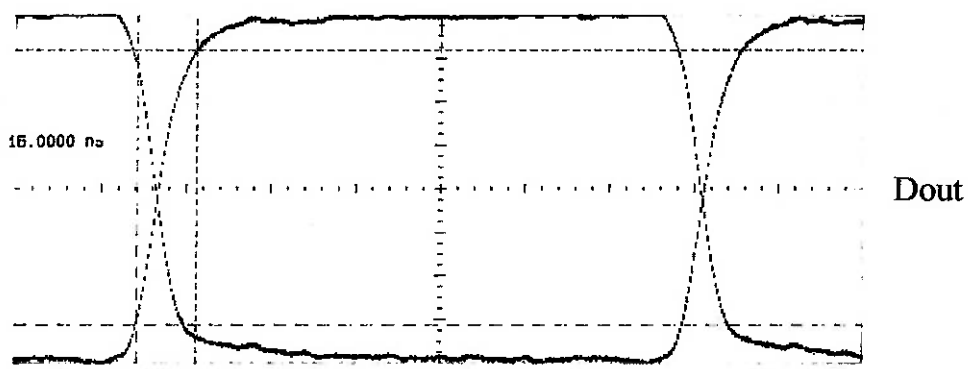


Figura 5.4 Demux 1:4, Dout típico. Tempo de Subida e Descida medidos: $t_r = 700$ ps, $t_f = 600$ ps, (@ 10% e 90%), $V_{SW} = 1V$, @ $R_{load} = 50\Omega$.

Quadro 5.2.a Tempos de subida e descida dos sinais demultiplexados para uma amostra, modo 1:16.

amostra B12	DEMUX 1:16 - CKIN = 2,488 Gb/s															
Dout	D1 S29	D2 S22	D3 S33	D4 S19	D5 S32	D6 S23	D7 S38	D8 S17	D9 S28	D10 S24	D11 S34	D12 S18	D13 S31	D14 D25	D15 S35	D16 S16
t_{rise}^1 [ps]	750	820	730	700	730	998 ⁽²⁾	910 ⁽²⁾	740	930 ⁽²⁾	943 ⁽²⁾	870	780	910 ⁽²⁾	950 ⁽²⁾	880	820
t_{fall}^1 [ps]	520	730	564	550	540	552	760	570	602	725	680	600	768	830	675	600

(1) 10% e 90%

(2) sinal com ripple próximo a 10% e tempo de subida levemente afetado

Quadro 5.2.b Tempos de subida e descida dos sinais demultiplexados para uma amostra, modo 1:4.

amostra B12	DEMUX 1:4 - CKIN = 622 Mb/s			
Dout	D1 (S16)	D2 (S18)	D3 (S17)	D4 (S19)
t_{rise}^1 [ps]	740	745	745	718
t_{fall}^1 [ps]	568	560	680	555

(1) 10% e 90%

Deve-se ressaltar que o Gerador de Padrões SDH da Anritsu ME3620A utilizado na caracterização do demultiplexador não apresenta saídas diferenciais para o sinal de dados e de relógio. Assim, as entradas de dados e relógio diferenciais foram alimentadas com sinais "single" (fazendo-se $V_{sw} = 2V$ e $V_{th} = -1,3V$) e as respectivas entradas complementares foram conectadas a $-2V$ via resistores de 50Ω , o que representa uma condição possível, mas não ideal de teste. Posteriormente, a mesma medida foi repetida empregando-se um gerador de pulsos HP8133A com sinais diferenciais e níveis ECL, obtendo-se resultados equivalentes.

Embora não tenha sido feitas medidas específicas de sensibilidade do demultiplexador, obteve-se correto funcionamento do modo 1:4 em 622 Mb/s para sinais de relógio e de dados de entrada do tipo não-diferencial com amplitudes de 590 mV e 380 mV, respectivamente, sinais estes conectados a $-2V$ via resistores de 50Ω .

c - Divisor de relógio

O funcionamento do divisor de relógio foi verificado aplicando-se o sinal de relógio na entrada CKIN e observando-se o sinal na saída CKOUT dividido por 16. Este teste permitiu verificar a funcionalidade do divisor de relógio quanto a máxima taxa de operação especificada e características das formas de onda de saída, tais como níveis de tensão, tempo de subida e descida, e excursão lógica. As formas de onda da figura 5.5.a mostram que os divisores de relógio operam pelo menos até 2,488 Gbit/s.

A figura 5.5.b apresenta as formas de onda do divisor de relógio para taxa do sinal de entrada, CKIN = 622 MHz e de saída, CKOUT = 155 MHz (CKIN/4).

Empregando-se o gerador de pulsos HP8133A verificou-se que a máxima taxa para a qual os divisores de relógio funcionam adequadamente é de 2,73 Gb/s, medidas realizadas em duas das amostras, tendo como entradas sinais diferenciais e níveis ECL.

5. Resultados Experimentais

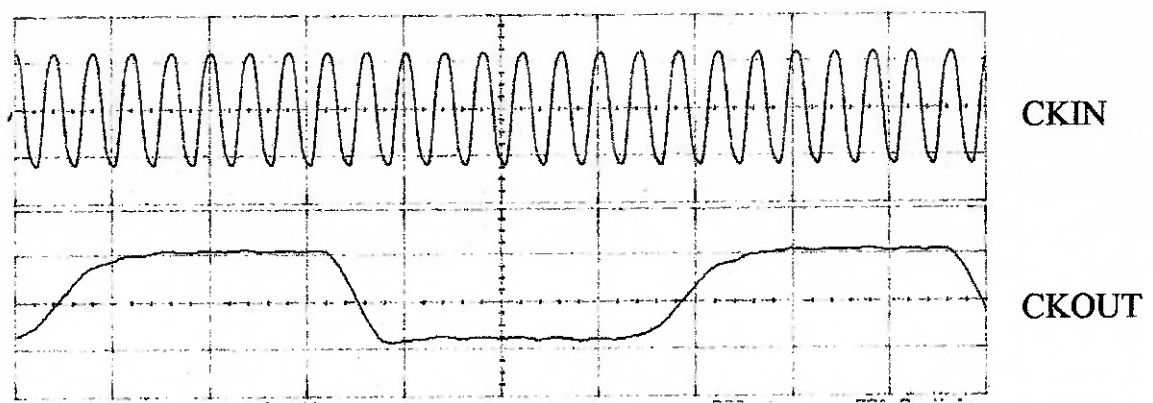


Figura 5.5.a Formas de onda dos sinais de relógio de entrada e de saída para o demultiplexador no modo 1:16; taxas de 2488 e 155 Mbit/s, respectivamente. $V_{SW} = 1V$, $@R_{load} = 50\Omega$.



Figura 5.5.b Entrada e saída dos sinais de relógio no Demultiplexador, modo 1:4; taxas de 622Mb/s e 155 Mbit/s, respectivamente. $V_{SW} = 1V$, $@R_{load} = 50\Omega$

d - modo CK/2

Testou-se também o circuito demultiplexador na condição de “bypass” do primeiro divisor de relógio, fazendo-se a entrada de controle $CK/2M = “1”$ e alimentando-se diretamente a entrada de relógio com sinal de taxa $Ck/2$ no lugar de Ck . Nesta condição, o circuito apresentou o desempenho desejado em todas as amostras testadas, sendo verificado que a taxa do sinal de saída $CKOUT$ é $1/8$ ou $1/2$ da taxa do sinal aplicado à entrada $CKIN$, dependendo do modo de demultiplexagem selecionado. Este modo de operação pode ser usado no caso de variações de processo tecnológico causarem a falha de operação do primeiro divisor por 2 na taxa de 2,488 Gb/s.

e - Demultiplexador 1:4

Através da entrada de controle $SEL1$ selecionou-se o modo de operação do demultiplexador 1:4. Aplicou-se tanto sequência de dados NRZ determinística, como

pseudo-aleatória de padrão de repetição de ordem 2^7-1 a $2^{23}-1$ na entrada DATA do circuito, observando-se as saídas D1 a D16. Nessas condições verificou-se a funcionalidade do Demux 1:4, através dos sinais presentes em suas saídas (Da, Db, Dc e Dd). Adicionalmente, verificou-se que as demais saídas (De, Df,...) apresentaram níveis lógicos/elétricos constantes, consoante com o especificado. Esse teste foi realizado para sinais de relógio de entrada com taxas de 155 e 622 Mb/s. Portanto, obteve-se com este teste a comprovação da funcionalidade em alta taxa e das características das formas de onda de saída do demultiplexador no modo demultiplexador 1:4.

A figura 5.6.a, 5.6.b apresentam formas de onda típicas para os sinais de relógio e de um canal de dados demultiplexado para o CI operando no modo 1:4 e taxa de relógio de 622 Mb/s, quando padrões determinísticos do tipo 7/8 e 1/8, respectivamente, são aplicado à entrada de dados. Os tempos de subida e descida para o sinal de dado de saída mostrado na figura são 630 e 430 ps, respectivamente. Para o mesmo sinal, a fase relativa entre relógio e dado de saída é de 192° .

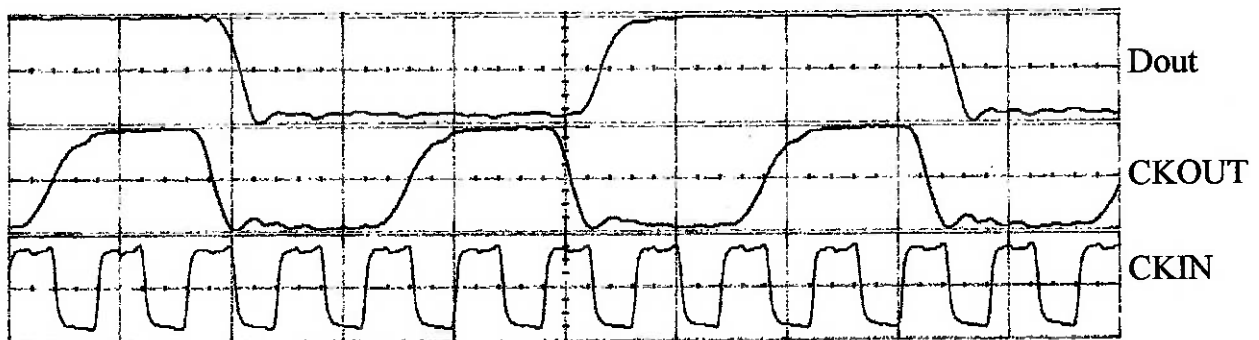


Figura 5.6.a Demux 1:4 - Dout típico (S17), CKout com taxa de 155Mb/s, ambos os canais com 500mV/div e CKIN com taxa de 622Mb/s, 1V/div; dados de entrada com padrão 7/8

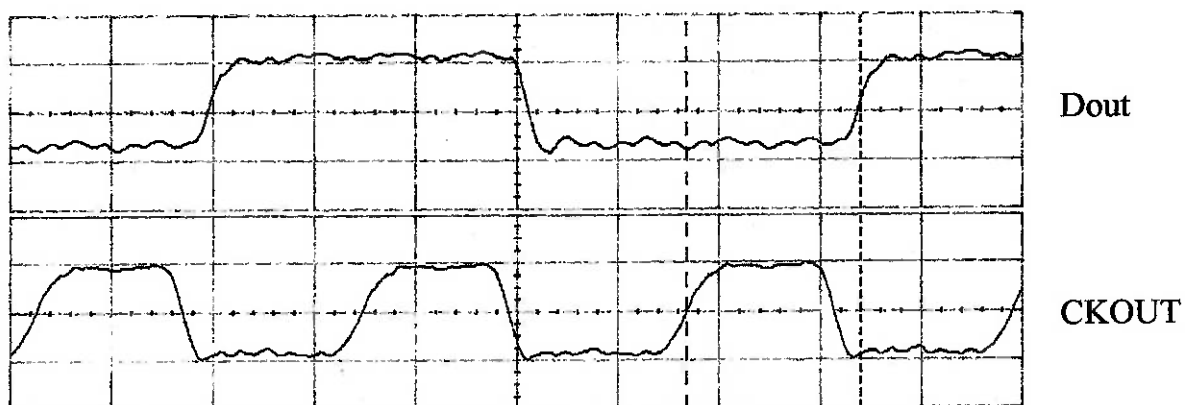


Figura 5.6.b Demux 1:4 - Dout típico (S17), CKout com taxa de 155Mb/s, e CKin com taxa de: 622Mb/s, ambos canais com 500mV/div; dados de entrada com padrão 1/8

Já a figura 5.7 apresenta formas de onda de saída do demultiplexador operando no modo 1:4, tendo como entrada um sinal de dados com padrão pseudo-randômico $2^{23}-1$.

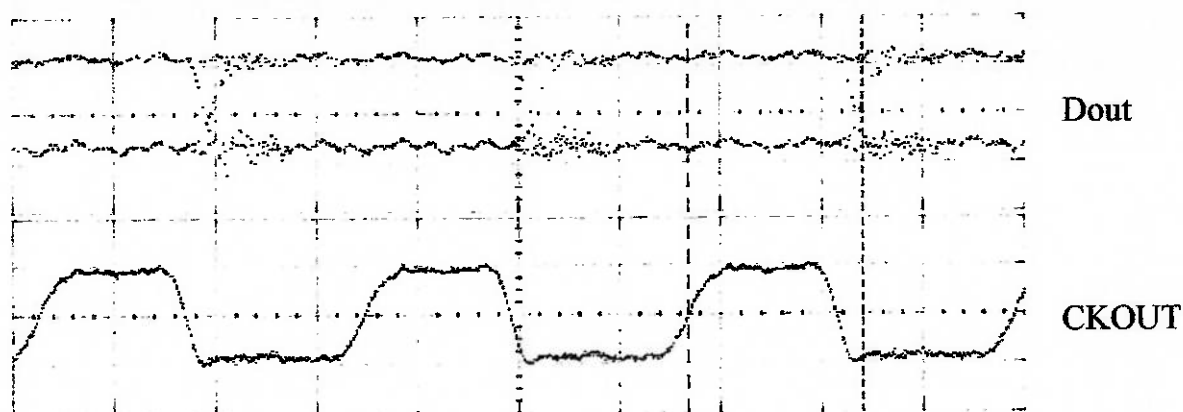


Figura 5.7 Demux 1:4 - Dout típico (S17) e CKout com taxa de 155Mb/s, ambos canais com 500mV/div; dados de entrada com padrão pseudo-randômico $2^{23}-1$ e Ckin com taxa de 622Mb/s.

f - Demultiplexador 1:16

Através da entrada de controle SEL1 selecionou-se o modo de operação do demultiplexador 1:16. Uma sequência de dados NRZ pseudo-aleatória de mesmo padrão que a anterior foi aplicada à entrada DATA IN do demultiplexador, observando-se as saídas D1 a D16. O desempenho do CI operando no modo 1:16, com taxa de relógio de 2,488 Gb/s é mostrado nas figuras 5.8. São mostrados formas de onda do sinal de relógio de saída, Ckout, e de um canal de dados demultiplexado típico, D12.

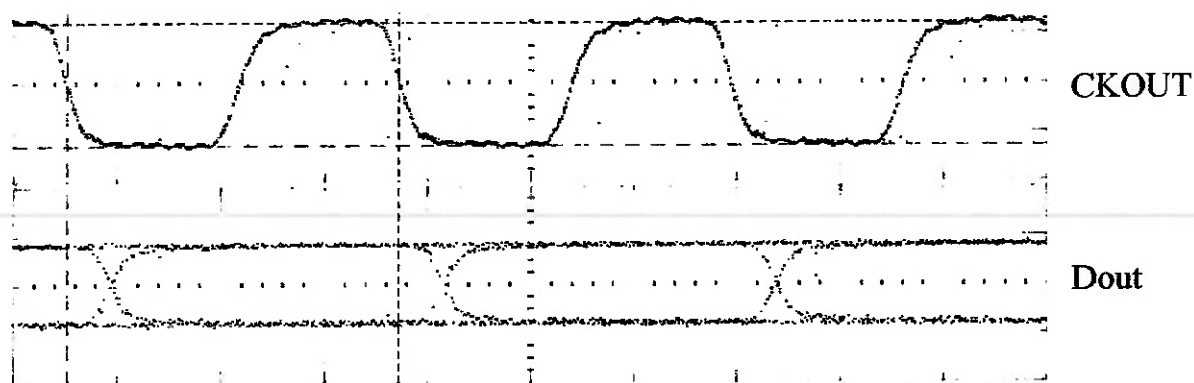


Figura 5.8 Demux 1:16 CKOUT com taxa de 155Mb/s, Dout (S18). Tem-se Ckin com taxa de 2488 Mb/s e Din com padrão pseudo-randômico $2^{17}-1$. $V_{SW} = 1,0V$

Esse teste foi realizado para sinais de relógio de entrada com taxas de 155, 622 e 2488 Mb/s. A funcionalidade, taxa de operação nominal e características das formas de onda de saída, tais como níveis de tensão, excursão lógica, tempos de subida e descida foram verificadas para o modo 1:16.

g - Circuito de Skip

Verificou-se ainda a atuação do circuito de Skip integrado ao demultiplexador para ambos os modos de demultiplexagem e taxa máxima de relógio de entrada de 2,488 Gb/s. Provocando-se uma transição de nível lógico 1→0 ou 0→1 na entrada de controle do circuito de Skip, os sinais presentes nas saídas D1 a D16 deslocaram-se para as respectivas saídas adjacentes, como mostrado na figura 5.9, caracterizando o correto funcionamento do circuito de Skip. Para realizar transições de níveis na porta de entrada SKP do demultiplexador, utilizou-se do circuito digital de baixa taxa anti-"bounce", comandado manualmente pelo usuário.



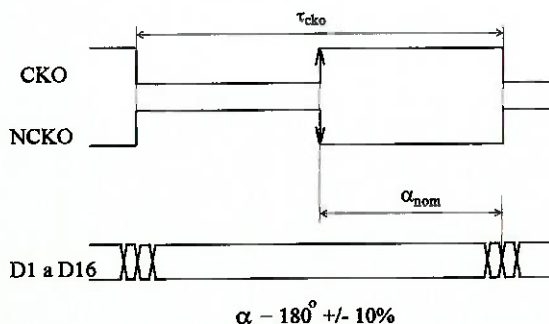
Figura 5.9 Sequência de deslocamento dos dados de saída em função da atuação do circuito de Skip

h - Desabilitação das saídas

Através da entrada de controle SEL2 o modo de operação com saídas desabilitadas foi selecionado. Não foram observadas transições nas saídas D1 a D16, e CKOUT manteve-se em nível lógico "0", independente dos sinais aplicados às entradas de relógio e de dados, comprovando-se as especificações de projeto. Esse teste foi realizado com o demultiplexador operando nos modos 1:4 e 1:16, na ausência e na presença de sinais de "skip" e ainda em operação no modo CK/2.

i - Fase Relativa entre CLKout e Dout (α)

A figura 5.10 abaixo apresenta os limites máximos e mínimos da fase relativa entre o sinal de relógio e de dados de saída, para as condições nominais de operação, impostos nas especificações de projeto.



	DMX 1:16	DMX 1:4
T_{cki} [ps]	401,9	1607,7
T_{cko} [ps]	6430,8	6430,8
α_{lim} [ps]	2893 a 3536	2893 a 3536

Figura 5.10 Especificação da fase relativa mínima e máxima entre CKO e D1 a D16.

Realizou-se a medida da fase relativa entre dados e relógio de saída, com o demultiplexador operando em 2,488 Gb/s, modo de demultiplexagem 1:16 e 622 Mb/s, modo 1:4. Essas medidas de fase relativa foram realizadas nos 16 canais de saída, em duas amostras, obtendo-se valores para α_{med} compatíveis com a especificação. As figuras 5.11 apresenta o desvio percentual para as fases relativas de saída, $\alpha_{\%}$, obtidas para os dois modos de demultiplexagem, em duas amostras medidas. As diferenças das magnitudes destas fases deve-se às diferenças de caminho percorridos pelos sinais entre o último Demux 1:2 e a respectiva célula de I/O: existem quatro canais onde estão presentes seletores 2:1, ou ainda, conexões metálicas mais longas devido ao posicionamento relativo dos pad's. Valores de desvio percentual da fase relativa de saída, $\alpha_{\%}$, indicados na figura 5.11, mostraram que nas duas amostras medidas, para os dois modos de demultiplexagem, houve um deslocamento positivo na fase relativa de saída em relação ao especificado. Para operação do demultiplexador no modo 1:16, a fase relativa de saída variou entre $\alpha = 206^{\circ} \pm 8,7 \%$, e para o modo 1:4, $200^{\circ} \pm 5,0 \%$. A menos deste deslocamento no tempo, o desvio percentual da fase relativa de saída medido foi sempre menor que $\alpha_{\%} = \pm 10\%$, quando considerado todos os dados de saída em duas amostras. Este deslocamento no tempo pode ser eliminado reduzindo-se o tempo de percurso do sinal de relógio de saída.

Na determinação da fase relativa entre o sinal de relógio de saída e os sinais de dados demultiplexados foram consideradas as diferenças de percurso realizados por esses sinais, entre os terminais da cápsula e os conectores SMA do "test fixture". Diferenças de até 190 ps podem ser introduzidas dependendo dos terminais SMA do "test fixture" considerados.

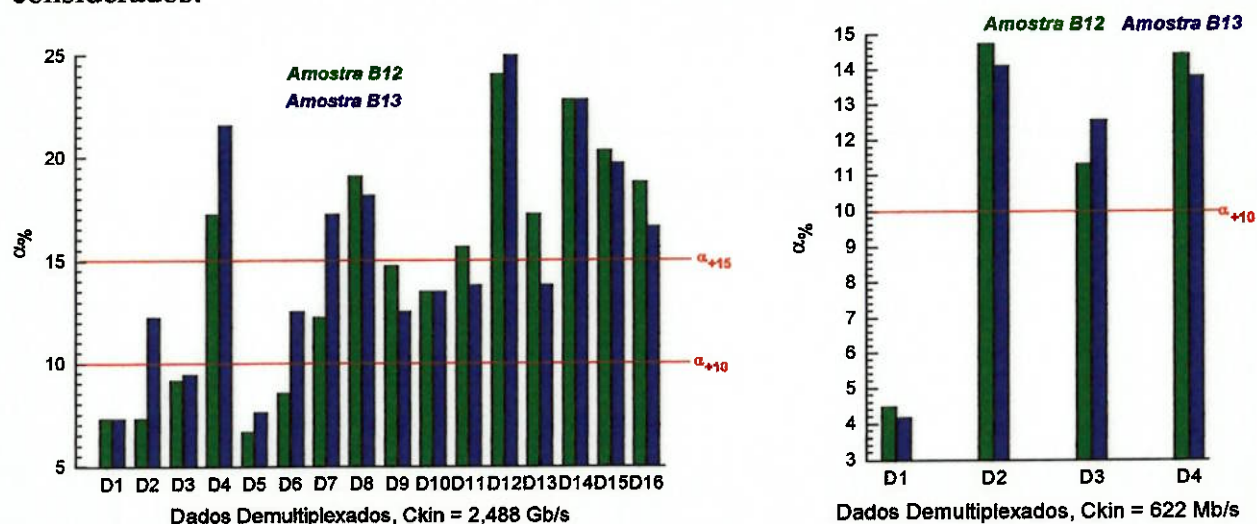


Figura 5.11 Desvio Percentual da fase relativa entre dados e relógio de saída, $\alpha_{\%}$, realizado em duas amostras. Demux modo 1:16 e 1:4, respectivamente.

j - Margem de Fase Nominal

Um dos principais parâmetros que caracteriza um demultiplexador de alta

5. Resultados Experimentais

velocidade, a Margem de Fase Nominal de Entrada, MF_{nom} , deve ser avaliada na taxa de operação nominal de entrada (622 e 2488Mb/s) para uma dada taxa máxima de erro de bit (BER)_{max}, previamente definida para os padrões STM-16 (2,488 Gb/s) e STM-4 (622 Mb/s). A definição genérica para M.F. foi apresentada no item 3.2.1, figura 3.1. Assim, a MF_{nom} é a margem de fase considerando-se taxa de operação nominal e BER abaixo de um valor previamente definido. Quanto mais próxima a margem de fase estiver de 360° , melhor será o desempenho do demultiplexador.

Assim, faz-se necessário realizar a medida do BER^{95} nas saídas demultiplexadas. Um dos possíveis esquemas para a realização desta medida está esboçado na figura 5.12. A medida da Margem de Fase de Entrada é então obtida variando-se a fase relativa entre DATA e CKIN através dos controles do gerador de dados/pulso. A faixa de variação da fase relativa da entrada tal que a taxa de BER não exceda a taxa de erro pré-definida para os padrões STM-16 e STM-4 corresponderá à MF_{nom} para o demultiplexador no modo 1:16 e 1:4, respectivamente.

Deve-se escolher um padrão determinístico para DATA tal que maximize a possibilidade de "crosstalk" interno aos canais demultiplexados. Para o demultiplexador de 16 canais, basta uma palavra de pelo menos 32 bits para se reproduzir a condição de interferência interna entre canais, ou seja todos os canais demultiplexados adjacentes realizando transições em oposição de fase. Desta forma, garante-se a medida de BER nos canais de saída na pior condição. Esta taxa de erro de bit é medida em cada canal demultiplexado por um período que pode ser curto (ordem de segundos), ou longo (ordem de minutos ou mesmo horas).

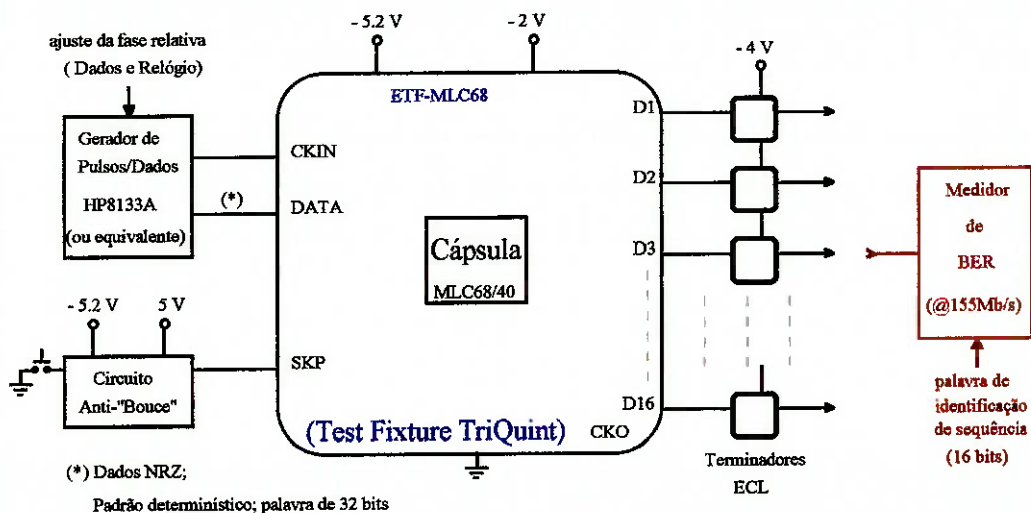


Figura 5.12 Possível configuração para a medida de Margem de Fase de Entrada do demultiplexador projetado.

Uma alternativa para o setup da figura 5.12 utiliza um multiplexador padrão, MUX, para a caracterização em alta taxa do demultiplexador. Neste caso, o MUX deve apresentar características de desempenho muito acima do dispositivo sob teste: representa

um “golden part” do setup de medidas⁹⁶ A figura 5.13 mostra a configuração do par MUX padrão e o DEMUX sob teste.

O testador de taxa de erro de bit, BERT (Bit Error Tester) comercial deve ser capaz de produzir uma sequência de bit pseudo-aleatória com taxas desde centenas de Mb/s até, neste caso, pelo menos 2,5 Gb/s, formato NRZ. O setup de medidas como um todo é controlado por computador com interface GPIB (General Purpose Interface Bus), ou equivalente.

O padrão de entrada do MUX é deslocado, no registrador de deslocamento, de 1 bit a cada CK/16 ou CK/4, dependendo do modo de demultiplexagem selecionado. Este método de aplicação do estímulo na entrada, segundo Runge et al⁹⁵ maximiza o crosstalk interno.

Pode-se monitorar a variação da fase relativa entre dados e relógio de entrada do demultiplexador através de um osciloscópio, de $BW \geq 12,5$ GHz (pelo menos até a quinta harmônica da maior taxa), conectado nas entradas DATA e CKIN do Demux sob teste. Ajustando-se a linha de atraso DLY1, obtém-se variações na fase relativa de entrada. Basta então monitorar o BER de todos os canais para cada fase relativa de entrada, previamente ajustada, para se ter o mapeamento da margem de fase nominal do demultiplexador sob teste.

Os esquemas esboçados nas figuras 5.12 e 5.13 permitem ainda medir, para uma dada BER_{max} :

- . máxima taxa de operação do demultiplexador;
- . máxima taxa de operação em função da temperatura;
- . margem de fase de entrada em função da taxa de operação;
- . margem de fase de entrada em função da temperatura ambiente;
- . margem de fase de entrada em função da variação da tensão de alimentação.

Durante a caracterização do demultiplexador não foi possível ter a disponibilidade dos esquemas para a medida de margem de fase apresentados nas figuras 5.12 e 5.13. Assim, realizou-se uma medida simplificada, dispensando-se o uso de medidores de BER, que permitiu estimar a margem de fase do circuito, embora com menor precisão. O setup de medidas utilizado foi similar ao da figura 5.12, trocando-se o medidor de BER por um osciloscópio digital. Para o sinal de dados foi empregado um padrão determinístico conveniente, do tipo $DATAIN = 101010...10$. Variou-se então a fase relativa entre dados e relógio de entrada, observando-se o sinal de dados demultiplexado no osciloscópio. Estimou-se a margem de fase observando-se o intervalo de fase relativa entre dado e relógio de entrada para o qual o dado de saída observado mantinha-se estável. Obteve-se margem de fase estimada de 185° em 2,488 Gb/s, modo 1:16, e aproximadamente 360° em 622 Mb/s, modo 1:4.

5. Resultados Experimentais

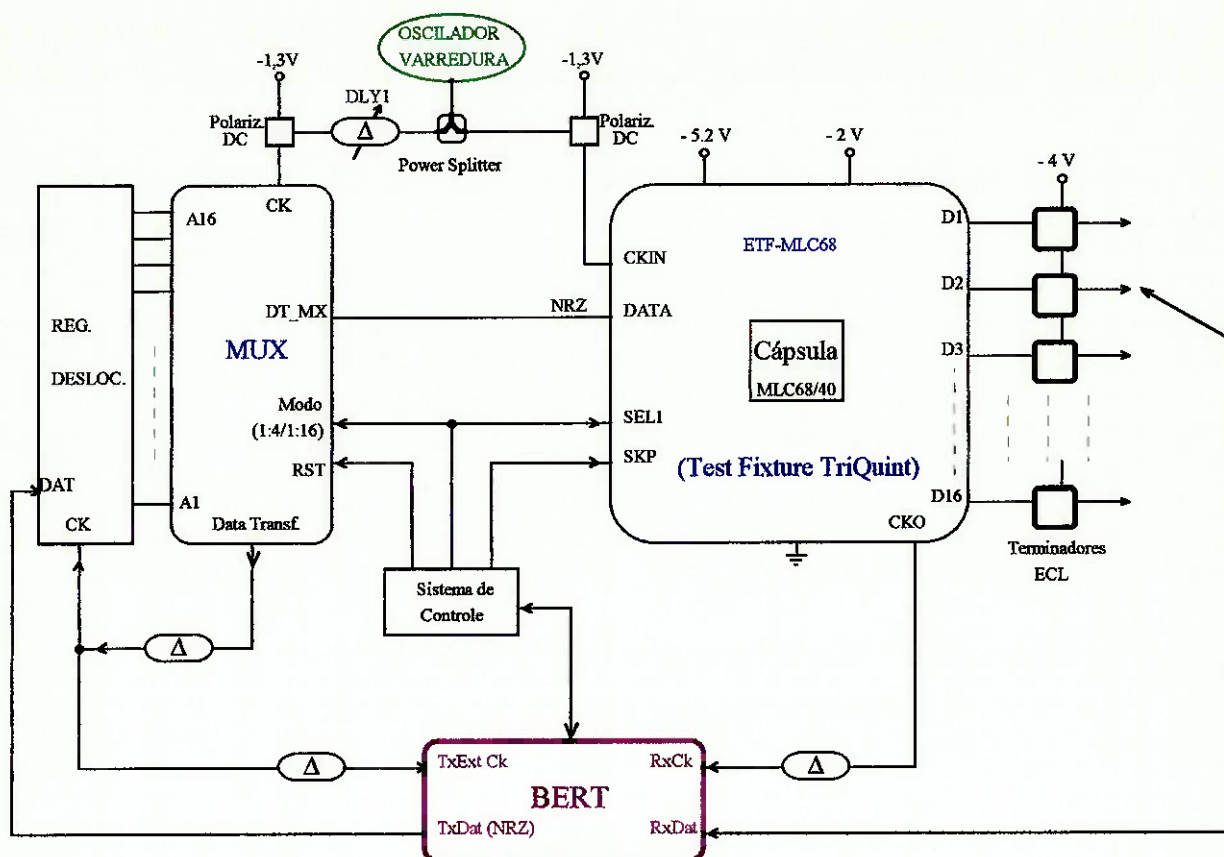


Figura 5.13 Configuração alternativa para a caracterização da Margem de Fase de Entrada e de outros parâmetros.

k - Caracterização em função da temperatura

Para completar a caracterização do demultiplexador, deve-se repetir as medidas anteriormente citadas variando-se a temperatura ambiente na faixa de 0 °C a 85 °C, limites para a temperatura ambiente especificado pelo manual de projeto QLSI-TriQuint.

Durante a fase de caracterização do demultiplexador não foi possível reunir em um mesmo ambiente os equipamentos de caracterização elétrica em taxa de Gb/s e equipamentos para variação de temperatura ambiente de operação do circuito, como câmara climática. Dessa forma, a caracterização do circuito ficou restrita a temperatura ambiente em torno de 25 °C.

Sintetiza-se no quadro 5.3 os principais parâmetros para o demultiplexador caracterizado.

Quadro 5.3 Medidas dos principais parâmetros do demultiplexador.

Característica	Medida	Unid.	
Taxa máxima de relógio de entrada	2,70	Gb/s	
Taxa máxima de dado de entrada (NRZ)	1,35	Gb/s	
Taxa nominal de relógio de entrada, modo 1:4 / 1:16	622 / 2488	Mb/s	
Taxa nominal de dado de entrada, modo 1:4 / 1:16	311 / 1244	Mb/s	
Resultado de uma mudança de nível no sinal de controle SKP sobre os dados de saída	D16→D15, D15→D14, ... D1→D16	-	
Tempo de subida/descida dos sinais de saída típico ^(a)	771 / 580	ps	
Defasagem máxima entre dados e relógio de saída	206 ± 8,7 %	Graus	
Margem de Fase de Entrada	Demux 1:16 Demux 1:14	185 ≈ 360	Graus
Compatibilidade entrada / saída	ECL	-	
Excursão lógica de saída, V_{sw}	1,0	V	
Tensão de alimentação negativa, V_{EE}	-5,2 ± 10%	V	
Corrente de alimentação típica, I_{EE}	181	mA	
Tensão de alimentação negativa, V_{TT}	-2,0 ± 10%	V	
Corrente de carga de saída típica, I_{TT}	233	mA	
Consumo de Potência Total típico	1,41	W	
Faixa de temperatura de operação	0 a 85	°C	
tamanho do "die"	2,5	mm	

(a) @ $R_{load} = 50 \Omega$ para -2V

5.4 COMPARAÇÃO DOS RESULTADOS COM OS DA LITERATURA

No quadro 5.4.a relaciona-se os resultados da literatura atual referentes à implementação de demultiplexadores e multiplexadores. Parâmetros característicos como área, potência, máxima taxa de operação, margem de fase, relação de demultiplexagem e/ou multiplexagem e algumas informações de processo de fabricação de chip foram agregadas. Note que estão incluídas topologias realizadas em Si-bipolar para efeito de simples comparação com as arquiteturas que empregam MESFET em GaAs. Os mesmos parâmetros característicos obtidos neste trabalho são mostrados no quadro 5.4.b. A figura 4.14 relaciona graficamente a taxa de operação e a potência dissipada dos demultiplexadores 1:16 e 1:8 implementados em GaAs MESFET e Si-Bipolar HBT, mostrados nos quadros 5.4.a e 5.4.b.

Quadro 5.4.a Área de chip, consumo, margem de fase, taxa de operação, relação de (de)multiplexagem e parâmetros de processo para alguns Mux's e Demux's implementados nos últimos anos

LÓGICA	TOP	V _{th} (V)	L _g (μm)	TAXA (Gb/s)	RELA ÇÃO	M.F graus	Nº Trans.	ÁREA (mm) ²	POT (W)	REF
DCFL	rg	0,05	0,7	3,2	16:1 1:16	220	1200 m 1000 d	3,3x3,3 m d	1,3 m d	60
BFL	rg	*	*	2	16/8:1 1:8/16	*	células padrão	<1,9x1,9 m, d	~ 2,0 m d	96
LSCFL	arv	0,07	0,5	4,0 m 4,6 d	16:1 1:16	*	371 m 379 d	3,5x4.1 (m+d)	1,6 m d	68
SCFL / DCFL	*	Vitesse ^a H-GaAs	0,6	2,5	1:16	*	*	*	1,22	98
SCFL	arv +sk	-0,2	0,5	11,4 m 10,4 d	8:1 1:8	260 230	1800 -d (elem)	3x3 -m 3x3 -d	3,8 m d	71
DCFL	rg	-0,047 s -0,884 l	0,5	8	8:1 1:8	260 180	348 -m 382 -d	2,7x1,7 m 2,7x 2,4 d	1,5 m 1,9 d	79
SCFL	arv	-0,2	0,5	20	1:8	*	1800	2,6x3,2	7,5	97
SCFL	arv	-1,6	0,7	3,8 m 4,0 d	4:1 1:4	75 72	*	2,0x2,3 m d	3,0 m 3,7 d	20
CML (HBT)	arv +sk	Si bipolar	0,4 larg. emissor	10	1:16	290	2500	3,2x3,2	2,0	73
CML (ECL)	arv	Si bipolar	1,2x7,0 emissor	5,0 m 4,2 d	8:1 1:8	*	gate array	3,7x3,7 m, d	2,6 m 2,8 d	56
CML (HBT)	arv +sk	Si bipolar	1,4x3,0 emissor	6	8:1 1:8	* 240	~ 600 m, d	1,9x1,4 m, d	1,5 m, d	76
CML (HBT)	arv	Si bipolar	variável	10	8:1 1:8	*	1000 m d	2,5x1,6 m d	3,8 m 4,3 d	83
CML (HBT)	arv +sk	Si bipolar	2x4 emissor	12,5 d	1:4	230	370 d	1,5x1,5	1,9 d	66
CML (HBT)	rg	Si bipolar	1,4x3 emissor	11,6 d	1:4	270	*	1,9x1,6	1,4	59
CML (HBT)	rg	Si bipolar	0,5 larg. emissor	5,0 m 4,8 d	4:1 1:4	*	*	1,5x1,5 m 1,5x2,5 d	0,6 m 1,2 d	55
CML (HBT)	arv +sk	Si bipolar	0,4 larg. emissor	12	4:1	200	350	2,0x2,0	1,8	99
CML (HBT)	arv	Si bipolar	1,5x4 emissor	15 m 19 d	2:1 1:2	*	120 m 200 d	1,5x1,7 m d	0,9 m 1,4 d	70

m = Mux d = Demux sk = circuito de Skip arv = topologia árvore rg = reg. Deslocamento
l = transistor de carga s = transistor de chaveamento (*) não cita (a) produto comercial

Quadro 5.4b Área de chip, consumo, margem de fase e taxa de operação para o demultiplexador realizado neste trabalho.

SCFL	arv +sk	processo QED/A	1,0	2,488 0,622	1:16 1:4	185° ≈360°	células padrão	2,5x2,5	1,41	-
------	------------	-------------------	-----	----------------	-------------	---------------	-------------------	---------	------	---

5. Resultados Experimentais

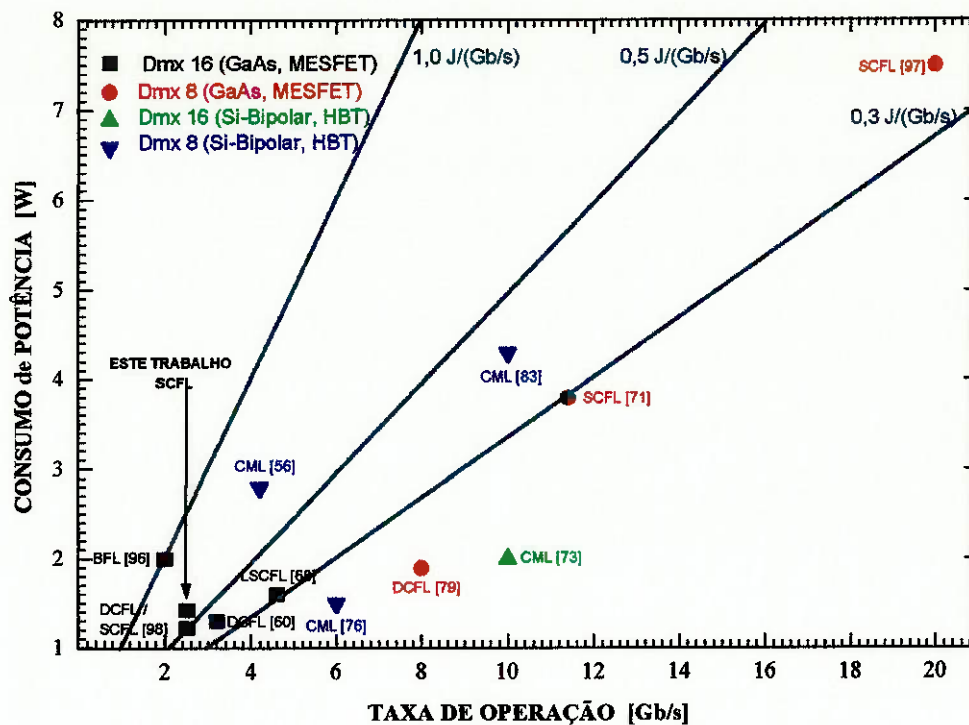


Figura 5.14 Gráfico de desempenho (relação Consumo de Potência/Taxa de operação) para demultiplexadores implementados nos últimos anos

Em geral, a implementação de demultiplexadores empregando células DCFL apresenta melhor desempenho em termos de consumo de potência / taxa de operação quando comparado com estruturas que empregam exclusivamente células SCFL e BFL, nesta ordem. No entanto, para um mesmo comprimento de porta e processo tecnológico, obtém-se taxas mais altas de operação quando se emprega células SCFL. Basta comparar o desempenho dos demultiplexadores de relação 1:8 no quadro 5.4.a, referência [71] e [79]. Para o mesmo comprimento de gate $L_g = 0,5 \mu\text{m}$, o par Mux/Demux da referência [79], implementado com DCFL e topologia registrador de deslocamento consome menos potência que o da referência [71], implementado em SCFL e topologia árvore. Note, no entanto, a superioridade de velocidade do par implementado em SCFL.

Circuitos implementados em Si-Bipolar que empregam heteroestruturas (transistores HBT) apresentam índice de desempenho consumo de potência / taxa de operação similar aos circuitos (de)multiplexadores implementados a partir de transistores MESFET. Mas, para taxas de operação muito elevadas (acima de 10 Gb/s), justamente onde a redução de consumo obtida com a lógica DCFL não pode exercer seus efeitos, estruturas implementadas em HBT Si-Bipolar resultarão em melhor desempenho consumo de potência / taxa de operação.

A figura 5.14 e os quadros 5.4.a e 5.4.b mostram ainda que os resultados obtidos neste trabalho, em termos de consumo de potência / taxa de operação, são compatíveis com aqueles reportados na literatura internacional. Deve-se ressaltar que um ganho real adicional em termos de potência/taxa e de redução da área de chip poderia ser obtido:

5. Resultados Experimentais

- adotando-se mudança na abordagem de projeto para células “full-custom”, em vez de células-padrão;
- mesclando-se células SCFL, empregando-as nas partes do circuito onde a taxa for elevada, com células DCFL, em partes onde a taxa for média ou baixa. A adoção da estratégia de emprego intensivo de células DCFL, onde a taxa de operação permitisse, levaria a uma redução ainda maior do consumo de potência em CI's que empreguem internamente distintas taxas, como é o caso de (de)multiplexadores.

5.5 CONCLUSÕES

- ♦ as medidas realizadas apresentam boa concordância com os resultados de simulação do circuito, atendendo as especificações inicialmente propostas;
- ♦ o desempenho consumo de potência / taxa de operação do demultiplexador deste trabalho é compatível com os resultados reportados na literatura internacional;
- ♦ a caracterização do demultiplexador deve ser completada medindo-se com mais rigor o parâmetro margem de fase de entrada e determinando-se o desempenho do circuito com a temperatura;
- ♦ melhoria no desempenho consumo de potência / taxa de operação pode ser obtido adotando-se abordagem “full-custom” no projeto e utilização da estrutura DCFL para as células que operem em taxas intermediárias e baixas.

Capítulo 6

6. CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

6.1 CONCLUSÕES

Os objetivos propostos inicialmente para esta dissertação de mestrado foram atingidos, tendo-se alcançado uma experiência de projeto em circuito digitais de alta velocidade em GaAs, enfatizando questões referentes a arquitetura de circuitos, leiaute, serviços de foundries e caracterização de CI em taxas de Gb/s. Foram percorridas as seguintes etapas:

- ♦ capacitação no uso de foundry externa que processa CI de alta velocidade em GaAs. Entre outras, pode-se destacar a implementação de ambiente de projeto para o software GDT V.5.2 baseado em biblioteca de células-padrão e ferramentas de captura esquemática e simulação lógica.
- ♦ projeto de um demultiplexador de baixo consumo de potência, com operação selecionável tanto para o modo 1:4 como para 1:16 e que atende aos padrões de comunicação SDH STM-4 (SONET OC-12) e STM-16 (SONET OC-48). Um circuito de Skip série empregando uma topologia modificada original foi integrado ao circuito demultiplexador, tendo gerado um pedido de depósito de patente;
- ♦ construção do CI projetado empregando-se células padrão SCFL com tecnologia de MESFET de comprimento de porta de $1\mu\text{m}$, utilizando-se serviços de foundry comercialmente disponível.
- ♦ capacitação em medidas digitais em taxas de Gb/s.
- ♦ caracterização do demultiplexador projetado, que operou corretamente até pelo menos 2,7 Gb/s com consumo de potência de 1,4 W. Os resultados experimentais demonstraram boa concordância com as especificações inicialmente propostas para o circuito de Skip e para o demultiplexador. O demultiplexador caracterizado foi inserido em um sistema de recepção óptica operando em 622 Mb/s (padrão STM-4), tendo operado corretamente neste sistema.
- ♦ análise crítica do projeto realizado, concluindo-se que o desempenho global do demultiplexador pode ser aprimorado reduzindo-se ainda mais seu consumo de potência, reprojetoando-se o circuito ao nível de transistor e empregando-se estruturas DCFL nas partes do circuito que operam em taxas intermediárias e baixas.

6.2 SUGESTÕES PARA TRABALHOS FUTUROS

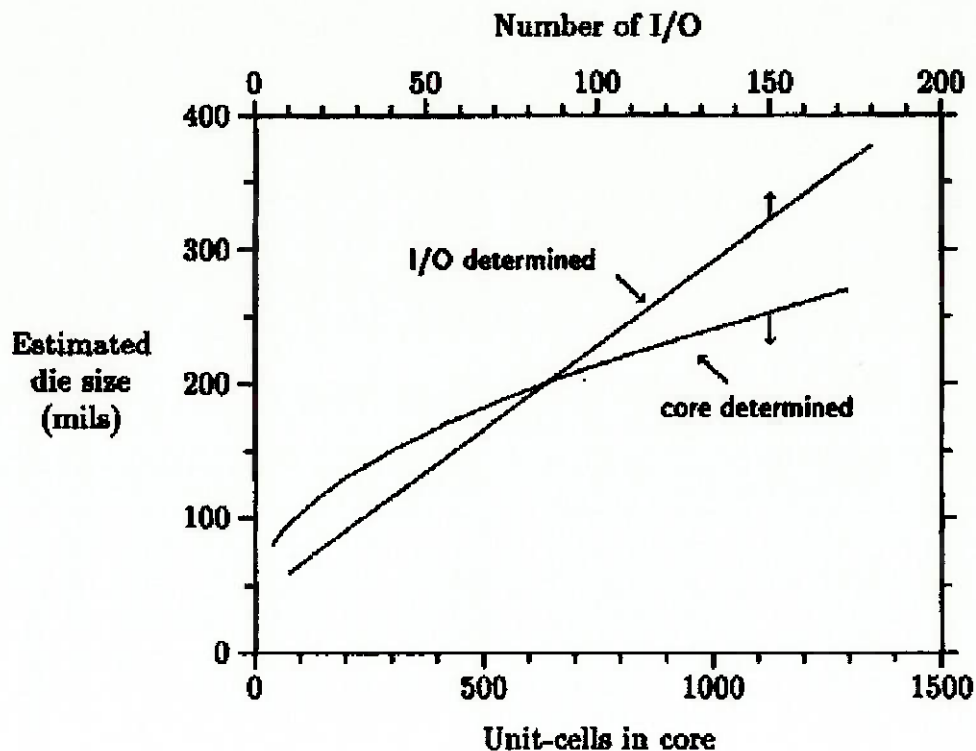
Os resultados obtidos neste trabalho são um estímulo para a continuidade na área de projeto de CIs digitais de alta velocidade em GaAs. Para a continuação desse trabalho, sugere-se o projeto otimizado de estruturas de alta velocidade, mesclando a abordagem ao nível de transistor e a abordagem empregando células padrão. Tal otimização tem por objetivo maximizar a taxa de operação, ou, alternativamente, minimizar o consumo de potência das células projetadas ao nível de transistor. Entre outras estruturas de interesse, pode-se destacar:

- ♦ prescaler's de módulo variável com parâmetros consumo de potência x velocidade otimizados;
- ♦ projeto, otimização e caracterização de divisores módulo 2 regenerativo e/ou dinâmico integrados a um demultiplexador, com dado de entrada NRZ;
- ♦ implementação de estruturas MUX/DEMUX empregando topologia árvore com flip-flop tipo "freeze".

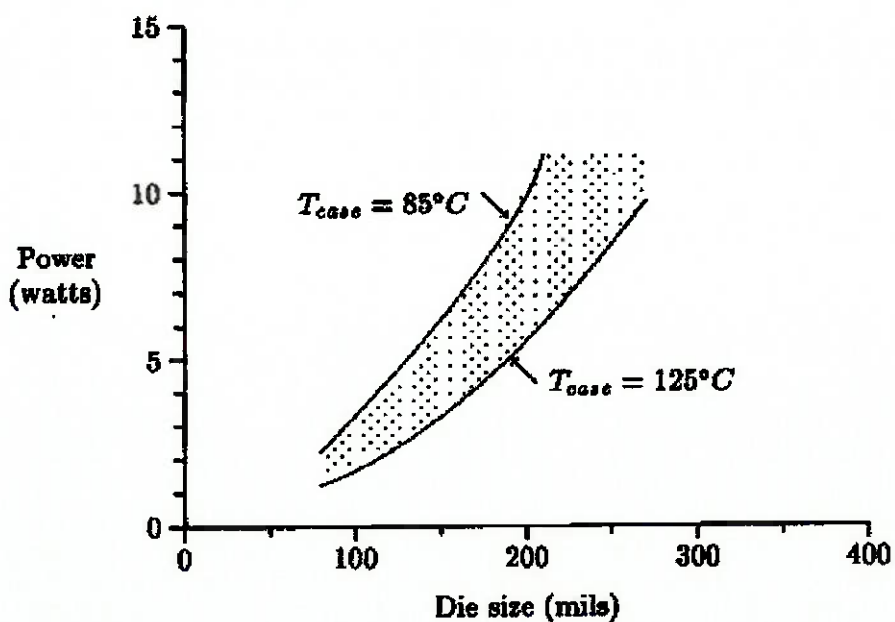
7. APÊNDICES

APÊNDICE A4.1.a

Tamanho do “die” estimado em função do número de células de I/O ou das unidades de área relativa das células internas⁴⁴



APÊNDICE A4.1.b Dissipação de potência máxima versus tamanho do “die” em função da temperatura do substrato⁴⁴



APÊNDICE A4.2 Folha de dados das células padrão empregadas no projeto do demultiplexador⁴⁴

SX10
BUFFER
cell area:(table)

$Y = A1$

Characteristic	Unit	Family Name					
		SH10	SG10	SF10	SM10	SS10	SL10
Power	mW	72	36	24	8	4	2
Cell area	cell	4	2	2	1	1	1
Base delay $A1 \rightarrow Y$	ps	50	50	65	73	105	100
Loading delay	ps/fF	.05	.10	.15	.456	1.15	2.03
C_{in} A1	fF	210	105	105	35	18	17

$Y = A_n$

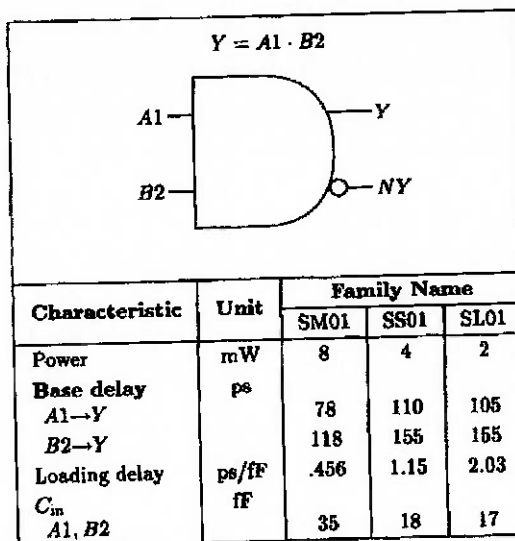
Characteristic	Unit	Family Name		
		SMBUFL1	SMBUFL2	SMBUFL3
Power	mW	24	24	24
Level		1	2	3
Base delay $A_n \rightarrow Q$	ps	10	10	10
Loading delay	ps/fF	.1	.1	.1
C_{in} An	fF	35	35	35

SXBUFL1,
SXBUFL2,
SXBUFL3
Source
Follower
Buffer
cell area:1

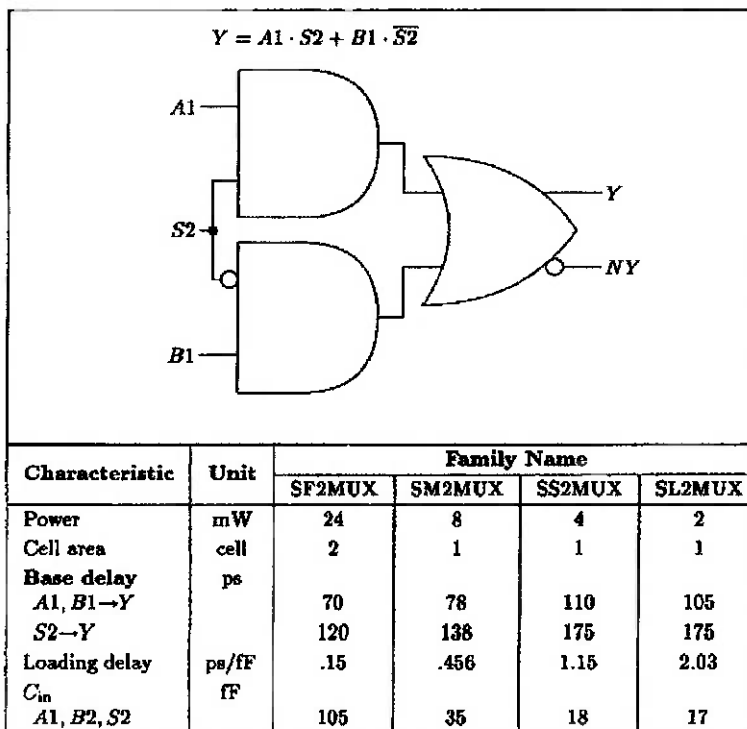
Notes:

- o These cells provide low delay buffering to facilitate handling high fanout's, for example clocks and resets. However, due to sub-unity gain, these cells may not be cascaded.
- o Outputs can only drive a single level and are at the same level as the inputs with SXBUFL1 on level 1, SXBUFL2 on level 2, and SXBUFL3 on level 3.

SX01
2-input AND
 cell area:1



SX2MUX
2:1 MUX
 cell area:(table)



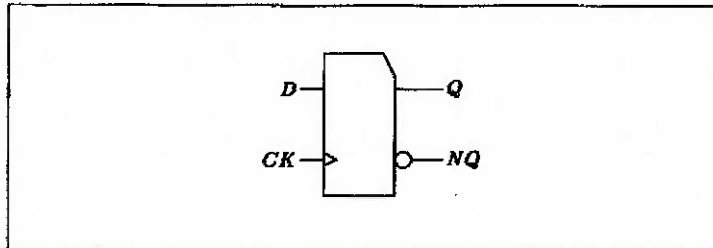
Truth Table	
S2	Y
H	A1
L	B1

H = Logical high
 L = Logical low

SXDDML

Master latch

cell area:1



Characteristic	Unit	Family Name			
		SFDDML	SMDDML	SSDDML	SLDDML
Power	mW	24	8	4	2
Base delay	ps				
<i>CK</i> → <i>Q</i>		136	154	196	210
<i>D</i> → <i>Q</i> ¹		76	86	115	125
Setup ¹	ps				
<i>D</i> → <i>CK</i>		78	86	115	125
Hold	ps				
<i>D</i>		50	50	50	50
Loading delay	ps/ff	.15	.456	1.15	2.03
<i>C</i> _{in}	ff				
<i>D, CK</i>		105	35	18	17

¹ With CK = H (transparent mode).

² Unloaded — add loading delay.

D	CK	Q
H	H	H
L	H	L
X	L	—

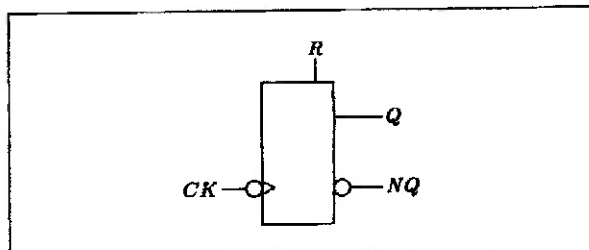
H = Logical high
 L = Logical low
 X = Don't care
 — = No change

Notes:

o Level assignments are: *D* - level 1, *CK* - level 2.

SXTFFR

Toggle Flip-flop w/reset
cell area:2



Characteristic	Unit	Family Name		
		SMTFFR	SSTFFR	SLTFFR
Power	mW	16	8	4
Base delay	ps			
<i>CK</i> → <i>Q</i>		175	222	250
<i>R</i> → <i>Q</i>		215	267	300
Loading delay	ps/ff	.456	1.15	2.03
<i>C</i> _{in}	ff			
<i>R, CK</i>		70	36	34

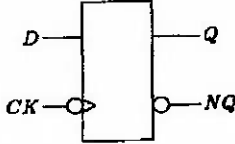
CK	R	Q
H	L	—
L	L	—
H → L	L	NQ
X	H	L

H = Logical high
 L = Logical low
 X = Don't care
 — = No change

Notes:

o Level assignments are: *CK* - level 2, *R* - level 3.
 o Nominal *F*_{max} for the SMTFFR is 2.8 GHz for nominal temperature and process and 2.0 GHz for worst case variation (commercial specs).

SXDDFF
Flip-flop
 cell area:2



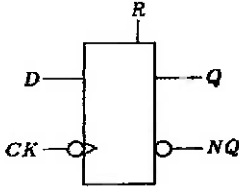
Characteristic	Unit	Family Name				
		SJDDFF	SMDDFF	SPDDFF	SSDDFF	SLDDFF
Power	mW	32	16	12	8	4
Base delay CK→Q	ps	136	154	154	196	210
Setup D→CK	ps	110	94	151	131	140
Hold D	ps	50	50	50	50	50
Loading delay	ps/IF	.15	.456	.456	1.15	2.03
C _{in} D	IF	35	35	18	18	17
CK		140	70	53	36	34

Truth Table		
D	CK	Q
X	H	—
H	H→L	H
L	H→L	L
X	L	—

H = Logical high
 L = Logical low
 X = Don't care
 — = No change

Notes:
 o Level assignments are: D - level 1, CK - level 2.

SXDDFFR
Flip-flop
w/reset
 cell area:2



Characteristic	Unit	Family Name					
		SFDDFFR	SJDDFFR	SMDDFFR	SPDDFFR	SSDDFFR	SLDDFFR
Power	mW	48	32	16	12	8	4
Base delay CK→Q	ps	141	141	159	159	201	215
R→Q	ps	176	176	199	199	246	265
Setup D→CK	ps	91	115	99	156	136	145
Hold D	ps	50	50	50	50	50	50
Loading delay	ps/IF	.15	.15	.456	.456	1.15	2.03
C _{in} D	IF	105	35	35	18	18	17
R, CK		210	140	70	53	36	34

Truth Table			
D	CK	R	Q
X	H	L	—
H	H→L	L	H
L	H→L	L	L
X	L	L	—
X	X	H	L

H = Logical high
 L = Logical low
 X = Don't care
 — = No change

Notes:
 o Level assignments are: D - level 1, CK - level 2, R - level 3.

IXES1 ECL to SCFL Interface

$Y = IN$			
Characteristic	Unit	Family Name	
		IMES1	ISES1
Power	mW	24	12
Base delay $IN \rightarrow Y$	ps	84	100
F_{max}^1	MHz	2500	1000
Loading delay	ps/fF	.280	.560
C_{in} IN	fF	250	125

¹FO = 2 "M" cells plus 50 fF of wiring capacitance.

Notes:

- o The IXES1 cell has outputs on levels 1 and 2 only. Outputs are not provided on level 3.

IXES2 Differential ECL to SCFL Interface

$Y = IN$			
Characteristic	Unit	Family Name	
		IMES2	ISES2
Power	mW	24	12
Base delay $INP, INM \rightarrow Y$	ps	84	100
F_{max}^1	MHz	2500	1000
Loading delay	ps/fF	.280	.560
C_{in} IN	fF	250	125

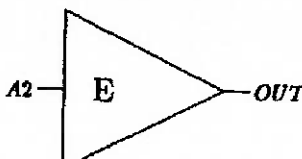
¹FO = 2 "M" cells plus 50fF of wiring capacitance.

Notes:

- o The IXES2 cell has outputs on levels 1 and 2 only. Outputs are not provided on level 3.

**OXSE1
SCFL to ECL
Interface**

OUT = A2

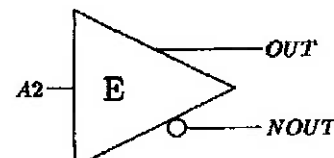


Characteristic	Unit	Family Name		
		OMSE1	OSSE1	OLSE1
Power	mW	78	52	40
Base delay <i>A2</i> → <i>OUT</i>	ps	103	144	220
F_{max}^1	MHz	2000	1000	300
Loading delay	ps/fF			
Rising edge		.025	.025	.025
Falling edge		.05	.05	.05
C_{in} <i>IN</i>	fF	72	36	18

¹ $R_{load} = 50\Omega$ to $-2V$; $C_{load} = 1pF$.

**OXSE2
SCFL to
differential
ECL Interface**

OUT = A2



Characteristic	Unit	Family Name		
		OMSE2	OSSE2	OLSE2
Power	mW	96	78	64
Base delay <i>A2</i> → <i>OUT</i>	ps	103	144	220
F_{max}^1	MHz	2000	1000	300
Loading delay	ps/fF			
Rising edge		.025	.025	.025
Falling edge		.05	.05	.05
C_{in} <i>IN</i>	fF	72	36	18

¹ $R_{load} = 50\Omega$ to $-2V$; $C_{load} = 1pF$.

APÊNDICE A4.3 Descrição do comportamento lógico de algumas células padrão QLSI-TriQuint associadas ao simulador lógico do Lsim do GDT-V.5.2, escritas em linguagem de alto nível e empregadas no projeto do demultiplexador.

SM01

```

MODULE and2(p)
  double p;

{
  IN a1,b2;
  OUT y,ny;
  NODE LOGIC intA;
  NODE LOGIC intB;
  MEMORY gTime Hdly,Ldly,Xdly,Hdlyn,Ldlyn,Xdlyn;
  MEMORY double bDlyA=0.078*p; /* em nS*/
  MEMORY double bDlyB=0.118*p; /* em nS*/
  MEMORY double LOAD_DLY= .456*p;
  MEMORY double MIN_PW_A;
  MEMORY double MIN_PW_B;
  MEMORY int a1oldv, b2oldv;
  MEMORY gTime Astamp, Bstamp;

BUILD{
  SET_CAPACITANCE(a1, .035);
  SET_CAPACITANCE(b2, .035);
}
INITIALIZE {
  double Cap = GET_CAPACITANCE(y);
  double Capn = GET_CAPACITANCE(ny);

  Hdly=LOAD_DLY*Cap;
  Ldly=LOAD_DLY*Cap;
  Xdly=(Hdly+Ldly)/2;

  Hdlyn=LOAD_DLY*Capn;
  Ldlyn=LOAD_DLY*Capn;
  Xdlyn=(Hdlyn+Ldlyn)/2;

  MIN_PW_A = 1.5*bDlyA + 2.6*LOAD_DLY*GET_CAPACITANCE(y);
  MIN_PW_B = 1.5*bDlyB + 2.6*LOAD_DLY*GET_CAPACITANCE(y);
  Astamp = 0;
  a1oldv = UNKNOWN;
  Bstamp = 0;
  b2oldv = UNKNOWN;
}

SIMULATE {
  if(a1 == UNKNOWN || b2 == UNKNOWN)
    {
      y{Xdly}=UNKNOWN;
      ny{Xdlyn}=UNKNOWN;
    }
  else {
    intA={a1 @ bDlyA};
    intB={b2 @ bDlyB};
    y{Hdly:Ldly} = intA & intB;
    ny{Hdlyn:Ldlyn} = intA ~& intB;
  }
  if (a1 != a1oldv && a1!=UNKNOWN) {
    if (Time - Astamp < MIN_PW_A)
      PRINT ("Violacao na Largura Minima de Pulso na entrada A, %.3fnS",MIN_PW_A);
    Astamp = Time;
    a1oldv = a1;
  }
  if (b2 != b2oldv && b2!=UNKNOWN) {
    if (Time - Bstamp < MIN_PW_B)
      PRINT ("Violacao na Largura Minima de Pulso na entrada B, %.3fnS",MIN_PW_B);
    Bstamp = Time;
  }
}
}

```

7. Apêndices

```

        b2oldv = b2;
    }
}

```

SM2MUX

```

MODULE selm(p)
    double p;
{
    IN a1,s2,b1;
    OUT y,ny;
    NODE LOGIC intA;
    NODE LOGIC intB;
    NODE LOGIC intS;
    MEMORY gTime Hdly,Ldly,Xdly,Hdlyn,Ldlyn,Xdlyn;
    MEMORY double bDlyA= .078*p; /* em nS*/
    MEMORY double bDlyB= .078*p; /* em nS*/
    MEMORY double bDlyS= .138*p; /* em nS*/
    MEMORY double LOAD_DLY= .456*p;
    MEMORY double MIN_PW_AB;
    MEMORY double MIN_PW_S;
    MEMORY int a1oldv, b1oldv, s2oldv;
    MEMORY gTime Astamp, Bstamp, Sstamp;

BUILD{
    SET_CAPACITANCE(a1, .035);
    SET_CAPACITANCE(b1, .035);
    SET_CAPACITANCE(s2, .035);
}
    INITIALIZE {
        double Cap = GET_CAPACITANCE(y);
        double Capn = GET_CAPACITANCE(ny);

        Hdly=LOAD_DLY*Cap;
        Ldly=LOAD_DLY*Cap;
        Xdly=(Hdly+Ldly)/2;

        Hdlyn=LOAD_DLY*Capn;
        Ldlyn=LOAD_DLY*Capn;
        Xdlyn=(Hdlyn+Ldlyn)/2;

        MIN_PW_AB = 1.5*bDlyA + 2.6*LOAD_DLY*GET_CAPACITANCE(y);
        MIN_PW_S = 1.5*bDlyS + 2.6*LOAD_DLY*GET_CAPACITANCE(y);
        Astamp = 0;
        a1oldv = UNKNOWN;
        Bstamp = 0;
        b1oldv = UNKNOWN;
        Sstamp = 0;
        s2oldv = UNKNOWN;
    }

SIMULATE {
    if(a1 == UNKNOWN || s2 == UNKNOWN || b1 == UNKNOWN)
    {
        y{Xdly}=UNKNOWN;
        ny{Xdlyn}=UNKNOWN;
    }
    else {
        intA={a1 @ bDlyA};
        intB={b1 @ bDlyB};
        intS={s2 @ bDlyS};
        y{Hdly:Ldly} = intA & intS | intB & ~intS;
        ny{Hdlyn:Ldlyn} = ~(intA & intS | intB & ~intS);
    }

    if (a1 != a1oldv && a1!=UNKNOWN && s2) {
        if (Time - Astamp < MIN_PW_AB)
            PRINT ("Violacao na Largura Minima de Pulso na entrada A, %.3fnS",MIN_PW_AB);
        Astamp = Time;
        a1oldv = a1;
    }
    if (b1 != b1oldv && b1!=UNKNOWN && !s2) {

```

7. Apêndices

```

        if(Time - Bstamp < MIN_PW_AB)
            PRINT ("Violacao na Largura Minima de Pulso na entrada B, %.3fnS",MIN_PW_AB);
        Bstamp = Time;
        b1oldv = b1;
    }
    if (s2 != s2oldv && s2!=UNKNOWN) {
        if (Time - Sstamp < MIN_PW_S)
            PRINT ("Violacao na Largura Minima de Pulso na entrada de Controle, S, %.3fnS",MIN_PW_S);
        Sstamp = Time;
        s2oldv = s2;
    }
}
}
}

```

SSDDML

```

#define D_SETUP .115*p      /*all times in nS*/
#define D_HOLD .05*p
#define CKQ_DLY .196*p
#define DQ_DLY .115*p
#define LOAD_DLY 1.15*p
#define MIN_D .400*p

MODULE fsl(p)
    double p;

{
    MEMORY int CLOCKoldv,Doldv;
    MEMORY gTime CLOCKstamp, Dstamp;
    MEMORY double MIN_CLK;

    IN d,ck;

    OUT q(OPTIONAL);
    OUT nq(OPTIONAL);

    INITIALIZE {
        CLOCKstamp = 0;
        CLOCKoldv = UNKNOWN;
        Dstamp = 0;
        Doldv = UNKNOWN;
        q = LOW;
        nq = HIGH;
        SET_CAPACITANCE(d, .018);
        SET_CAPACITANCE(ck, .018);
        MIN_CLK = 1.5*CKQ_DLY + 2.6*LOAD_DLY*GET_CAPACITANCE(q);
    }

    SIMULATE {
        if (ck==CLOCKoldv && d==Doldv && ck && ck!=UNKNOWN && d!=UNKNOWN){
            gTime i;
            i = LOAD_DLY*GET_CAPACITANCE(q);
            q{i} = d;
            nq{i} = !d;
        }

        if (ck != CLOCKoldv && ck!=UNKNOWN) {
            if (Time - CLOCKstamp < MIN_CLK && ck)
                PRINT ("Violacao na Largura Minima do CLOCK LOW,%.3fnS",MIN_CLK);
            if (Time - CLOCKstamp < MIN_CLK && !ck)
                PRINT ("Violacao na Largura Minima do CLOCK HIGH, %.3fnS",MIN_CLK);
            if (Time - Dstamp < D_SETUP)
                PRINT ("Violacao no tempo de SETUP");
            if (ck)
                RESCHEDULE(CKQ_DLY);
            CLOCKstamp = Time;
            CLOCKoldv = ck;
        }

        if (d != Doldv && d!=UNKNOWN){
            if (Time - Dstamp < MIN_D)
                PRINT ("Violacao na Largura minima do DADO");
            if (Time - CLOCKstamp < D_HOLD)
                PRINT ("Violacao no Tempo de HOLD");
            if (ck)
                RESCHEDULE(DQ_DLY);
            Dstamp = Time;
            Doldv = d;
        }
    }
}

```

7. Apêndices

```

    }
} /*Fim do Simulate*/
}

```

SMTFFR

```

#define BASE_DLY .175*p
#define LOAD_DLY .456*p
#define RST_DLY .215*p
#define MIN_RST .500*p

MODULE fnt(p)
    double p;

{

    MEMORY int CLOCKoldv, Qoldv,RStoldv;
    MEMORY gTime CLOCKstamp,RSTamp;
    MEMORY double MIN_CLOCK;

    IN ck,r;
    OUT q;
    OUT nq;
    gTime pulse_width;

    INITIALIZE {
        CLOCKoldv = 0;
        RSTamp = 0;
        RStoldv = UNKNOWN;
        q = LO;
        nq = HI;
        SET_CAPACITANCE(ck, .070);
        SET_CAPACITANCE(r, .070);
        MIN_CLOCK = 1.5*BASE_DLY + 2.6*LOAD_DLY*GET_CAPACITANCE(q);
    }
    SIMULATE {

        if (r!=RStoldv && r!=UNKNOWN){
            if (Time - RSTamp < MIN_RST)
                PRINT ("Violacao na Largura minima do RESET");
            RStoldv = r;
            PRINT ("mudanca do RST");
            RESCHEDULE(RST_DLY);
            RSTamp = Time;
        }

        if (r){
            gTime i;
            i = LOAD_DLY*GET_CAPACITANCE(q);
            q{i} = {LO @ RST_DLY};
            nq{i} = {HI @ RST_DLY};
            Qoldv = LO;
            RSTamp = Time;
        }

        /*high->low clock transition*/
        if (!ck &&& CLOCKoldv) {
            /* check high pulse width on clock */
            pulse_width = Time-CLOCKstamp;
            if (pulse_width < MIN_CLOCK)
                PRINT("violacao na largura minima do Clk_High, %.3fns",MIN_CLOCK);
            /*se largura minima de Clk_H ok, faz transicao se: */
            if (!r &&& Time-RSTamp>=RST_DLY){
                gTime i,j;
                i = LOAD_DLY*GET_CAPACITANCE(q);
                j = LOAD_DLY*GET_CAPACITANCE(nq);
                q{i} = {!Qoldv @ BASE_DLY};
                nq{j} = {Qoldv @ BASE_DLY};
                Qoldv = !Qoldv;
            }
            CLOCKoldv = ck;
            CLOCKstamp = Time;
        } /*end high ->low transition*/

        if (ck &&& !CLOCKoldv) {
            /*check low pulse width on clock*/

```

7. Apêndices

```

        pulse_width = Time-CLOCKstamp;
        if(pulse_width < MIN_CLOCK)
            PRINT("violacao: largura minima do Clk_Low %.3fnS",MIN_CLOCK);
        /*update clock transition time*/
        CLOCKoldv = ck;
        CLOCKstamp = Time;
    }
    /*end low->high transition*/
}
}

```

SPDDFF

```

#define D_SETUP .151*p      /*all times in nS*/
#define D_HOLD .05*p
#define BASE_DLY .154*p
#define LOAD_DLY .456*p

MODULE fpd(p)
    double p;

{
    MEMORY int CLOCKoldv, Doldv;
    MEMORY double Dinternal, DintDly;
    MEMORY gTime CLOCKstamp, Dstamp;

    IN d,ck;
    OUT q;
    OUT nq;

    gTime hold_time, setup_time, pulse_width;

    MEMORY double MIN_CLOCK;

    INITIALIZE {
        CLOCKoldv = 0;
        Dstamp = 0;
        Doldv = LO;
        Dinternal = LO;
        q = LO;
        nq = HI;
        SET_CAPACITANCE(d, .018);
        SET_CAPACITANCE(ck, .053);
        MIN_CLOCK = 1.5*BASE_DLY + 2.6*LOAD_DLY*GET_CAPACITANCE(q);
    }

    SIMULATE {
        /*transition on input D, check for input violation*/
        if(d!=Doldv) {
            hold_time = Time-CLOCKstamp;
            if(hold_time<D_HOLD) {
                PRINT(" violacao do Thold, entrada mudou %.2fnS depois da mudanca do CLK",hold_time);
            }

            Dstamp = Time;
            Doldv = d;
            /*schedule for end of setup time*/
            RESCHEDULE(D_SETUP);
        }

        /*At least D_SETUP nS has passed since D changed, setup OK */

        setup_time = Time-Dstamp;
        if(setup_time >= D_SETUP) /*setup achieved*/
            Dinternal=Doldv;

        /*high->low clock transition*/

        if(!ck && CLOCKoldv) {
            /* check high pulse width on clock */
            pulse_width = Time-CLOCKstamp;
            if(pulse_width < MIN_CLOCK)
                PRINT("violacao na largura minima do Clk_High=, %.3fnS",MIN_CLOCK);
            /* check setup time on D input, if bad, don't transfer*/
            if(setup_time < D_SETUP) {
                PRINT("violacao no tempo de Setup,entrada esta 'setada' ha %.3fnS ", setup_time);
                RESCHEDULE(D_SETUP);
            }
        }
    }
}

```


7. Apêndices

```

/*set ok, do transition*/
    else {
        gTime ij;
        i = LOAD_DLY*GET_CAPACITANCE(q);
        j = LOAD_DLY*GET_CAPACITANCE(nq);
        q{i} = {Dinternal @ BASE_DLY};
        nq{j} = {!Dinternal @ BASE_DLY};
    }
/*update clock transition time*/
    CLOCKoldv = ck;
    CLOCKstamp = Time;
}

/*end high ->low transition*/

if(ck && !CLOCKoldv) {
    pulse_width = Time-CLOCKstamp;
    if(pulse_width < MIN_CLOCK)
        PRINT("violacao: largura minima do Clk_Low= %.3fnS",MIN_CLOCK);
    CLOCKoldv = ck;
    CLOCKstamp = Time;
}
/*end low->high transition*/
}
}

```

SJDDFFR

```

#define D_SETUP .115*p      /*all times in nS*/
#define D_HOLD .05*p
#define BASE_DLY .141*p
#define LOAD_DLY .150*p
#define RST_DLY .176*p
#define MIN_RST .500*p

MODULE fjdr(p)
    double p;

{
    /*registers use for holding old states*/
    MEMORY int CLOCKoldv, Doldv,RSToldv;
    MEMORY double Dinternal, DintDly;
    MEMORY gTime CLOCKstamp, Dstamp,RSTamp;
    MEMORY double MIN_CLOCK;

    IN d,ck,r;

    /*these connections are optional,so no check is done*/
    OUT q;
    OUT nq;

    gTime hold_time, setup_time, pulse_width;

    INITIALIZE {
        CLOCKoldv = 0;
        Dstamp = 0;
        Doldv = LO;
        RSTamp = 0;
        RSToldv = UNKNOWN;
        Dinternal = LO;
        q = LO;
        nq = HI;
        SET_CAPACITANCE(d, .035);
        SET_CAPACITANCE(ck, .140);
        SET_CAPACITANCE(r, .140);
        MIN_CLOCK = 1.5*BASE_DLY + 2.6*LOAD_DLY*GET_CAPACITANCE(q);
    }

    SIMULATE {
        if(r!=RSToldv && r!=UNKNOWN){
            if(Time - RSTamp < MIN_RST)
                PRINT ("Violacao na Largura minima do RESET");
            RESCHEDULE(RST_DLY);
            RSTamp = Time;
            RSToldv = r;
        }
    }
}

```

7. Apêndices

```

if(r && r!=UNKNOWN){
    if(Time-RSTamp >= RST_DLY ){
        gTime i;
        i = LOAD_DLY*GET_CAPACITANCE(q);
        q{i} = LO;
        nq{i} = HI;
    }
    else{
        if(ck!=CLOCKoldv && !ck)
            PRINT("SAIDA INDETERM. : CLOCK mudou de HI->LO entre ativacao do RST e propagacao ate'
Q=LO");
    }
}

}

/*transition on input D, check for input violation*/
if(d!=Doldv) {
    hold_time = Time-CLOCKstamp;
    if(hold_time<D_HOLD) {
        PRINT(" violacao do Thold, entrada mudou %2fnS depois da mudanca do CLK",hold_time);
    }
}

Dstamp = Time;
Doldv = d;

/*schedule for end of setup time*/
RESCHEDULE(D_SETUP);
}

/*At least D_SETUP nS has passed since D changed, setup OK */

setup_time = Time-Dstamp;
if(setup_time >= D_SETUP) /*setup achieved*/
    Dinternal=Doldv;

/*high->low clock transition*/

if(!ck && CLOCKoldv) {
    /* check high pulse width on clock */
    pulse_width = Time-CLOCKstamp;
    if(pulse_width < MIN_CLOCK && !r)
        PRINT("violacao na largura minima do Clk_High, %2fnS",MIN_CLOCK);
    /* check setup time on D input, if bad, don't transfer*/
    if(setup_time < D_SETUP) {
        PRINT("violacao no tempo de Setup,entrada esta 'setada' ha %3fnS ", setup_time);
        RESCHEDULE(D_SETUP);
    }
}
/*set ok, do transition*/
else {
    if(!r && Time-RSTamp>=RST_DLY){
        gTime ij;
        i = LOAD_DLY*GET_CAPACITANCE(q);
        j = LOAD_DLY*GET_CAPACITANCE(nq);
        q{i} = {Dinternal @ BASE_DLY};
        nq{j} = {!Dinternal @ BASE_DLY};
    }
}
/*update clock transition time*/
CLOCKoldv = ck;
CLOCKstamp = Time;
}

/*end high ->low transition*/

if(ck && !CLOCKoldv) {
    /*check low pulse width on clock*/

    pulse_width = Time-CLOCKstamp;
    if(pulse_width < MIN_CLOCK && !r)
        PRINT("violacao: largura minima do Clk_Low %2fnS",MIN_CLOCK);
    /*update clock transition time*/
    CLOCKoldv = ck;
    CLOCKstamp = Time;
}
/*end low->high transition*/
}
}
}

```

7. Apêndices

OLSE1

```
MODULE ot(p)
  double p;

{
  IN a2;
  OUT o;
  MEMORY gTime Hdelay,Ldelay,Xdelay;
  MEMORY double bDly=0.22*p; /* em nS*/

  BUILD{
    SET_CAPACITANCE(a2, .018);
    SET_CAPACITANCE(o, 1);
  }
  INITIALIZE {
    double Cap1 = GET_CAPACITANCE(o);

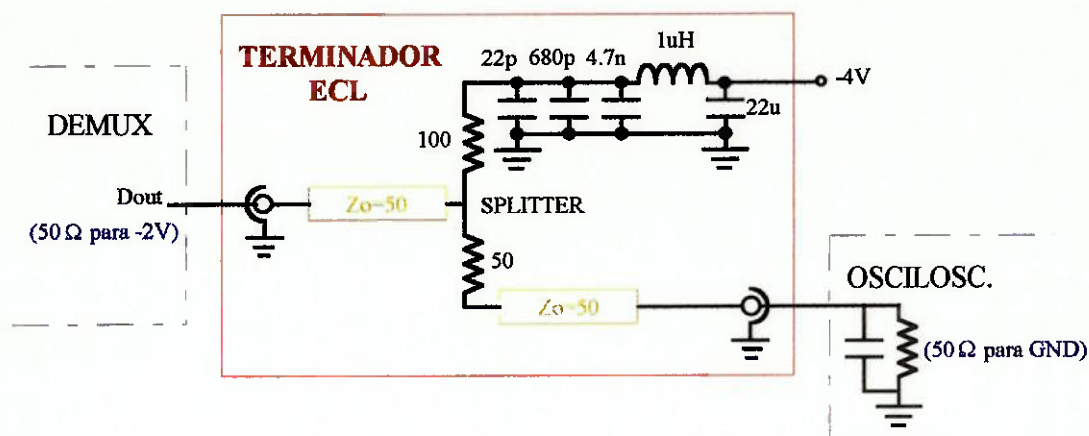
    Hdelay=.025*p*Cap1;
    Ldelay=.050*p*Cap1;
    Xdelay=(Hdelay+Ldelay)/2;
  }

  SIMULATE {
    if(a2 == UNKNOWN){
      o{Xdelay}=UNKNOWN;
    }
    else {
      o{Hdelay:Ldelay} = {a2 @ bDly};
    }
  }
}
```

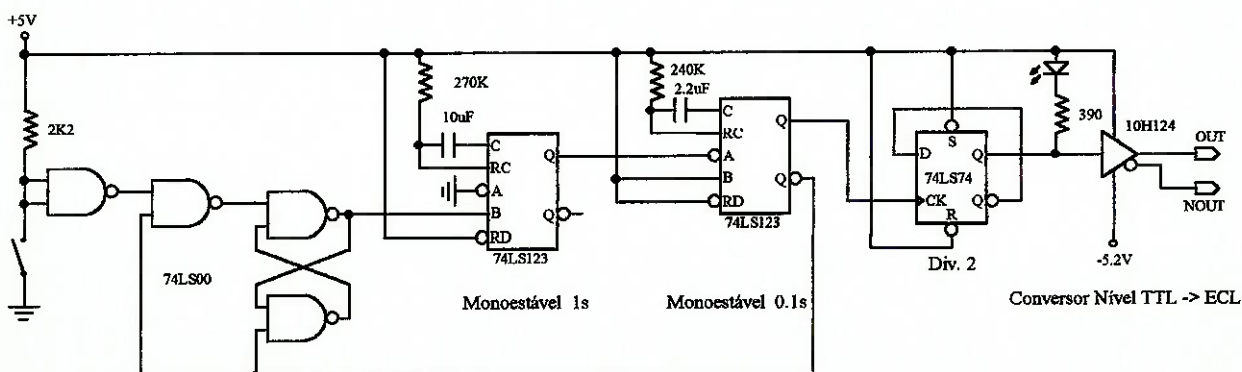
APÊNDICE A5.1 Diagrama esquemático do circuito Terminador ECL.

O terminador ECL foi construído no LME/USP empregando-se técnicas de fotolitografia, substrato flexível do tipo "duroid", com $\epsilon_r = 2.2$ e espessura = 0,508 mm. e resistores e capacitores do tipo SMD. Os terminadores construídos apresentaram bom desempenho, tendo-se obtido os seguintes parâmetros S para a faixa de 0,1 a 3 GHz:

- perda de inserção: $S_{21} = -3 \pm 0,1$ dB
- perda de retorno: S_{11} melhor que -25 dB



APÊNDICE A5.2 Diagrama esquemático do circuito anti-"bounce" empregado no setup de teste do circuito demultiplexador.



8. REFERÊNCIAS BIBLIOGRÁFICAS

1. WILSON, D. et al. An ECL Compatible 4-Bit Universal Shift Register, Binary Counter Chip Set for Gigahertz System Operation. **1883 GaAs IC Symposium Digest**, p.186-9, 1983
2. GaAs IC Guide. **Microwaves & RF**, Dec.1986.
3. NOTOMI, S. et al. A 45K-Gate HEMT Array with 35-ps DCFL and 50-ps BDCFL Gates. **IEEE J. of Solid-State Circuits**, vol.26, no.11, p.1621-5, Nov. 1991.
4. RUNGE, K., et al. AlGaAs/GaAs HBT IC's for High-Speed Lightwave Transmission Systems. **IEEE J. of Solid-State Circuits**, vol.27, no.10, p.1332-41, Oct. 1992.
5. ICHINO, H. et al. 20-Gb/s Digital SSI's Using AlGaAs/GaAs Heterojunction Bipolar Transistor for Future Optical Transmission Systems. **IEEE J. of Solid-State Circuits**, vol.28, no.2, p.115-22, Feb. 1993.
6. OUSSET, M. **Modélisation des Performances et Optimisation des Structures Logiques en Arséniure de Gallium**, doctorat, Université de Montpellier II, Sciences et Techniques du Languedoc, France.
7. **Critical Design Issues for GaAs VLSI circuits**. PhD degree, Microelectronics Centre, Middlesex University, Jun. 1991.
8. NUZILLAT, G. et al. GaAs MESFET IC's for Gigabit Logic Applications. **IEEE J. Solid-State Circuits**, vol.SC-17, no.3, p.569-84, Jun. 1982.
9. EDEN, R. C. et al, Planar GaAs IC Technology: Applications for Digital LSI. **IEEE J. Solid-State Circuits**, vol.SC-13, no.4, p.419-25, Aug. 1978.
10. LONG, S. et al. High Speed GaAs Integrated Circuits. **Proceeding of the IEEE**, vol.70, no.1, p.35-45, Jan. 1982.
11. LEHOVEC, K. et al. Analysis of GaAs FET's for Integrated Logic. **IEEE Trans. on Electron Devices**, vol. ED-27, no.6, p.1074-91, Jun. 1980.
12. GREILLING, P.T. et al, Future Applications and Limitations for Digital GaAs IC Technology. **Microwaves & RF**, p.74-87, Feb. 1983.
13. BARRERA, J.; HOFFMAN, B. Digital GaAs ICs Hit Gigahertz Speed Mark. **Microwaves & RF**, p 133-8, Feb. 1984.
14. MUN, J. **GaAs Integrated Circuits**. Cap.2 and 3, BSP Professional Books, 1988.
15. WELCH, B.M., et al, GaAs Digital Integrated Circuits Technology. In: HOWES, M. J.; MORGAN, D. V. **Gallium Arsenide**, p 517-73, John Wiley & Sons Ltd, 1985.
16. FLYNN, B. W., et al. GaAs Digital Circuits and Systems. In: **GaAs Technology and Impact on Circuits and Systems**. 1989.
17. **TRIQUINT SEMICONDUCTOR Specifications and Services**, 1991, 1992.
18. KATSU, S. et al. A GaAs Monolithic Frequency Divider Using Source Coupled Fet Logic. **IEEE Electron Device Letters**, vol. EL-3, no. 8, p.197-9, Aug. 1982.

8. Bibliografia

19. VITESSE SEMICONDUCTOR CORPORATION. **Foundry Desgn Manual, version 6.0 - ASIC Designer's Reference Library**, 1993.
20. LASSEN, P. S., **High-Speed GaAs Digital Integrated Circuits for Optical Communication Systems**, PhD degree, Electromagnetics Institute, Technical University of Denmark, May 1993.
21. KATSU, S. et al. A Source Coupled Fet Logic - A New Current - Mode Approach to GaAs Logics. **IEEE Trans. on Electon Devices**, vol ED-32, no.6, p.1114-8, Jun. 1985.
22. TAKADA, T. et al. A 2Gb/s Throughput GaAs Digital Time Switch LSI using LSCFL. **IEEE Trans. on Electron Device**, vol ED-32, no 12, p.2748-53, Dec. 1985.
23. VU, T. et al. The Performance of Source-Coupled FET Logic Circuits That Use GaAs MESFET's, **IEEE J.of Solid-State Circuits**, vol.23, no.1, p.267-79, Feb. 1988.
24. TAKADA, T. et al. Analysis of High-Speed GaAs Source-Coupled FET Logic Circuits. **IEEE Trans. on Microwaves Theory and Techniqes**, vol. MTT-32, no.1, p 5-10, Jan. 1984.
25. INO, M. et al. 30ps 7.5-GHz MESFET Macrocell Array. **IEEE J. of Solid-State Circuits**, vol.24, no.5, p.1265-70, Oct. 1989.
26. VITESSE SEMICONDUCTOR CORPORATION. **VCK50K Standard Cell Library Data sheet**.
27. SHIMIZU, S. et al. An ECL-Compatible GaAs SCFL Design Method. **IEEE J. of Solid-State Circuits**, vol.25, no.2, p.539-5, Apr. 1990.
28. BUHANAN, D. CML Scraps Emitter follower for ECL Speed, Lower Power. **Electronics**, p.93-6, Nov. 1982.
29. MOTOROLA INC., **MECL System Design Handbook**. 1983, p.95.
30. HOSONO, Y. et al. A 5Gb/s GaAs Monolithic Master Slave D-Type Flip Flop IC. **GaAs IC Symposium 1987**, p.205-8, 1987.
31. TAKADA, T. et al. High-Speed GaAs Monolithic Integrated Decision Circuit For Gb/s Optical Repeaters. **Electronics Letters**, vol.19, no.23, p.983-5, Nov. 1983.
32. TAKADA, T. et al. An 11-GHz GaAs Frequency Divider Using Souce-Coupled FET Logic. **IEEE Electron Devices Letters**, vol. EDL-7, no.1, p.47-8, Jan. 1986.
33. TAMURA, A. et al. High-Speed GaAs SCFL Divider. **Electronics Letters**, vol.21, no.14, p. 605-6, Jul. 1985.
34. HASEGWA, K. et al. Low dissipation Current GaAS Prescaler IC. **Electronics Letters**, vol.22, no.5, p 251-2, Feb. 1986.
35. TAKADA, T. et al. A 5-mA 1-GHz GaAs Dual-Modulus Prescaler IC. **IEEE J. of Solid-State Circuits**, vol. SC-21, no.4, p.538-43, Aug. 1986.
36. TAKADA, T. et al. A 4.5-GHz GaAs Dual Modulus Prescaler IC. **IEEE Trans. on Microwave Theory and Techniqes**, vol.36, no.1, p.158-60, Jan. 1988.
37. ENOKI, T. et al. Above 10GHz Frequency Dividers with GaAs Advanced Saint and Air-Bridge Technology. **Electronics Letters**, vol.22, no.2, p.68-9, Jan. 1986.

8. Bibliografia

38. HAMANO, H. et al. 8Gb/s GaAs Logic ICs for Optical Fibre Communication Systems. **Electronics Letters**, vol.24, no.24, p.1522-3, Nov. 1988.
39. CHANTEPIE, B. et al. Packaged 7mW, 1.2Ghz Dynamic 60/61 GaAs Prescaler. **Electronics Letters**, vol.22, no.22, p.355-6, Mar. 1986.
40. REIN, H. M. et al. Monolithic Integration of a 5.3-Ghz Regenerative Frequency Divider Using a Standard bipolar Technology. **Electronics Letters**, vol.21, no.22, p.1037-9, Oct. 1985.
41. LEE, F.; MILLER, R. 4-GHz Counters bring Synthesizers up to speed. **Microwaves & RF**, p.113-24, Jun. 1984.
42. SHOICHI, S. et al. A 1GHz 50mA GaAs Dual Modulus Divider IC. **IEEE J. of Solid-State Circuits**, vol.SC-19, no.5, p.710-5, Oct. 1984.
43. TQS GaAs QED/A Design Manual version 3.0, rev. **TriQuint Semiconductor Inc.** Oct. 1991.
44. QLSI Standard Cells Design Manual. Ver. 3.1. **TriQuint Semiconductor Inc.** 1989, 1992.
45. ALM, Robert W. Enlist Foundry Aid When Designing Custom GaAs MMICs. **Microwaves & RF**, p. 111-8, Dec. 1989.
46. Single GaAs Process Bears Power Digital and Low Noise I.C. **Microwaves & RF**, p.60-1, Jul. 1990.
47. SCHNEIDERMAN, R. GaAs Foundries Gaining Markets. **Microwaves & RF**, p.35-43, Jul. 1990.
48. CIMINERA, Michael A. Enlist Foundry Capabilities for Advanced Designs. **Microwave & RF**, p.123, Jul. 90.
49. SCHNEIDERMAN, R. GaAs Sales Gain as Markets Mature. **Microwaves & RF**, p.31-7, Oct. 1992.
50. TOMASETTA, L. Crosstalk: President of Vitesse Semiconductor Corp. **Microwave & RF**, p.61-2, Jul. 1990.
51. ABRÃO, T. **Serviços de Foundry para CI's Analógicos e Digitais em GaAs.** HIB.59.RT01, abr. 1993, relatório interno, LME/EPUSP.
52. PHILIPS MICROWAVE GaAs CAPABILITY, **GaAs Foundry Service**, Jan. 1992.
53. CIRCUITS MULTI-PROJECTS - TCM. **Specifications and Services of CMP**, Apr. 1992.
54. CIRCUITS MULTI-PROJECTS. **Specifications and Services of CMP**, Apr. 1995.
55. YOSHIKAY, N. et al. Monolithic Integrated 4:1 Multiplexer and Demultiplexer Operating up to 4.8Gb/s. **Electronics Letters**, vol.21, no.14, p.149-51, Feb. 1985.
56. OHUCHI, M. et al. A Si Bipolar 5-Gb/s 8:1 Mutiplexer and 4.2-Gb/s 1:8 Demultiplexer. **IEEE J. of Solid-State Circuits**, vol.27, no.4, p.664-7, Apr. 1992.
57. FUJII, M. et al. Lower Power Consumption 16:1 MUX/DEMUX for the STM-16 Transmission Systems Based on DMT DCFL Circuits. **NEC Res. & Develop.** vol.33, p.313-23, Jul. 1992.
58. CLAWIN, D. et al. 5-Gb/s Si Integated Regeneraive Demultiplexer and Decision Circuit. **IEEE of Solid-State Circuits**, vol. sc-22, no.3, p.385-9, Jun. 1987.
59. BAGHERI, et al. 11.6-Ghz 1:4 Regenerating Demultiplexer with Bit-Rotation Control and 6.1-Ghs Auto-Latching Phase-Aligner IC's Using AlGaAs/GaAs HBT Technology. **IEEE J. of Solid-State Circuits**, vol.27, no.12, p.1787-93, Dec. 1992.

8. Bibliografia

60. HIGASHISAKA, N. et al. GaAs DCFL 2.5 Gbps 16-bit Multiplexer/Demultiplexer LSI's. **IEEE J. of Solid-State Circuits**, vol.29, no.7, p.808-14, Jul. 1994.
61. TAUB, H. **Circuitos Digitais e Microprocessadores**. cap.4, McGraw-Hill, 1984.
62. REIN, H. M. et al. 3.8-Gb/s Bipolar Master/Slave D-Flip-Flop IC as a Basic Element for High-Speed Optical Communication Systems. **Electronics Letters**, vol.22, no.10, p.543-4, May 1986.
63. HEIN, H. M.; REIMANN, R. 6 Gbit/s Multiplexer and Regenerating Demultiplexer ICs For Optical Transmission Systems Based on a Standard Bipolar Technology. **Electronics Letters**, vol.22, no.19, p. 988-90, Sep. 1986.
64. REIN, H. M. Multi-Gigabit-Per-Second Silicon Bipolar IC's for Future Optical-Fiber Transmission Systems. **IEEE J. of Solid-State Circuits**, vol.23, no.3, p.664 -75, Jun. 1988.
65. REIN, H. M. et al. 24Gbit/s Regenating Demultiplexer IC in Silicon Bipolar Thechnology. **Electronics Letters**, vol.27, no.6, p.502-4, Mar. 1991.
66. ALBERS, J.N. et al. 12.5 Gb/s Silicon Bipolar 1:4 - Demultiplexer IC. **Electronics Letters**, vol.28, no.23, p.2160-2, Nov. 1992.
67. LAO, Z.; ALBERS, J.N.; SCHLAG, E. A 20Gb/s Silicon Bipolar 1:4 Demultiplexer IC. **J. Lightware Technology**, vol.12, no.2, p.320-4, Feb. 1994.
68. IDA, M.; KATO, N.; TAKADA, T. A 4-Gbits/s GaAs 16:1 Multiplexer/ 1:16 Demultiplexer LSI Chip. **IEEE Journal of Solid State Circuits**, vol.24, no.4, p.928-32, Aug. 1989.
69. OHHATA, M. et al. 11Gb/s Multiplexer and Demultiplexer and Demultiplexer Using 0.15um GaAs MESFETs **Eletronics Letters**, vol.26, no,7, p.467-8, Mar. 1990.
70. KURIYAMA, Y. et al. Ultrahigh-Speed Heterojunction Bipolar Transistor Multiplexer / Demultiplexer IC's. **IEEE of Solid-State Circuits**, vol.26, no.6, p.876-9, Jun. 1991.
71. ISHIDA, K. et al. A 10-GHz 8-b Multiplexer / Demultiplexer Chip Set for SONET STS-192 System. **IEEE J. of Solid-State Circuits**, vol.26, no.12, p.1936-43, Dec. 1991.
72. STOUT, C. L. et al 10-Gb/s Silicon Bipolar 8:1 Multiplexer and 1:8 Demultiplexer. **IEEE J. of Solid-State Circuits**, vol.28, no.3, p.339-43, Mar. 1993.
73. LAO, Z. H. et al. Silicon Bipolar 1:16-Demultiplexer for 10Gb/s Fibre Optic Communication System. **Electronics Letters**, vol.30, no.15, p.1214-6, Jul. 1994.
74. ANDERSSON, L.I. et al. Silicon Bipolar Chipset for SONET/SDH 10 Gb/s Fiber-Optic Communication Links. **IEEE J. of Solid-State Circuits**, vol.30, no.3, p.210-7, Mar. 1995.
75. RUNGE, K. 1:4 Demultiplex Architecture for Gbit/s Lightware systems. **Electronics Letters**, vol.27 no.9, Apr. 1991.
76. NUBLING, R. B. et al. High-Speed 8:1 Multiplex and 1:8 Demultiplexer Implemented with AlGaAs/GaAs HBT's. **IEEE J. of Solid-State Circuits**, vol.26, no.10, p.1354-61, Oct. 1991.
77. LANG, M. et al. 11.6 Gbps 1:4 Demultiplexer usung Double Pulse Doped Quatum Well GaAs/AlGaAs Transistors. **Electronics Letters**, vol.27, no.5, p. 459-60, Feb. 1991.

8. Bibliografia

78. TANAKA, K. et al. High Speed 8:1 Multiplexer and 1:8 Demultiplexer IC's using GaAs DCFL Circuit. **GaAs IC Symposium**, p.229-32, 1991.
79. TANAKA, K. et al. 8-Gb/s 8:1 Multiplexer and Demultiplexer IC's Using GaAs DCFL Circuits. **IEEE J. of Solid-State Circuits**, vol.27, no.10, p 1359-63, Oct. 1992.
80. DERKSEN, R. H.; REIN, H. M. 7.3GHz Dynamic Frequency Dividers Monolithically Integrated in a Standard Bipolar Technology. **IEEE Trans. on Microwave Theory and Techniques**, vol.36, no.3, p.537-41, Mar. 1988.
81. FANG, W. et al. An Analytical Maximum Toggle Frequency Expression and its Application to Optimizing High-Speed ECL Frequency Dividers. **IEEE J. of Solid-State Circuits**, vol.25, no.4, p.920-31, Aug. 1990.
82. ROCCHI M.; GABILLARD, B. GaAs Digital Dynamic IC's for Applications up to 10GHz. **IEEE J. of Solid-State Circuits**, vol SC-18, no.3, p.369-375, Jun. 1983.
83. OSAFUNE, K.; OHWADA, K. An Ultra-High-Speed GaAs Prescaler Using a Dynamic Frequency Divider. **IEEE Trans. on Microwave Theory and Techniques**. vol. MTT-35, no.1, p.9-13, Jan. 1987.
84. SHIGAKI, M. et al. High-Speed GaAs Dynamic Frequency Divider Using a Double-Loop Structure and Differential Amplifiers. **IEEE Trans. on Microwave Theory and Techniques**. vol.36, no.4, p.772-4, Apr. 1988.
85. YAMAUCHI, Y. et al. A 15-GHz Monolithic Two-Modulus Prescaler. **IEEE J. of Solid-State Circuits**, vol.26, no.11, p.1632-6, Nov. 1991.
86. ROCCHI, M. et al. A 1.2 GHz Frequency Synthesizer Using a Custom Design Divide-by-20/21/22/23/24 GaAs Circuit. **IEEE J. of Solid-State Circuits**, vol.SC-20, no.6, p.1194-9, Dec. 1985.
87. ABRÃO, T.; CORRERA, F. S. A 2.488 Gb/s GaAs 1:4/1:16 Demultiplexer IC with Skip Circuit for SONET STS-12/48 Systems. In: **1995 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference**, Rio de Janeiro, 24-27 Jul. 1995. *Anais*, v.1, p.58-62.
88. CORRERA, F. S; ABRÃO, T. A 2.488 Gb/s 1:4/1:16 Demultiplexer: an Experience on the Design of High-Speed Digital GaAs IC's. **J. of Solid-State Device and Circuits**, vol.04, no.1, p.24-31 Jan. 1996.
89. ABRÃO, T.; CORRERA, F. S.; CORSO, V. **Depósito de Patente no INPI número PI95 02399-2**, sob o título "Circuito de Skip Série de Alta Velocidade sem 'Retiming' ". 24/07/1995.
90. YUAN, H-T, et al. Properties of Interconnection on Si, Sapphire and Semi-Insulating GaAs Substrates. **IEEE Trans. on Electron Devices**, vol.ED-29, no.4, p 639-44, Apr. 1982.
91. BAKOGLU, H.B. **Circuits, Interconections, and Packaging for VLSI**. Addison-Wesley Pub., 1990, Cap.5.
92. BAKOGLU, H.B.; MEINDL, J. D. Optimal Interconnection Circuits for VLSI. **IEEE Trans. on Electron Devices**, vol.ED-32, no.5, p 903-9, May 1985.
93. **Manuais GDT -V.5.2: Lsim, Led e Lshell.**

8. Bibliografia

94. BORBA, R.; DIAZ, V. V. Um circuito inseridor de erros de taxa programável em EPLD. **Revista Telebrás**, p.57-67, out. 1993.
95. RUNGE, K.; BAGHERI, M.; YOUNG, J. High Performance Hybrid Circuit Modules for Lightwave Systems Operating at Data Rates of 10 Gbit/s and Higher. **Electronics Letters**, vol.27 no.3, p.267-70, Jan. 1991.
96. CHENEY, B. et al. Design and Test of 2-Gb/s GaAs 16/8-bits Mux/Demux Pair. **IEEE J. of Solid-State Circuits**, vol.24, no.2, p.463-6, Apr. 89.
97. SESHITA, T. et al. A 20 GHz 8 bit Multiplexer IC Implemented with 0.5um WN_x/W-Gate GaAs MESFET's. **IEEE J. of Solid-State Circuits**, vol.29, no.12, p.1583-7, Dec. 94.
98. VITESSE SEMICONDUCTOR CORPORATION. **Product Selection Guide: ASICs, Telecommunications and Data Communications**, Aug. 1995.
99. LAO, Z. H. et al. A 12 Gb/s Si Bipolar 4:1-Multiplexer IC for SDH Systems. **IEEE J. of Solid-State Circuits**, vol.30, no.2, p.129-31, Feb. 1995.