

WENITA DE LIMA SILVA

**Regulador linear de baixa queda de tensão projetado com
Line-TFETs.**

São Paulo
2024

WENITA DE LIMA SILVA

**Regulador linear de baixa queda de tensão projetado com
Line-TFETs.**

Versão Corrigida

Dissertação de mestrado apresentada à
Escola Politécnica da Universidade de São
Paulo como parte dos requisitos para a
obtenção do título de Mestre em Ciências.

São Paulo

2024

WENITA DE LIMA SILVA

Regulador linear de baixa queda de tensão projetado com
Line-TFETs.

Versão Corrigida

Dissertação de mestrado apresentada à
Escola Politécnica da Universidade de São
Paulo como parte dos requisitos para a
obtenção do título de Mestre em Ciências.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino
Coorientadora: Prof^a. Dra. Paula Ghedini
Der Agopian

São Paulo

2024

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 24 de Maio de 2024

Assinatura do autor: Wenita de Lima Silva

Assinatura do orientador: J. Martins

Catálogo-na-publicação

Silva, Wenita

Regulador linear de baixa queda de tensão projetado com Line-TFETs /
W. Silva -- versão corr. -- São Paulo, 2024.

86 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Line-TFET 2.TFET 3.Verilog-A 4.regulador de tensão linear 5.circuitos analógicos integrados I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

RESUMO

Sistemas de gerenciamento de potência contam com reguladores lineares de tensão de baixa queda (LDO) que devem apresentar alta eficiência. Este trabalho tem como objetivo projetar o LDO utilizando o Line-TFET (Transistor de tunelamento em linha por efeito de campo: Line-Tunel-FET) explorando suas métricas de desempenho como regulação de carga, regulação de linha e eficiência entre outras. O modelo do dispositivo foi implementado através de medidas experimentais inseridas em tabelas de pesquisa (lookup tables-LUT) e codificadas na linguagem de descrição de hardware Verilog-A, evitando a falta de precisão dos modelos analíticos. Os LDO Line-TFETs foram analisados e comparados com outras três tecnologias (TFETs em nanofios, CMOS de 180 nm da TSMC e CMOS de 130 nm da IBM). Em todos os projetos o LDO Line-TFET apresentou desempenho superior aos projetos com nanofios-TFET (*Nano-Wire* TFET ou NW-TFET) à exceção da eficiência. Quando comparado às tecnologias CMOS, os LDO Line-TFET apresentaram melhores resultados, a exemplo das regulações de carga e de linha, devido ao seu alto ganho de tensão. O produto ganho-largura de banda (GBW) teve resultados inferiores para correntes de carga em torno dos miliampéres, mas para correntes de cargas por volta das dezenas até a centena de microampéres mostrou uma resposta em frequência comparável. Este trabalho também propôs a melhoria da resposta em frequência do LDO projetado com Line-TFET inserindo mais um estágio de amplificação ao amplificador de erro, obtendo-se um GBW de cerca de 1,5 MHz comparado com 177,61 kHz do projeto sem estágio adicional. Para g_m/I_D de 7 V^{-1} o LDO Line-TFET apresentou eficiência de 91%, GBW de 177,61 kHz e regulação de carga e de linha de 4,6 V/A e 1,9 mV/V, respectivamente. Com g_m/I_D de $9,6 \text{ V}^{-1}$ e máxima corrente de carga de 1 mA. O LDO Line-TFET apresentou regulações de carga e de linha de 0,003 V/A e 0,01 mV/V, aproximadamente, com GBW de 1,5 MHz. Transistores apresentam variabilidade nos parâmetros de processo. Esse fato leva a flutuações nos parâmetros de projeto, por exemplo, o ganho de tensão de um transistor. Devido à importância desse tema, esse estudo também apresenta uma análise simples de variabilidade dos dispositivos Line-TFETs, onde cinco dispositivos foram medidos e modelados da mesma forma descrita anteriormente e, por fim, foram empregados em circuitos LDO. Observou-se que os LDO Line-TFETs sofrem significativamente de variabilidade, pois o Line-TFET possui maior sensibilidade aos seus parâmetros de processo,

principalmente o alinhamento porta-fonte e a fabricação da região de *pocket*. O Line-TFET mostrou-se promissor para o emprego em LDO por apresentar alta eficiência, devido ao baixo consumo de corrente, alto ganho de tensão e poder entregar corrente de carga compatível com aplicações reais. Em termos de GBW, mostrou-se que pode haver melhoria dessa métrica de desempenho a partir de um aumento no consumo de corrente do projeto. Em termos de área, os projetos com Line-TFET se mostram superiores aos projetos com NW-TFET.

Palavras-chave: Line-TFET, TFET, Verilog-A, regulador de tensão linear, circuitos analógicos integrados.

ABSTRACT

Power management systems require linear low-drop voltage regulators (LDOs) that must be highly efficient. This work aims to study the design of LDOs using Line-TFET, exploring its performance metrics: load regulation, line regulation and efficiency, among others, through the device parameters (transconductance, output resistance, voltage gain and parasitic capacitances, among others). The device model is made using experimental measurements inserted in lookup tables - LUTs and encoded in the hardware description language Verilog-A, avoiding the lack of precision of the analytical models. Line-TFET LDO were analyzed and compared with three other technologies (TFETs on nanowires and 180 nm CMOS from TSMC and 130 nm CMOS from IBM). In all projects, the Line-TFET LDO presented performance superior than projects with nanowires-TFET – (NW-TFET), with the exception of efficiency. When compared to CMOS technologies, Line-TFET LDO showed better results, like load and line regulation, due to their high voltage gain. When analyzing the gain-bandwidth (GBW) product, it had inferior results for load currents around milliamps, but for current loads around tens to hundreds of microamperes, it showed a frequency response comparable to that of traditional nodes. This work also proposed to improve the frequency response of the LDO designed with Line-TFET by inserting one more stage of amplification to the error amplifier. In this project, GBW of about 1.5 MHz can be obtained. For g_m/I_D of 7 V^{-1} , the LDO Line-TFET showed an efficiency of 91%, GBW of 177.61 KHz, load and line regulation of 4.6 V/A and 1.9 mV/V, respectively. For g_m/I_D of 9.6 V^{-1} and maximum load current of 1 mA, the LDO Line-TFET showed load and line regulation of 0.003 V/A and 0.01 mV/V, respectively, with GBW of 1.5 MHz. Transistors present variability in process parameters. This fact leads to fluctuations in design parameters, for example the gain of a transistor. Due to the importance of this theme, this study also presents a simple analysis of die-to-die variability of the Line-TFET devices, where five devices were measured and modeled of the same form described previously and LDO circuits were design with devices. It was observed that the Line-TFET LDO suffer significantly from variability, as the Line-TFET has greater sensitivity to its process parameters, mainly the gate-source alignment and the fabrication of the pocket region. Line-TFET has shown promise for use in LDO because it has high efficiency due to low current consumption, high voltage gain and can deliver

load current compatible with real applications. In terms of GBW, it was shown that there can be an improvement in this performance metric from an increase in the current consumption of the project. In terms of area, projects with Line-TFET are superior than projects with NW-TFET.

Keywords: Line-TFET, TFET, Verilog-A, linear regulator, integrated analog circuits.

LISTA DE FIGURAS

Figura 1.1— Característica de transferência (I_{DS} vs V_G) para V_T diminuindo, mantendo-se $V_{DD} - V_T$ constante. Adaptado de (IONESCU; RIEL, 2011).....	20
Figura 1.2 – Resultado de simulações avançadas da inclinação de sublimar em função do ano/comprimento de canal para diferentes tecnologias. Fonte: Adaptado de (BALESTRA, 2019).	21
Figura 2.1 – Estrutura básica de um TFET.....	24
Figura 2.2 – Diagrama de bandas de energia de um nTFET. a) Transistor desligado (OFF); b) Transistor ligado (ON). Fonte (SOUZA, 2015).....	25
Figura 2.3 – Transições envolvidas no processo de geração recombinação. Fonte : (SAH; NOYCE; SHOCKLEY, 1957).	27
Figura 2.4 – Tunelamento assistido por armadilha. Fonte: (BORDALO, 2017).....	28
Figura 2.5 – Representação das bandas de energia e parâmetros referentes ao BTBT. Fonte: (SIVIERI, 2016).	28
Figura 2.6 – Diagrama de bandas de energia de um nTFET para V_G onde $V_{G3} > V_{G2} > V_{G1}$. Adaptado de (SIVIERI, 2016).	30
Figura 2.7 – Curva de transferência de um nTFET, onde o eixo Y é a corrente de dreno normalizada pela largura da porta e o eixo X é a tensão de porta – Fonte: (SIVIERI, 2016).	31
Figura 2.8 – a) Diagrama de banda de energia de um dispositivo nTFET quando há efeito ambipolar, b) Corrente de dreno em função da tensão entre porta e fonte para diferentes tensões entre dreno e fonte. Adaptado de (BORDALO, 2017; KUMAR; VISHNOI; PANDEY, 2017).....	32
Figura 2.9 – Estruturas: a) TFET pontual; b) TFET em linha (Line-TFET).	33
Figura 2.10 – a) Esquema básico de um sistema de gerenciamento de potência; b) Tensão em cada saída do circuito.....	34
Figura 2.11 – Circuito de um regulador LDO típico.	35
Figura 2.12 – Circuito que representa a rejeição do <i>ripple</i> presente na fonte V_{DD}	37
Figura 2.13 – (a) Topologia do Regulador LDO com indicação do ponto de quebra da realimentação. (b) Modelo equivalente de pequenos sinais do regulador LDO	38
Figura 3.1 – Fluxograma da simulação de circuitos com dispositivos modelados a partir de medições experimentais nos softwares da Cadence.	41

Figura 3.2– Curva da eficiência do transistor (g_m/I_D) versus corrente de dreno normalizada do CMOS 130 nm da IBM.	42
Figura 3.3 - Estrutura de perfil do Line-TFET utilizado neste trabalho.....	43
Figura 3.4 – Capacitância parasitárias C_{GS} , C_{GD} e C_{GG} em função de V_{GS} para $V_{DS}=1$ V. (GONÇALEZ FILHO, 2020).....	44
Figura 3.5 – Capacitância parasitárias C_{GS} , C_{GD} e C_{GG} em função de V_{DS} para $V_{GS}=1,25$ V. Fonte: (GONÇALEZ FILHO, 2020).....	45
Figura 3.6 – Modelo do dispositivo utilizado nas simulações.....	45
Figura 3.7 - Característica de transferência do Line-TFET para varios V_{DS} . Onde o eixo Y é a corrente de dreno normalizada com a largura de canal e o eixo X é a tensão de porta-fonte	46
Figura 3.8 – Característica de saída do Line TFET e do MOSFET de 130 nm.....	47
Figura 4.1– Topologia do LDO Line-TFET utilizado neste trabalho.	48
Figura 4.2- Curva experimental do g_m/I_D do Line-TFET em função da corrente de dreno normalizada com a largura de canal, utilizado neste trabalho.	49
Figura 4.3 – Corrente de dreno em função da largura de canal do Line-TFET para $L=1\mu m$	51
Figura 4.4 – Topologia do LDO Line-TFET III.....	54
Figura 4.5 – Variação da tensão de limiar em função do comprimento de canal.....	54
Figura 4.6 – Resposta em frequência do LDO para escolha de C_C utilizando a tecnologia MOS de 130 nm da IBM.	56
Figura 4.7 – Resposta em frequência dos LDO a) Ganho de Malha b) Fase	61
Figura 4.8 – Rejeição de fonte dos LDO em função da frequência.	62
Figura 4.9 – Resposta em frequência LDO Ganho de Malha e Fase.	64
Figura 4.10 – Rejeição de fonte em função da frequência dos LDO.	64
Figura 4.11 – Esquemático de modelo usado para o estudo do comportamento da PSR no LDO Line-TFET 3.	65
Figura 4.12 – Rejeição de fonte Line-TFET e modelo de pequenos sinais equivalente para frequência acima de GBW.....	66
Figura 4.13 – Característica de saída ($I_{DS}/W \times V_{DS}$) com as mesmas características dentro do mesmo <i>wafer</i> . (A) Linha-TFET. (B) NW-TFET.....	67
Figura 4.14 – Ganho de malha extraído em baixas frequências para os LDO projetados com todas as amostras - valor médio exibido.....	69
Figura 4.15 – Topologia LDO com amplificador de erro formado por dois estágios. 70	

Figura 4.16 - Reposta em frequência LDO Ganho de Malha e Fase.	74
Figura 4.17 – Rejeição de fonte em função da frequência dos LDO.	75

LISTA DE TABELAS

Tabela 3.1 – Exemplo da estrutura de uma LUT usada para simulação de dispositivos.	40
Tabela 3.2 – Dependência de parâmetros do Line-TFET e MOSFET	47
Tabela 4.1 – Dimensões dos Transistores.....	57
Tabela 4.2 – Parâmetros do LDO Line-TFET II.	58
Tabela 4.3 – Métricas de desempenho calculadas e simuladas.....	59
Tabela 4.4 – Parâmetros dos LDO projetados.....	59
Tabela 4.5 – Desempenho dos LDO para duas condições de polarização	61
Tabela 4.6 – Parâmetros dos LDO.	63
Tabela 4.7 – Desempenho dos LDO projetados.....	63
Tabela 4.8 – Parâmetros LDO considerando todas as amostras onde é mostrado a média, os melhores e os piores valores.....	68
Tabela 4.9 – Resultados de desempenho dos LDO considerando a variabilidade, são apresentados os resultados médios de todas as amostras juntamente com os melhores e piores casos.....	70
Tabela 4.10 – Dimensões dos transistores.....	73
Tabela 4.11 – Parâmetros dos LDO projetados.....	73
Tabela 4.12 – Resultados de desempenho dos LDO.	75

LISTA DE ABREVIações E SIGLAS

ADE	Ambiente de Projeto Analógico (<i>Analog Design Environment</i>)
AE	Amplificador de Erro
BTBT	Tunelamento de banda para banda (<i>Band-To-Band Tunneling</i>)
CMOS	Metal-Óxido-Semicondutor Complementar (<i>Complementary Metal-Oxide-Semiconductor</i>)
EDA	<i>Electronic Design Automation</i>
FET	Transistor de efeito de campo (<i>Field-Effect Transistor</i>)
GBW	Produto Ganho Banda (<i>Gain-Bandwidth Product</i>)
imec	Centro interuniversitário de Microeletrônica (Interuniversity Microelectronics Center)
IoT	Internet das coisas (Internet of Things)
LDO	Regulador linear de tensão de baixa queda (<i>Low-DropOut</i>)
Line-TFET	Transistor de tunelamento em linha por efeito de campo
LUT	Tabela de Pesquisa (<i>LookUp Table</i>)
MOS	Metal-Óxido-Semicondutor (<i>Metal-Oxide-Semiconductor</i>)
MOSFET	Transistor de efeito de campo MOS
PDK	Kit de processos de projeto (<i>Process Design Kit</i>)
PSR	Rejeição de Fonte (<i>Power Supply Rejection</i>)
SOI	Silício-Sobre-Isolante (<i>Silicon-On-Insulator</i>)
SPICE	Programa de simulação com ênfase em Circuito Integrado (<i>Simulation Program with Integrated Circuit Emphasis</i>)
SRH	Recombinação <i>Shockley-Read-Hall</i>
TAT	Tunelamento assistido por armadilhas (<i>Trap-Assisted Tunneling</i>)
TFET	Transistor de tunelamento por efeito de campo

TSMC

Empresa de Fabricação de Semicondutores de Taiwan (*Taiwan Semiconductor Manufacturing Company*)

Lista de Símbolos

A_{AE}	Ganho de tensão do amplificador de erro [dB]
A_M	Ganho de tensão de malha [dB]
A_{MA}	Ganho de tensão de malha aberta [dB]
A_{MP}	Ganho de tensão do estágio do transistor de potência [dB]
C	Capacitância [F]
C_C	Capacitância de compensação (miller) [F]
C_{GD}	Capacitância entre porta e dreno [F]
C_{GG}	Capacitância total de porta [F]
C_{GS}	Capacitância entre porta e fonte [F]
C_L	Capacitância de carga [F]
$E_{Armadilha}$	Nível energético da armadilha [eV]
E_C	Limite inferior da banda de condução [eV]
E_F	Nível de Fermi [eV]
E_g	Largura da banda proibida [eV]
E_V	Limite superior da banda de valência [eV]
f	Frequência [Hz]
f_t	Frequência de ganho unitário de corrente [Hz]
f_p	Frequência do polo [Hz]
g_{ds}	Condutância entre dreno e fonte [S]
g_m	Transcondutância [S]
g_m/I_D	Eficiência do transistor [V^{-1}]
I_{DS}	Corrente elétrica do dreno para a fonte [A]
I_{IN}	Corrente elétrica de entrada [A]

I_L	Corrente da carga [A]
I_{OFF}	Corrente de estado desligado [A]
I_{ON}	Corrente de estado ligado [A]
k	Constante de Boltzmann [$m^2 \text{ kg s}^{-2} \text{ K}^{-1}$]
L	Comprimento de canal [nm]
L_G	Comprimento da porta [nm]
m^*	Massa equivalente de tunelamento [kg]
p_A	Frequência do polo dominante em Hertz [Hz]
p_B	Frequência do polo não-dominante em Hertz [Hz]
P_D	Potência dinâmica [W]
P_E	Potência estática [W]
P_{IN}	Potência de entrada [W]
P_{OUT}	Potência de saída [W]
P_T	Potência total [W]
q	Carga do elétron [C]
R_{AE}	Resistência de saída do AE [Ω]
r_{ds}	Resistência de saída do transistor de potência [Ω]
R_L	Resistência de carga [Ω]
R_{OUT}	Resistência de saída do regulador LDO [Ω]
s	Frequência complexa [Hz]
SS	Inclinação de sublimiar [mV/dec]
T	Temperatura [K]
t_{OX}	Espessura do óxido [nm]
t_s	Espessura do silício [nm]
V_A	Tensão Early [V]

V_{DD}	Tensão de alimentação [V]
V_{DO}	Tensão de <i>dropout</i> do regulador LDO [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FB}	Tensão de realimentação do regulador LDO [V]
V_{GS}	Tensão entre porta e fonte [V]
V_{IN}	Tensão de entrada [V]
V_{OUT}	Tensão de saída [V]
V_{VOV}	Sobretensão de porta [V]
V_{REF}	Tensão de referência [V]
V_T	Tensão de limiar [V]
W	Largura de dispositivo planar [nm]
ω_{PA}	Frequência do polo dominante [rad/s]
ω_{PB}	Frequência do polo não-dominante [rad/s]
β	Fator de realimentação
$\Delta\Phi$	Janela de tunelamento [eV]
ϵ_{OX}	Permissividade do óxido [F/cm]
ϵ_{Si}	Permissividade do silício [F/cm]
λ'	Comprimento de tunelamento [nm]
\hbar	Constante reduzida de Planck [eV/Hz]

SUMÁRIO

1.	INTRODUÇÃO	19
1.1	OBJETIVO	23
1.2	ESTRUTURA DO TRABALHO.....	23
2.	FUNDAMENTAÇÃO TEÓRICA	24
2.1	PRINCÍPIOS BÁSICOS DE FUNCIONAMENTO DE TFET _s	24
2.2	COMPONENTES DE CORRENTE EM TFET _s	26
2.2.1	Recombinação e geração de portadores.....	26
2.2.2	Tunelamento assistido por armadilha	27
2.2.3	Tunelamento de banda para banda.....	28
2.3	INFLUÊNCIA DA TEMPERATURA NOS MECANISMOS DE CONDUÇÃO	30
2.4	EFEITO AMBIPOLAR	31
2.5	O TRANSISTOR LINE-TFET	32
2.6	REGULADOR LINEAR DE TENSÃO DE BAIXA QUEDA.....	33
2.6.1	Princípio de funcionamento de reguladores LDO	34
2.6.2	Métricas de desempenho de reguladores LDO	35
2.6.3	Estabilidade de reguladores LDOs.....	37
3.	MATERIAIS E MÉTODOS	40
3.1	MODELAGEM COM LUT (<i>LOOKUP TABLE</i>).....	40
3.2	METODOLOGIA DE PROJETO	41
3.3	DESCRIÇÃO DOS DISPOSITIVOS UTILIZADOS.....	42
3.3.1	Características estruturais e princípio de funcionamento	42
3.3.2	Características de transferência e saída	45
4.	PROJETO DE REGULADOR DE TENSÃO DE BAIXA QUEDA COM LINE-TFET	48
4.1	TOPOLOGIA DO LDO	48
4.2	PROJETO DO REGULADOR DE TENSÃO DE BAIXA QUEDA (LDO)	49
4.2.1	Projeto do LDO Line-TFET I.....	49

4.2.2	Projeto do LDO Line-TFET II.....	51
4.2.3	Projeto do LDO Line-TFET III.....	52
4.2.4	Projeto do LDO com MOSFET com tecnologia IBM de 130 nm.....	54
4.2.5	Análise de estabilidade	55
4.3	ANÁLISES E RESULTADOS	57
4.3.1	LDO Line-TFET, NW-TFET e 180 nm.....	57
4.3.2	LDO Line-TFET III e MOSFET com a tecnologia IBM de 130 nm.....	62
4.4	ANÁLISE SIMPLES DE VARIABILIDADE	66
4.5	MELHORA DA RESPOSTA EM FREQUÊNCIA	70
5.	CONCLUSÕES	76
	REFERÊNCIA	78
	ANEXO A – PUBLICAÇÕES GERADAS	85

1. INTRODUÇÃO

A evolução tecnológica dos dispositivos eletrônicos deve-se ao avanço e desenvolvimento da microeletrônica, que tornou possível o elevado e complexo grau de integração de transistores. Os MOSFETs (*Metal-Oxide-Semiconductor Field Effect Transistor* - transistor de efeito de campo metal-óxido-semicondutor) são os principais componentes desses circuitos integrados nas últimas décadas. A redução do comprimento de canal, o emprego de novos processos e materiais utilizados na fabricação desses dispositivos permitiram o cenário descrito.

No entanto, a miniaturização dos MOSFETs causa o aparecimento dos chamados efeitos de canal curto quando atingem escalas nanométricas. Nesse cenário surgiu a tecnologia SOI (*Silicon-On-Insulator* – Silício-Sobre-Isolante), que permitiu a melhoria do desempenho elétrico dos MOSFETs em relação aos problemas que surgem dessa miniaturização. Porém, mesmo com os avanços decorrentes da tecnologia SOI, a necessidade de contínuo escalamento traz desafios à utilização de SOI MOSFETs, devido ao aumento da corrente de fuga, efeitos de canal curto, dissipação de potência e limitação da inclinação de sublimiar (SS) (COLINGE, 2004; IONESCU; RIEL, 2011).

A inclinação de sublimiar (SS), parâmetro que indica a variação de tensão na porta do transistor (V_G) necessária para fazer a corrente de dreno (I_D) alterar em uma década, tem como valor mínimo 60 mV/década em temperatura ambiente em dispositivos MOSFETs. Essa limitação de 60 mV/década no MOSFET é devido ao fato do transporte de carga ocorrer por difusão na região de sublimiar (SZE; NG, 2007).

À medida que o comprimento de porta do transistor é reduzido, é necessário diminuir a tensão de alimentação (V_{DD}) e conseqüentemente a tensão de limiar (V_T), pois tensões de alimentação elevadas podem comprometer a utilização do dispositivo ao submetê-lo a elevados valores de campo elétrico. Assim, para manter o valor de sobretensão de porta, $V_{OV} = (V_{GS} - V_T)$, onde V_{GS} é a tensão porta-fonte, é necessário que V_T acompanhe a redução de V_{DD} , pois a corrente de estado ligado (I_{ON}) é diretamente proporcional à V_{OV} . Na Figura 1.1 é notável que se SS se mantiver constante, para menores valores de V_T , a corrente de dreno de estado desligado (I_{OFF}) aumenta de forma exponencial (IONESCU; RIEL, 2011), degradando o desempenho

do dispositivo, já que a potência estática é proporcional à corrente I_{OFF} de acordo com a Equação (1.1) (SEDRA; SMITH, 2015).

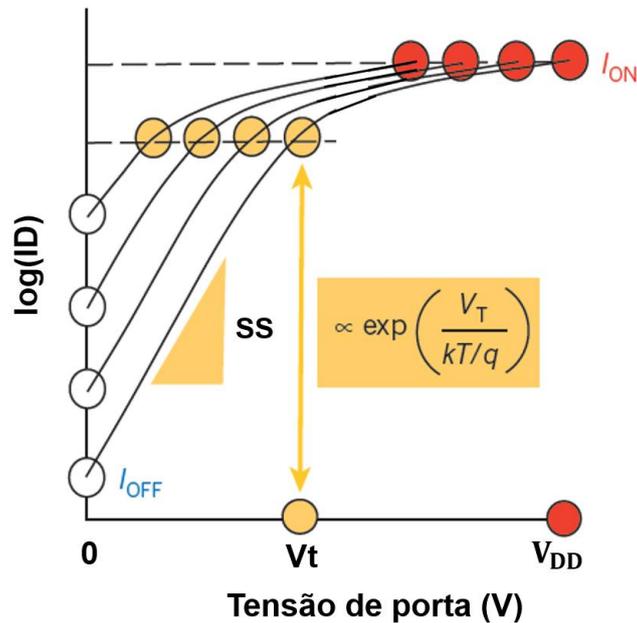


Figura 1.1— Característica de transferência (I_{DS} vs V_G) para V_T diminuindo, mantendo-se $V_{DD} - V_T$ constante. Adaptado de (IONESCU; RIEL, 2011).

$$P_{estatica} = I_{OFF} \cdot V_{DD} \tag{1.1}$$

Devido ao cenário descrito acima, dispositivos com novas estruturas, novos materiais e diferentes princípios de operação vêm sendo largamente propostos e estudados como substitutos dos MOSFETs. Na Figura 1.2 é possível ver como os transistores vem evoluindo em relação a SS. Os transistores de tunelamento por efeito de campo (*Tunnel Field Effect Transistors* -TFETs), conseguem entregar SS menor que que 60 mV/década e, portanto, surgem como proposta para substituir os MOSFETs em aplicações de baixa potência (TRIVEDI; CARLO; MUKHOPADHYAY, 2013).

Os transistores de tunelamento induzidos por efeito de campo (TFETs) aparecem como substitutos promissores para a tecnologia MOSFET em aplicações digitais, pois possuem a possibilidade de atingir SS abaixo do limite teórico mencionado acima devido ao fato do tunelamento banda para banda, em inglês BTBT, ser seu principal modo de condução de corrente, possibilitando uma alta relação de corrente ligada por corrente desligada (I_{ON}/I_{OFF}) (WOO YOUNG CHOI *et al.*, 2007). Além disso, foi demonstrado que esses dispositivos possuem propriedades analógicas

interessantes, uma vez que também apresentam uma condutância de saída (entre dreno e fonte) ultrabaixa (gds), que contribui para um alto ganho de tensão intrínseco (A_v). Os TFETs superam amplamente as tecnologias MOSFETs nanométricas quando se considera a condutância de saída entre dreno e fonte, pois a degradação do gds nas tecnologias MOSFETs é acentuada, já que a modulação de canal se torna mais severa para menores valores de comprimento de canal, diminuindo o seu ganho intrínseco de tensão (AGOPIAN, Paula Ghedini *et al.*, 2017).

Os TFETs possuem em geral baixo nível de corrente I_{ON} , portanto, apresentam menor consumo de energia. Isso somado a um alto A_v , fazem com que esses dispositivos ganhem atenção em pesquisas envolvendo circuitos integrados analógicos para aplicações que requerem uma maior eficiência energética (RANGEL; AGOPIAN; MARTINO, 2019; SETTINO *et al.*, 2017). A análise do desempenho elétrico dos TFETs em circuitos analógicos, encontradas na bibliografia, mostram alto ganho de tensão com baixo consumo de potência (ACHARYA *et al.*, 2019; DE MORAES NOGUEIRA; DER AGOPIAN; MARTINO, 2020; GONÇALEZ FILHO *et al.*, 2019; SEDIGHI *et al.*, 2015).

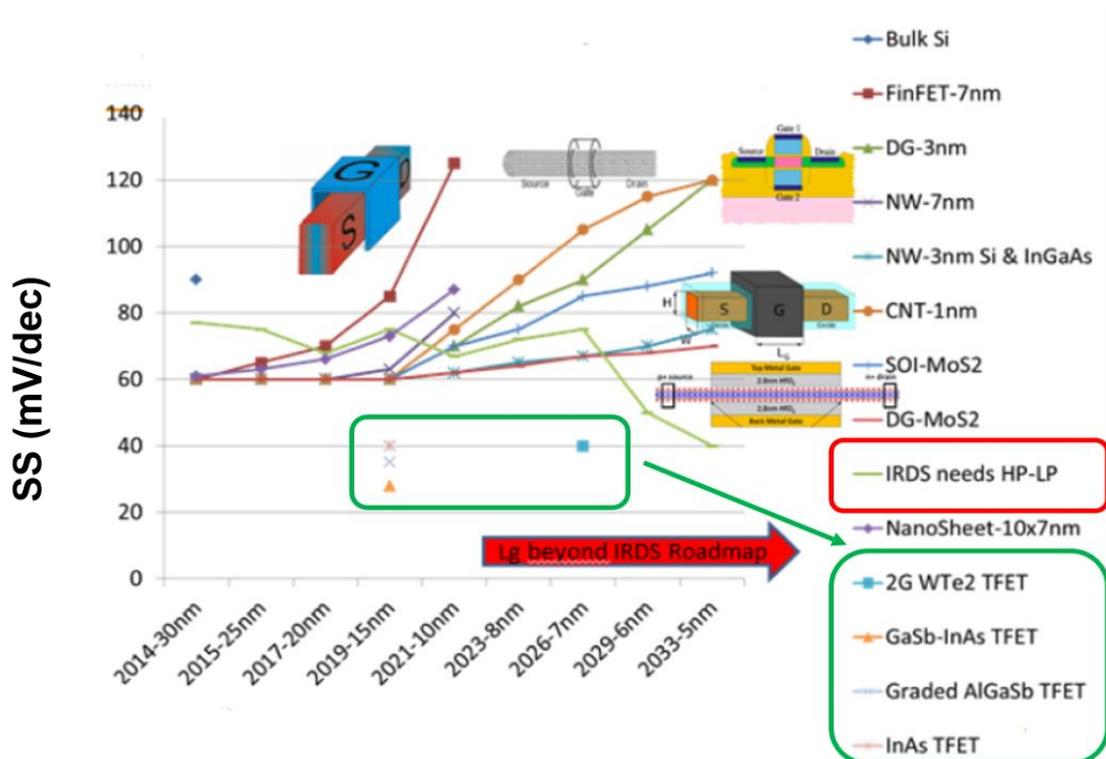


Figura 1.2 – Resultado de simulações avançadas da inclinação de sublimiar em função do ano/comprimento de canal para diferentes tecnologias. Fonte: Adaptado de (BALESTRA, 2019).

Dispositivos TFETs apresentam uma corrente de dreno de estado ligado (I_{ON}) consideravelmente baixa quando comparados aos MOSFETs, o que pode limitar sua utilização em algumas aplicações. Logo, várias estruturas de TFETs (planar e múltiplas portas) com homo e heterojunções estão sendo propostas e estudadas para que os transistores consigam prover maiores valores de corrente (HUANG *et al.*, 2012; JEON *et al.*, 2010). Uma classe de TFETs chamada de tunelamento em linha (Line-TFETs) consegue entregar maiores valores de corrente de dreno de estado ligado pois o BTBT nesses dispositivos ocorre em uma área maior, diferente de outras estruturas de TFETs onde o BTBT ocorre apenas em uma pequena região de junção entre a fonte e o canal próximo à porta (ACHARYA *et al.*, 2018; KUMAR; VISHNOI; PANDEY, 2017).

O regulador linear de tensão de baixa queda (LDO) é um importante bloco em sistemas de gerenciamento de potência e deve apresentar alta eficiência (GUPTA; RINCÓN-MORA; RAHA, 2004; RINCON-MORA, 2009; TORRES *et al.*, 2014). O baixo consumo de energia elétrica dos TFETs os tornam dispositivos promissores para a investigação de seu uso em circuitos integrados analógico que precisam de alta eficiência energética a exemplo do LDO.

Os modelos analíticos de TFETs ainda se encontram em desenvolvimento, além de serem direcionados a determinadas geometrias e/ou materiais específicos, o que dificulta seu uso em projeto de circuitos integrados. Para projetos de circuitos integrados analógicos com TFETs, o método que utiliza a tabela de pesquisa (*lookup table* - LUT) é o mais apropriado, pois as curvas características do dispositivo são transformadas em tabelas e, por meio da linguagem Verilog-A, é possível criar um modelo para utilização desses dispositivos para a simulação de circuitos integrados analógicos. Essas curvas características podem ser extraídas a partir de medidas experimentais ou por simulação através de “softwares” TCAD. Modelos obtidos a partir de medidas experimentais incluem as não idealidades inerentes ao dispositivo, resultando em modelos mais precisos quando comparados com os construídos a partir de dados obtidos por simulação usando modelos analíticos (ROFOUGARAN; FURMAN; ABIDI, 1988; SHIMA *et al.*, 1982; YOUSSEF; MURMANN; OMRAN, 2020).

1.1 OBJETIVO

O presente estudo tem por objetivo projetar reguladores lineares de tensão de baixa queda (LDO) utilizando Line-TFETs modelados através de dados experimentais utilizando o Verilog-A. Este trabalho também propõe uma análise simples de variabilidade dos dispositivos Line-TFETs aplicados nos LDOs projetados. No estudo ainda é realizado o projeto de um LDO Line-TFET que tem como alvo a melhoria do produto ganho-largura de banda (GBW). Os projetos são comparados com LDOs projetados com três tecnologias diferentes, TFETs em nanofios, CMOS de 180 nm da TSMC e CMOS de 130 nm da IBM. O objetivo de comparar com a tecnologia TFET é entender dentro desses nós tecnológicos qual tecnologia é mais indicada a aplicação. A comparação com os nós 130nm e 180nm é feita para analisarmos quais as vantagens e desvantagens do circuito projetado com TFET quando comparados com tecnologias tradicionais.

1.2 ESTRUTURA DO TRABALHO

No capítulo 2 os principais conceitos teóricos de TFETs, Line-TFETs e de reguladores de tensão de baixa queda (LDO) são abordados e analisados. No capítulo 3 são apresentados os materiais e métodos utilizados ao longo desse estudo, incluindo a metodologia de projeto utilizada e a descrição detalhada do Line-TFET. O capítulo 4 apresenta o projeto dos reguladores LDO, traz uma análise simples de variabilidade e todos os projetos são analisados junto com os resultados. O capítulo 5 traz um resumo de todo o trabalho e aborda as conclusões do mesmo.

2. FUNDAMENTAÇÃO TEÓRICA

Esta seção apresenta o princípio básico de funcionamento de transistores de tunelamento induzidos por campo elétrico e aborda os conceitos básicos que explicam o modo de funcionamento do Line-TFET. Também é apresentado o regulador linear de tensão de baixa queda (LDO), fazendo uma análise do desempenho elétrico do circuito integrado e dos parâmetros que são levados em consideração no estudo.

2.1 PRINCÍPIOS BÁSICOS DE FUNCIONAMENTO DE TFETs

A estrutura básica de um transistor de tunelamento induzido por efeito de campo (TFET) é apresentada na Figura 2.1. A estrutura consiste de um diodo PIN, onde a região de fonte e dreno apresentam dopagens opostas, separadas por uma região de silício intrínseco (ou com baixíssima dopagem) que é a região de canal. A região de porta é composta por uma estrutura MOS (Metal-óxido-semicondutor). Assim, V_G , V_S e V_D são a tensão aplicada no terminal de porta, no terminal de fonte e no terminal de dreno respectivamente.

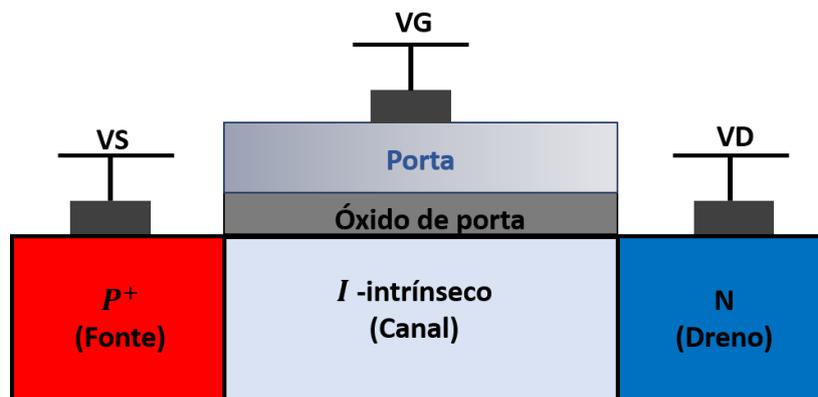


Figura 2.1 – Estrutura básica de um TFET.

Um TFET pode ser do tipo n ou p, dependendo das polarizações aplicadas. Os nTFETs são dispositivos nos quais a região de dreno é do tipo N e a região de fonte é do tipo P fortemente dopado. De forma semelhante, em pTFETs, a região de dreno é do tipo P e a fonte é do tipo N fortemente dopado (KUMAR; VISHNOI; PANDEY, 2017).

Para explicar o princípio de funcionamento de um TFET é possível fazer uso do diagrama de bandas de energia do dispositivo. Na Figura 2.2 é ilustrado o diagrama de bandas de energia de um nTFET para diferentes condições de V_{GS} e V_{DS} (tensão dreno-fonte), onde E_c é o nível inferior da banda de condução, E_v é o nível superior da banda de valência e entre as duas bandas existe a chamada banda proibida (*band gap*) onde não há estados de energia permitidos para que os portadores possam ocupar (KUMAR; VISHNOI; PANDEY, 2017; SZE; NG, 2007).

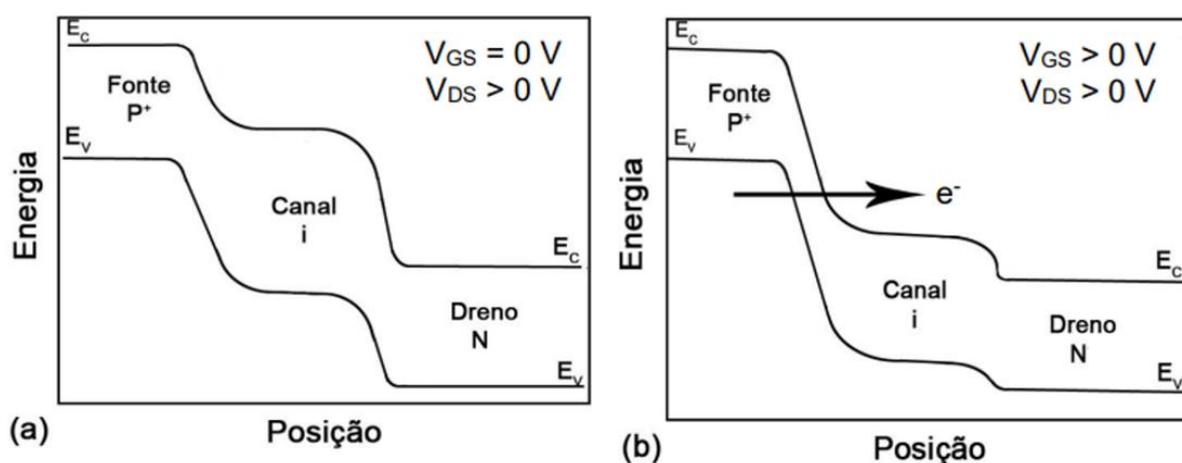


Figura 2.2 – Diagrama de bandas de energia de um nTFET. a) Transistor desligado (OFF); b) Transistor ligado (ON). Fonte (SOUZA, 2015).

Ao se aplicar uma tensão $V_{DS} > 0\text{ V}$ e mantendo-se a tensão $V_{GS} = 0\text{ V}$ (Figura 2.2 a), o dispositivo está desligado, uma vez que o diodo PIN está polarizado reversamente. Nessas condições a corrente de dreno de estado desligado (I_{OFF}) atingem valores mais baixos que nos MOSFETs e sua componente predominante é dada por meio do processo de geração e recombinação Shockley-Read-Hall (SRH) (KUMAR; VISHNOI; PANDEY, 2017; SZE; NG, 2007).

Para $V_{GS} > 0\text{ V}$, Figura 2.2 b, as bandas de energia na região do canal são deslocadas para baixo, até que o limite inferior da banda de condução (E_c) do canal fique em um estado energético menor que o limite superior da banda de valência (E_v) da fonte, tornando possível que os elétrons da banda de valência da fonte tunelem para a banda de condução do canal. Então a corrente de estado ligado (I_{ON}) é dada pelo tunelamento entre bandas. Esse mecanismo de condução de portadores permite que TFETs possam alcançar menores valores de inclinação de sublimiar (SS) (IONESCU; RIEL, 2011).

2.2 COMPONENTES DE CORRENTE EM TFETs

A seguir serão apresentados quais e como são originados os componentes de corrente em TFETs.

2.2.1 Recombinação e geração de portadores

Os semicondutores apresentam impurezas, defeitos na rede cristalina e contaminações que podem criar níveis energéticos permitidos dentro da banda proibida que servem de armadilhas. O enfraquecimento das ligações covalentes, dado por vibrações na rede cristalina pela temperatura, dá origem a pares elétrons-lacunas e, por meio das armadilhas os elétrons podem transitar da banda de valência até a banda de condução sem que seja necessário adquirir energia maior que a banda proibida. O processo inverso, chamando de recombinação, acontece quando o elétron passa da banda de condução para a banda de valência, através de armadilha, recombinando-se com uma lacuna. Este fenômeno físico é conhecido como processo de geração e recombinação Shockley-Read-Hall (SRH) (SAH; NOYCE; SHOCKLEY, 1957; STREETMAN; SANJAY; BANERJEE, 2016).

As transições envolvidas no processo de geração e recombinação podem ser divididas em: a) Captura de elétrons da banda de condução pela armadilha; b) emissão do elétron armadilhado para a banda de condução; c) Captura da lacuna da banda de valência pelo defeito; d) Emissão da lacuna armadilhada para a banda de valência. Na Figura 2.3 essas transições são ilustradas (STREETMAN; SANJAY; BANERJEE, 2016).

A Equação (2.1) estabelece a taxa de geração SRH (G_{SRH}) de portadores quando há nível de armadilha em um único estado energético. Ainda na Equação (2.1) pode-se notar que G_{SRH} , por causa de n_1 e p_1 determinados nas Equações (2.2) e (2.3), depende fortemente da temperatura (SIVIERI, 2016).

$$G_{SRH} = \frac{pn - ni^2}{(n + n_1)\tau_{p0} + (p + p_1)\tau_{n0}} \quad (2.1)$$

$$n_1 = \frac{n_i \exp(E_{Armadilha} - E_i)}{kT} \quad (2.2)$$

$$p_1 = \frac{n_i \exp(E_i - E_{Armadilha})}{kT} \quad (2.3)$$

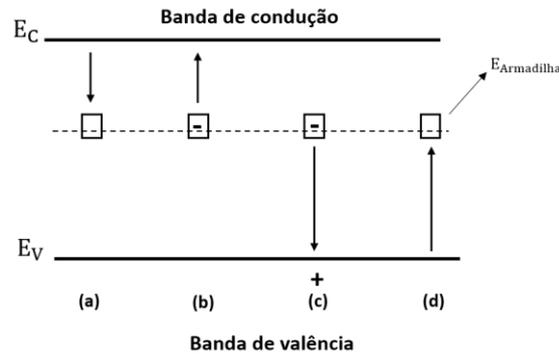


Figura 2.3 – Transições envolvidas no processo de geração recombinação. Fonte : (SAH; NOYCE; SHOCKLEY, 1957).

2.2.2 Tunelamento assistido por armadilha

No Tunelamento Assistido por Armadilha, *Trap Assisted Tunneling* (TAT), o campo elétrico aplicado ao dispositivo é responsável pelo rompimento das ligações covalentes e então os elétrons que estão na banda de valência podem tunelar para algum nível de energia criado pelas armadilhas na banda proibida, e a partir do processo de geração e recombinação SRH pode sair da armadilha e chegar à banda de condução, esse processo está ilustrado na Figura 2.4. Esses portadores livres então aumentam a corrente de estado desligado do dispositivo. Como o TAT é um SRH enriquecido pelo campo elétrico, o mesmo também depende da temperatura (HURKX; KLAASSEN; KNUVERS, 1992; SCHENK, 1993).

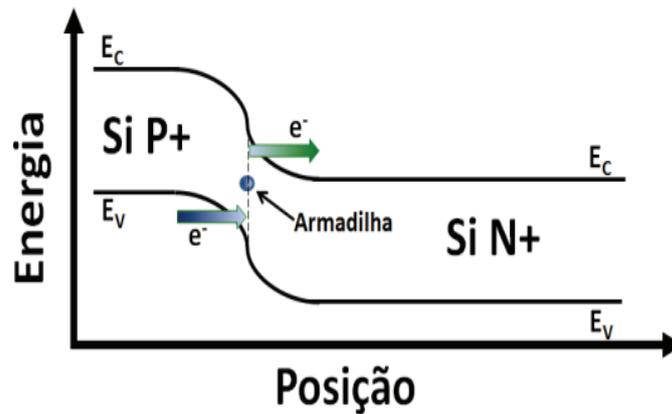


Figura 2.4 – Tunelamento assistido por armadilha. Fonte: (BORDALO, 2017).

2.2.3 Tunelamento de banda para banda

O tunelamento entre bandas ocorre quando a tensão aplicada na porta do transistor (V_G) é suficiente para promover uma sobreposição entre a banda de valência (E_V) da fonte e a banda de condução (E_C) do canal como dito anteriormente. Como ilustrado na Figura 2.5. Caso o comprimento de tunelamento (λ') seja curto o suficiente, uma quantidade significativa de elétrons na banda de valência da fonte pode tunelar para a banda de condução do canal devido ao alto campo elétrico na junção fonte/canal que promove o enfraquecimento das ligações covalentes (SIVIERI, 2016).

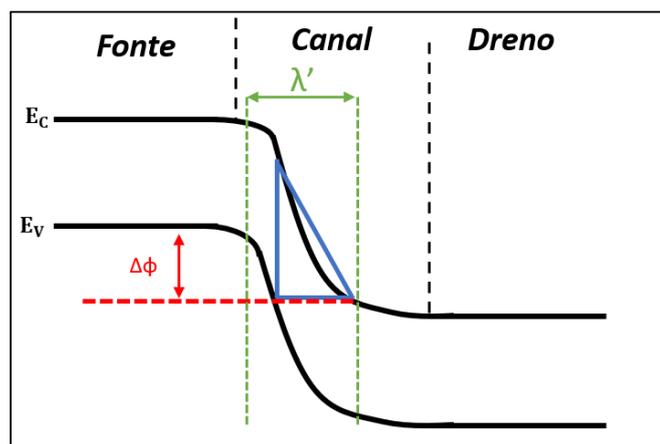


Figura 2.5 – Representação das bandas de energia e parâmetros referentes ao BTBT. Fonte: (SIVIERI, 2016).

Considerando uma barreira de energia com formato triangular ilustrada na Figura 2.5, a probabilidade de tunelamento pode ser calculada por meio da

aproximação WKB (Wenzel-Kramers-Brillouin) fornecida pela Equação (2.4) (SZE; NG, 2007). Onde m^* é a massa efetiva de tunelamento, E_g é a largura da banda proibida de energia, q é a carga elementar do elétron, e \hbar é a constante de Planck reduzida e $\Delta\Phi$ é a janela de tunelamento.

$$T_{WKB} \cong \exp\left(\frac{-4\lambda'\sqrt{2m^*} E_g^{3/2}}{3q\hbar(E_g + \Delta\Phi)}\right) \quad (2.4)$$

Pela Equação (2.4), quanto maior for λ' e E_g , menor será a probabilidade de tunelamento e, portanto, menor será a corrente proveniente de BTBT. Por outro lado, quanto maior for $\Delta\Phi$ maior é probabilidade de ocorrer tunelamento. Os portadores suscetíveis ao BTBT estão situados na faixa energética limitada por $\Delta\Phi$ (KUMAR; VISHNOI; PANDEY, 2017).

No TFET o tunelamento entre bandas ocorre na junção fonte-canal. Considerando um nTFET, para um aumento na tensão de porta (V_G) o λ' diminui enquanto $\Delta\Phi$ aumenta, elevando assim a probabilidade de tunelamento e conseqüentemente a corrente de dreno (KUMAR; VISHNOI; PANDEY, 2017).

Na Figura 2.6 é ilustrado o diagrama de bandas de um dispositivo nTFET com a tensão de porta variando. Para $V_G = V_{G1}$, o comprimento de tunelamento é longo demais e apenas SRH pode acontecer. Para $V_G = V_{G2}$, TAT ocorre e predomina pois E_V na fonte é maior que $E_{Armadilha}$ no canal, havendo assim a possibilidade dos elétrons tunelarem. Quando $V_G = V_{G3}$, o comprimento de tunelamento é pequeno o suficiente para que BTBT seja dominante e, portanto, os componentes de correntes provenientes do SRH e TAT são desprezíveis (SIVIERI, 2016).

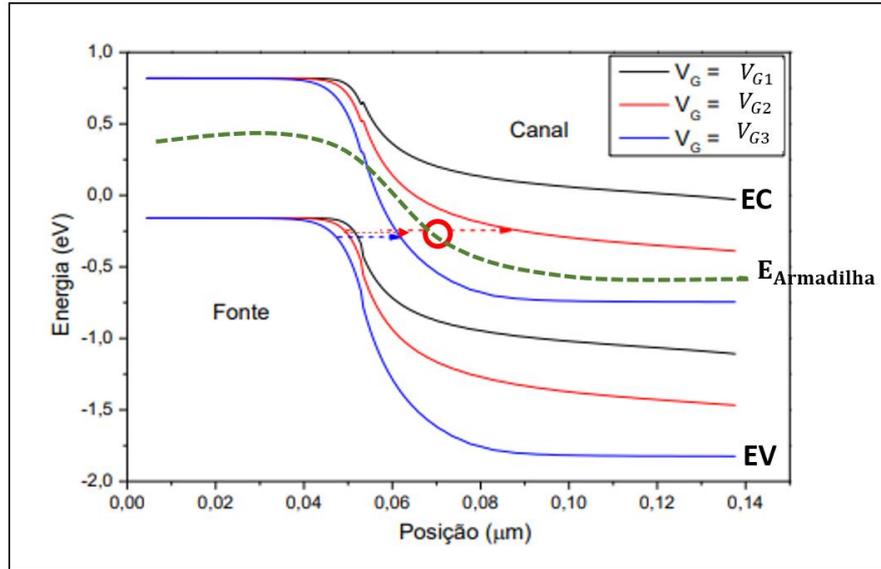


Figura 2.6 – Diagrama de bandas de energia de um nTFET para V_G onde $V_{G3} > V_{G2} > V_{G1}$. Adaptado de (SIVIERI, 2016).

2.3 INFLUÊNCIA DA TEMPERATURA NOS MECANISMOS DE CONDUÇÃO

As equações simplificadas que descrevem as densidades de corrente de dreno considerando os mecanismos de condução explicados acima são apresentadas pelas Equações (2.5), (2.6) e (2.7), onde C_1 , C_2 e C_3 são constantes matemáticas, E_g é a largura de banda proibida, ΔE_t é a diferença entre o nível de energia da armadilha e o nível intrínseco, k é a constante Boltzmann, T é a temperatura e ξ é o campo elétrico. Assim, J_{RSH} , J_{TAT} e J_{BTBT} são as densidades de corrente de dreno considerando: Recombinação e geração de portadores, Tunelamento assistido por armadilha e Tunelamento de banda para banda, respectivamente. É possível perceber que o SRH e o TAT têm uma dependência com a temperatura, resultado já mencionado anteriormente. O BTBT não é influenciado diretamente pela temperatura, mas tem uma fraca dependência a partir de E_g que depende da temperatura (MOOKERJEA *et al.*, 2010).

$$J_{RSH} \propto C_1 \cdot e^{\left(-\frac{E_g}{2kT}\right)} \quad (2.5)$$

$$J_{TAT} \propto C_2 \cdot e^{\left(-\frac{E_g + \Delta E_t}{2k.T}\right)} \quad (2.6)$$

$$J_{BTBT} \propto e^{\left(-C_3 \frac{E_g^{3/2}}{\xi}\right)} \quad (2.7)$$

Na Figura 2.7 é apresentada a curva de transferência de um dispositivo nTFET, onde a curva cinza é a corrente de dreno total do dispositivo e as curvas pontilhadas foram estimadas a partir de simulação assumindo o modo de condução predominante com a variação de V_{GS} . Observando a influência da temperatura, é possível determinar qual é o modo de condução é predominante já que o BTBT tem pouca influência da temperatura. A curva azul refere-se ao comportamento do dispositivo caso apenas BTBT estivesse presente. É possível verificar ao comparar a curva azul com a curva cinza que a inclinação de sublimiar (SS) é degradada. Isso acontece pela presença do TAT e SRH (SIVIERI, 2016).

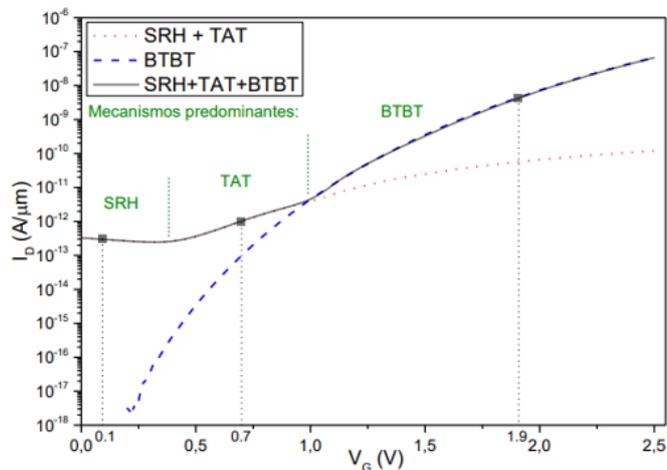


Figura 2.7 – Curva de transferência de um nTFET, onde o eixo Y é a corrente de dreno normalizada pela largura da porta e o eixo X é a tensão de porta – Fonte: (SIVIERI, 2016).

2.4 EFEITO AMBIPOLAR

Dispositivos TFETs com estrutura baseada na Figura 2.1 apresentam efeito ambipolar considerável, onde há condução de corrente para tensões de porta negativa. No caso de um nTFET, quando uma tensão suficientemente negativa é aplicada na porta do dispositivo, as bandas de energia do canal sobem e, quando E_v

do canal fica acima de E_c do dreno, ocorre o tunelamento indesejável entre canal e dreno, como pode ser visto na Figura 2.8a, degradando I_{OFF} . Como as bandas de energia do dreno abaixam com aplicação de tensão positiva nesse terminal, há um aumento da corrente de dreno proveniente do efeito ambipolar para maiores valores de V_{DS} , como ilustrado na Figura 2.8 b), aumentando ainda mais I_{OFF} (KUMAR; VISHNOI; PANDEY, 2017).

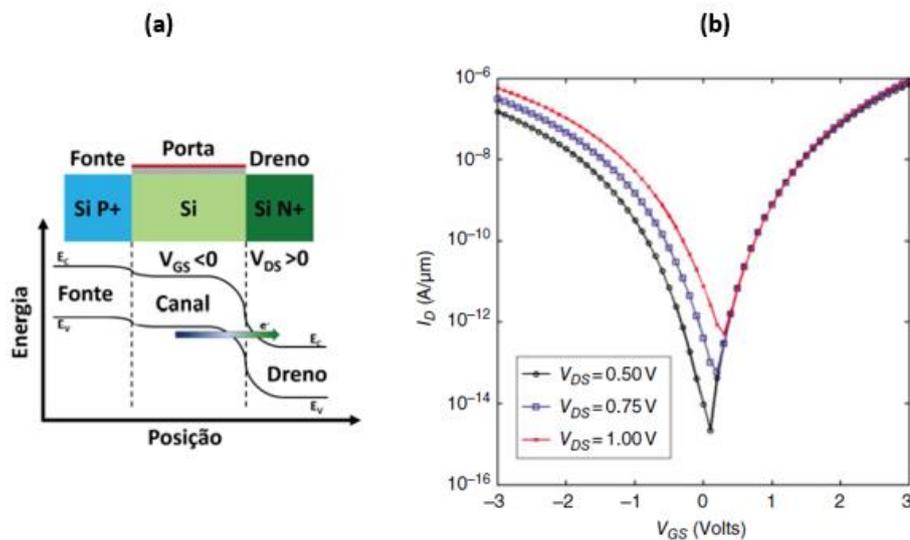


Figura 2.8 – a) Diagrama de banda de energia de um dispositivo nTFET quando há efeito ambipolar, b) Corrente de dreno em função da tensão entre porta e fonte para diferentes tensões entre dreno e fonte. Adaptado de (BORDALO, 2017; KUMAR; VISHNOI; PANDEY, 2017).

Transistores TFETs são projetados para minimizar o efeito ambipolar, introduzindo uma subposição entre a porta e o dreno (Figura 2.9 a) que torna o comprimento de tunelamento demasiado longo, reduzindo drasticamente esse componente de corrente, reduzindo (eliminando) a degradação de I_{OFF} do dispositivo pelo efeito ambipolar (KUMAR; VISHNOI; PANDEY, 2017; VERHULST *et al.*, 2007).

2.5 O TRANSISTOR LINE-TFET

Transistores de tunelamento controlados por efeito de campo elétrico, TFETs, apresentam como característica geral baixa corrente de estado ligado (I_{ON}). Em um TFET convencional, estrutura ilustrada na Figura 2.9^a, o tunelamento ocorre apenas na região limite entre a fonte e o canal, como ilustra a seta vermelha (KUMAR;

VISHNOI; PANDEY, 2017). Esse tipo de tunelamento na junção fonte-canal é conhecido como tunelamento pontual (*point tunneling*).

Diferentes abordagens vêm sendo propostas com a finalidade de aumentar I_{ON} (ACHARYA *et al.*, 2018), entre elas o aumento da área da região de tunelamento, que pode ser feito sobrepondo a porta sobre as regiões do canal e da fonte, como mostrado na Figura 2.9. Desta forma, os portadores tunelam no sentido vertical, da fonte para o canal, no mesmo sentido do campo elétrico originado pela tensão aplicada na porta (AGARWAL; KLIMECK; LUISIER, 2010; GANAPATHI; YOON; SALAHUDDIN, 2010). Esse tipo de tunelamento é conhecido como tunelamento em linha (*line tunneling*) e o dispositivo é chamado de TFET em linha (Line-TFET), cujo tunelamento ocorre na mesma direção do campo elétrico vertical, aumentando a sua capacidade de corrente de dreno, que além de ser diretamente proporcional à largura de porta como os demais TFETs, é também diretamente proporcional ao comprimento de porta.

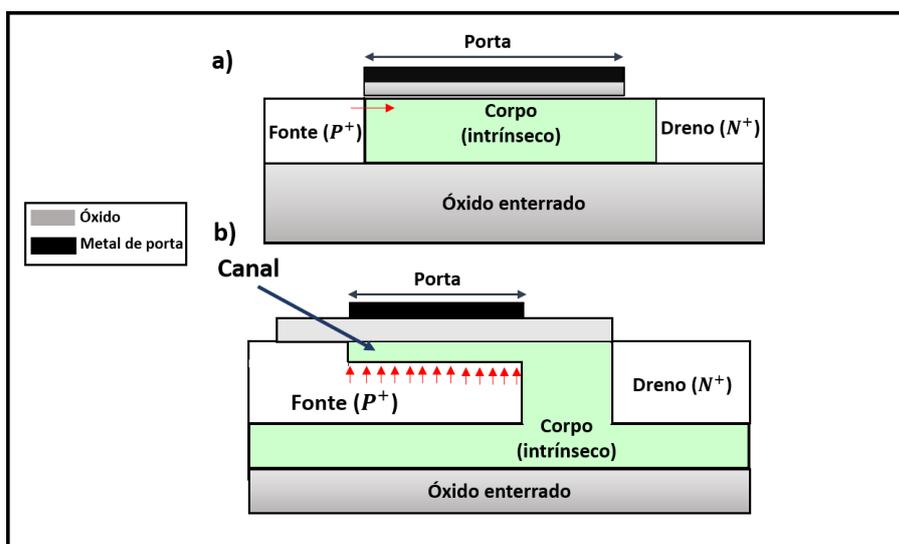


Figura 2.9 – Estruturas: a) TFET pontual; b) TFET em linha (Line-TFET).

2.6 REGULADOR LINEAR DE TENSÃO DE BAIXA QUEDA

Circuitos integrados em geral contam com sistemas de gerenciamento de potência, pois os circuitos operam com diferentes níveis de tensão apesar de contar com uma única bateria. Um exemplo de sistema de gerenciamento de potência está ilustrado na Figura 2.10a, onde há uma bateria que alimenta todo o sistema, V_{BAT} é a

tensão da bateria, um conversor chaveado DC-DC (corrente contínua *-direct current*) e V_{CH} é a tensão do conversor, seguido por um regulador linear de tensão de baixa queda (LDO) tensão V_{LDO} . Conversores DC-DC têm alta ondulação de saída (*ripple*), como ilustrado na Figura 2.10b, nas figuras a seguir é possível relacionar V_{DD} a V_{CH} Figura 2.10a. Assim a fim de reduzir a ondulação e fornecer tensões de alimentações mais precisas e estáveis para as cargas, um regulador LDO é inserido no sistema (RINCON-MORA, 2009).

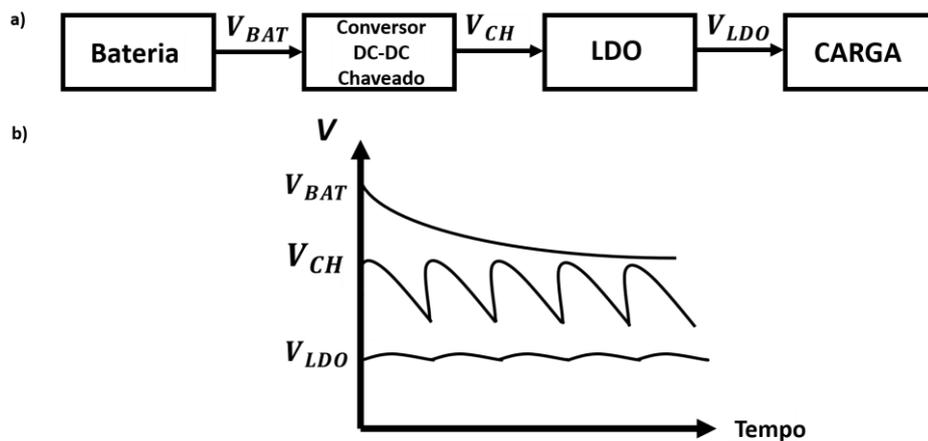


Figura 2.10 – a) Esquema básico de um sistema de gerenciamento de potência; b) Tensão em cada saída do circuito.

2.6.1 Princípio de funcionamento de reguladores LDO

O circuito de um regulador LDO típico é ilustrado na Figura 2.11. Os três blocos principais são: (1) um transistor PMOS M_p conhecido como transistor de potência, (2) um amplificador operacional conhecido como amplificador de erro (AE) e (3) uma rede de realimentação formada pelos resistores R_1 e R_2 . A carga é representada pelo capacitor C_L e resistor R_L . Quando a tensão de saída do LDO (V_{OUT}) é alterada, a tensão na malha de realimentação (V_{FB}) também altera, de modo que o amplificador de erro modifica a condutividade do transistor de potência até que a tensão de saída seja ajustada para o valor desejado (RINCON-MORA, 2009).

Considerando o amplificador de erro (AE) como sendo um amplificador operacional ideal, teremos $V_{FB} = V_{REF}$, onde V_{FB} é a tensão de realimentação (*Feed-Back*) e é dada pela equação (2.8) e V_{REF} é a tensão de referência em geral essa

tensão é externa ao circuito e projetada por um circuito de referência de tensão (RINCON-MORA, 2009).

$$V_{FB} = \frac{R_2}{R_1 + R_2} V_{OUT} \quad (2.8)$$

A tensão de saída (V_{OUT}) pode ser dada em termos da tensão de referência (V_{REF}), sabendo que o fator de realimentação (β) é dado pela equação (2.9) (RINCON-MORA, 2009).

$$\beta = \frac{R_2}{R_1 + R_2} \quad (2.9)$$

Então utilizando 2.8 e 2.9 tem-se a equação (2.10).

$$V_{REF} = \beta \cdot V_{OUT} \quad (2.10)$$

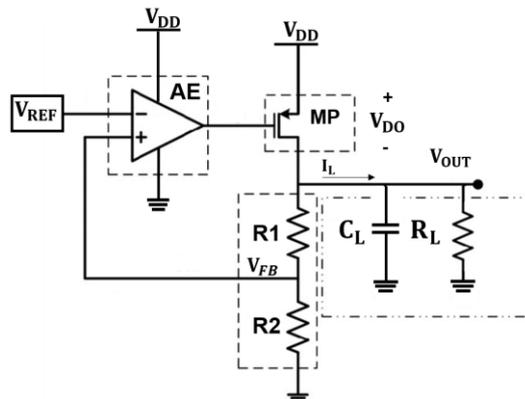


Figura 2.11 – Circuito de um regulador LDO típico.

2.6.2 Métricas de desempenho de reguladores LDO

Reguladores lineares são analisados a partir de suas métricas de desempenho, que podem ser estáticas, dinâmicas, em alta frequência e eficiência. Neste estudo serão abordadas as seguintes métricas de desempenho: tensão de *dropout* (V_{DO}), a corrente quiescente I_Q , a eficiência, as regulações de carga e de linha e rejeição de fonte (RINCON-MORA, 2009).

Tensão de dropout (V_{DO}): Em reguladores lineares a diferença entre a tensão de alimentação do circuito e a tensão de saída é definida como tensão de *dropout*. Como consta na Equação (2.11), quanto menor essa tensão maior será a eficiência do regulador, como será visto posteriormente. É possível classificar o regulador a partir do valor de V_{DO} . Para $V_{DO} < 600$ mV o regulador linear é classificado como regulador de baixa queda de tensão (*low-dropout*) (RINCON-MORA, 2009).

$$V_{DO} = V_{DD} - V_{OUT} \quad (2.11)$$

Corrente quiescente (I_Q): é toda corrente consumida pelo circuito com exceção da corrente de carga, ou seja, são as correntes consumidas pelo amplificador de erro e pela malha de realimentação, dada pela Equação (2.12), onde I_{IN} é a corrente fornecida por V_{DD} e I_L é a corrente de carga (RINCON-MORA, 2009).

$$I_Q = I_{IN} - I_L \quad (2.12)$$

Eficiência: é a razão entre a potência dissipada pela carga (P_{OUT}) e a potência fornecida pela fonte (P_{IN}), como mostra a Equação (2.13). Assim, o regulador será mais eficiente para menores valores de I_Q e V_{DO} (RINCON-MORA, 2009).

$$\frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT}I_L}{V_{DD}(I_Q + I_L)} = \frac{(V_{DD} - V_{DO})I_L}{V_{DD}(I_Q + I_L)} \quad (2.13)$$

Regulação de carga: indica a variação de tensão na saída do regulador linear (V_{OUT}) dado que houve alteração na corrente de carga (I_L). É calculada pela Equação (2.14). Assim melhores resultados, ou seja, menores variações na saída, são alcançados por alta transcondutância do transistor de potência (g_{mMP}) e alto ganho de tensão do amplificador de erro (A_{AE}) (RINCON-MORA, 2009).

$$\frac{\Delta V_{OUT}}{\Delta I_L} \approx - \frac{1}{g_{mMP} A_{AE} \beta} \quad (2.14)$$

Regulação de linha: indica a variação de tensão na saída do regulador linear (V_{OUT}) dado que houve alteração na tensão de alimentação (V_{DD}). É dada pela

Equação (2.15), onde A_M é o ganho de malha do sistema. Logo, maiores valores de A_M resultam em menores variações na saída (RINCON-MORA, 2009).

$$\frac{\Delta V_{OUT}}{\Delta V_{DD}} \approx -\frac{1}{A_M} \quad (2.15)$$

Rejeição de fonte: reguladores lineares devem ser capazes de suprimir o *ripple* que em geral está presente na tensão V_{DD} . A essa supressão é dado o nome de rejeição de fonte, ou PSR (*Power Supply Rejection*). Esse parâmetro é caracterizado em função da frequência e, para baixas frequências, é igual à regulação de linha, dada pela Equação (2.15). A PSR é calculada pela Equação (2.16) dada em decibéis, onde v_{OUT} e v_{DD} são as componentes CA (corrente alternada) que descrevem o *ripple* em V_{OUT} e V_{DD} , respectivamente. Na Figura 2.12 é possível observar que uma melhor PSR (PSR 2) resulta em uma menor variação na saída ΔV_{OUT} (RINCON-MORA, 2009).

$$PSR = 20 \log_{10} \left(\frac{v_{OUT}}{v_{DD}} \right) \quad (2.16)$$

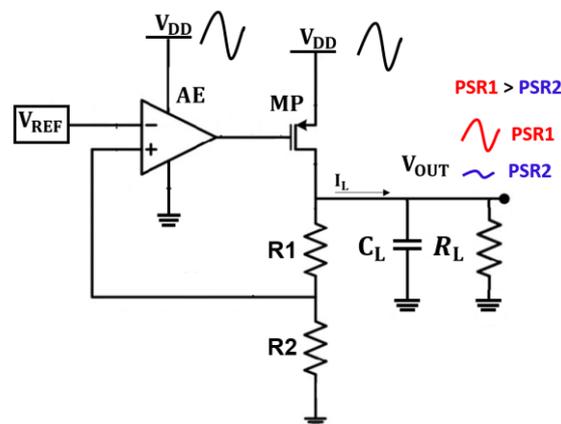


Figura 2.12 – Circuito que representa a rejeição do *ripple* presente na fonte V_{DD} em um regulador LDO.

2.6.3 Estabilidade de reguladores LDOs

Por ser um sistema realimentado, reguladores lineares necessitam de análise de estabilidade para garantir que o sistema irá operar sem problemas de oscilação. Essa análise pode ser feita através do circuito da Figura 2.13.a, onde se indica o ponto

onde a malha do sistema é aberta para realizar esta análise. O modelo equivalente de pequenos sinais é apresentado na Figura 2.13.b, onde R_{AE} é a resistência de saída do amplificador de erro, C_{GS} e C_{GD} são as capacitâncias porta/fonte e porta/dreno do transistor de potência, respectivamente, g_{mMP} e r_{ds} são a transcondutância e a resistência de saída de pequenos sinais do transistor de potência e R_{OUT} é a resistência de saída equivalente do sistema e é dada pela Equação (2.17), a tensão V_X é dada pela Equação (2.18) e R_L é a resistência de carga (RINCON-MORA, 2009).

$$R_{OUT} = (R_1 + R_2) // R_L // r_{ds} \quad (2.17)$$

$$V_X = A_{AE} V_{IN} \quad (2.18)$$

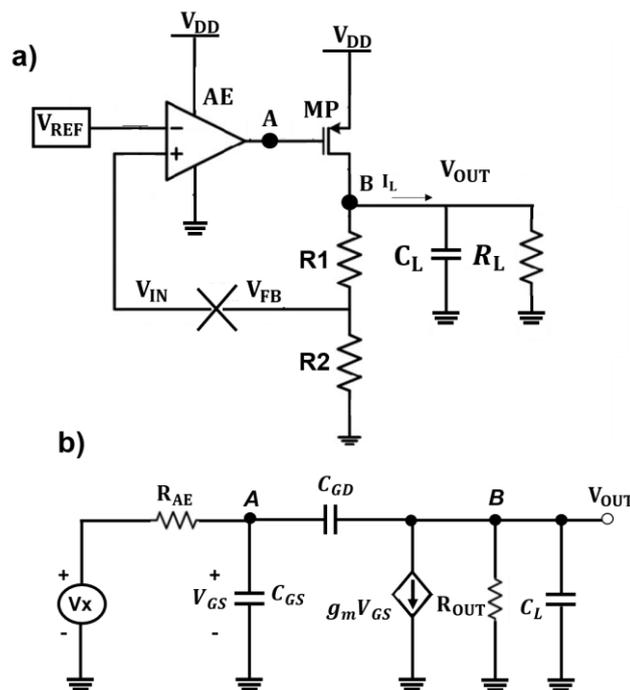


Figura 2.13 – (a) Topologia do Regulador LDO com indicação do ponto de quebra da realimentação. (b) Modelo equivalente de pequenos sinais do regulador LDO em malha aberta.

As capacitâncias dos transistores que compõem AE em geral são muito menores que as capacitâncias de carga e do transistor de potência. Assim, o circuito pode ser aproximado para um sistema de segunda ordem. Sendo o nó da porta de MP

(ω_{PA}) e nó de saída (ω_{PB}), indicados pelos nós A e B na Figura 2.13 (RINCON-MORA, 2009).

A partir do estudo feito em (CARUSONE; JOHNS; MARTIN, 2012) é possível determinar que os dois polos do sistema, considerando que são reais, estão localizados em frequências distantes um do outro sendo o polo dominante ω_{PA} . Então:

$$\omega_{PA} = \frac{1}{(C_L + C_{GD})R_{OUT} + (C_{GS} + C_{GD})R_{AE} + g_m R_{AE} R_{OUT} C_{GD}}$$

$$\omega_{PA} \approx \frac{1}{g_m R_{AE} R_{OUT} C_{GD}} \quad (2.19)$$

$$\omega_{PB} = \frac{g_m C_{GD}}{C_{GS} C_{OUT} + C_{OUT} C_{GD} + C_{GS} C_{GD}} \quad (2.20)$$

O polo ω_{PA} pode ser aproximado para o resultado ilustrado na Equação (2.19) pois a capacitância C_{GD} é elevada já que o transistor de potência tem W grande pela necessidade de fornecer altos valores de corrente de carga. Em geral para garantir a estabilidade do circuito, é necessário aplicar uma técnica de compensação (RINCON-MORA, 2009).

3. MATERIAIS E MÉTODOS

Neste capítulo o dispositivo Line-TFET utilizado neste estudo será apresentado em detalhes, assim como a forma utilizada para modelar o comportamento do dispositivo. Serão apresentados também a metodologia de projeto e a ferramenta EDA onde as simulações foram realizadas.

3.1 MODELAGEM COM LUT (LOOKUP TABLE)

O método da LUT (*lookup table*) consiste em modelar uma função por meio de pontos discretos colocados em uma tabela de pesquisa como a ilustrada na Tabela 3.1, onde existe um valor de corrente de dreno-fonte (I_{DS}) para um valor de tensão de porta-fonte (V_{GS}) e tensão dreno-fonte (V_{DS}), valores intermediários são definidos a partir de interpolação (SHIMA *et al.*, 1982; YOUSSEF; MURMANN; OMRAN, 2020).

Tabela 3.1 – Exemplo da estrutura de uma LUT usada para simulação de dispositivos.

V_{GS}	V_{DS}	I_{DS}
V_{GS1}	V_{DS1}	I_{DS1}
V_{GS1}	V_{DS2}	I_{DS2}
...
V_{GS2}	V_{DS1}	I_{DSN}
V_{GS2}	V_{DS2}	I_{DSM}

O modelo pode ser então inserido no programa Virtuoso Analog Design Environment (ADE)®, utilizando a linguagem de descrição de hardware analógico Verilog-A para fazer simulações e os projetos de circuitos integrados (YOUSSEF; MURMANN; OMRAN, 2020). Essa ferramenta dispõe da possibilidade de explorar, analisar e verificar projeto de circuitos integrados analógicos. Assim, o projeto segue o fluxo ilustrado na Figura 3.1, onde é criado um símbolo para utilização no esquemático de simulação, que representa o dispositivo modelado, sendo possível projetar os circuitos e analisar o seu desempenho.

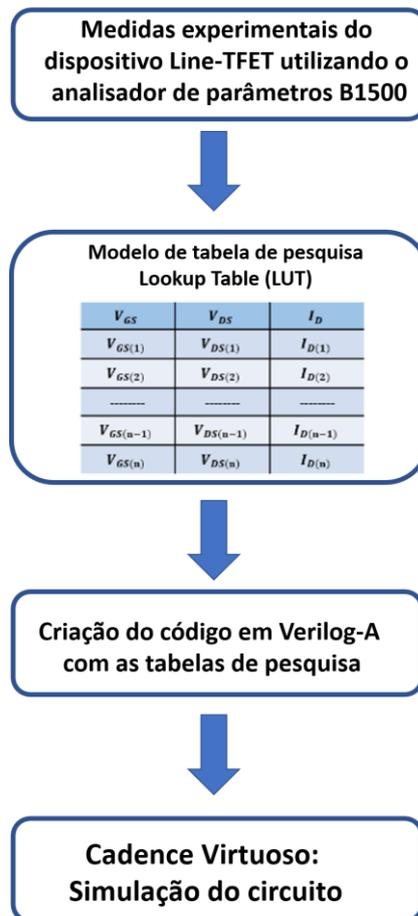


Figura 3.1 – Fluxograma da simulação de circuitos com dispositivos modelados a partir de medições experimentais nos softwares da Cadence.

3.2 METODOLOGIA DE PROJETO

A metodologia de projeto gm/I_D (eficiência de transistor) é usada neste trabalho pois permite o projeto de circuitos integrados analógicos com transistores quando não é possível empregar um modelo matemático preciso e seguro (SILVEIRA; FLANDRE; JESPERS, 1996), sendo ideal para novas tecnologias ou tecnologias ainda em desenvolvimento como a tecnologia TFET (C. -N. CHANG *et al.*, 2017).

A curva apresentada na Figura 3.2 pode ser utilizada para definir os valores de corrente de dreno de polarização do circuito a partir do gm/I_D desejado. Essa metodologia também torna possível a comparação de desempenho entre circuitos projetados com dispositivos de tecnologias diferentes (C. -N. CHANG *et al.*, 2017). A curva de eficiência do transistor nanofio-TFET pode ser consultada em (NOGUEIRA, 2020).

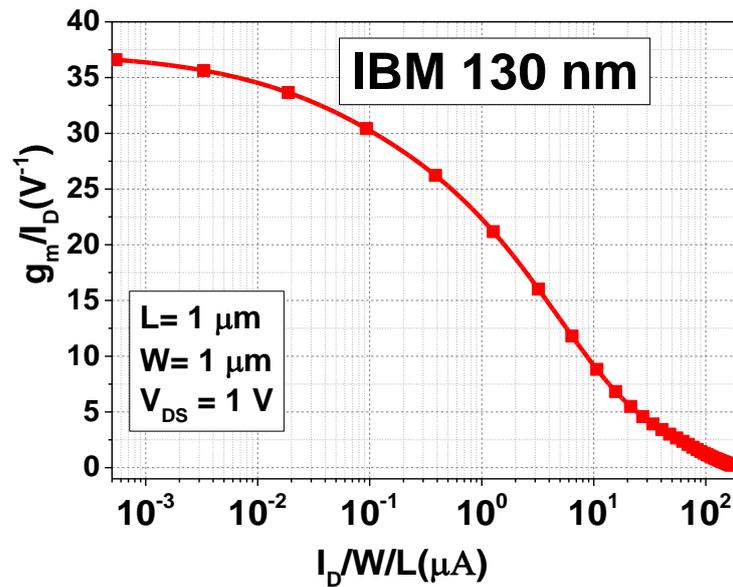


Figura 3.2– Curva da eficiência do transistor (g_m/I_D) versus corrente de dreno normalizada do CMOS 130 nm da IBM.

3.3 DESCRIÇÃO DOS DISPOSITIVOS UTILIZADOS

A seguir serão apresentadas as principais características estruturais e elétricas do dispositivo utilizado neste estudo.

3.3.1 Características estruturais e princípio de funcionamento

O dispositivo utilizado neste trabalho é o Line-TFET com estrutura ilustrada na Figura 3.3, fabricado no Imec/Bélgica sobre um substrato SOI, em uma lâmina com dopagem natural de Boro de 10^{15} átomos/cm³. A região de fonte é composta de Si_{0,55}Ge_{0,45} fortemente dopado com Boro na concentração de 10^{20} átomos/cm³, e a região de dreno é composta por uma dopagem do tipo n com Arsênio na concentração $5 \cdot 10^{18}$ átomos/cm³. Uma camada muito fina de Silício tensionado (s-Si) (5 nm) com dopagem natural da lâmina, denominada *pocket*, está localizada abaixo da porta sobre a fonte. A estrutura da porta com comprimento L é composta por uma camada interfacial de SiO₂ coberta por uma camada de 1,8 nm de HfO₂. O metal é formado por uma camada de 2 nm de TiN mais silício policristalino do tipo P. O transistor apresenta também uma região de subposição da porta sobre o dreno denominada Lsd para evitar o efeito ambipolar e outros efeitos parasitários (WALKE *et al.*, 2014).

A fonte do Line-TFET se estende abaixo do *pocket* por toda a área de porta. É nesta região onde ocorre o tunelamento principal de modo que o portador tunela da banda de valência (E_v) da fonte para a banda de condução (E_c) do canal (*pocket*), na mesma direção do campo elétrico vertical. Esse mecanismo é chamado de tunelamento em linha. Isso aumenta o tunelamento quando comparado ao tunelamento pontual, pois a região do tunelamento é aumentada e está na mesma direção do campo elétrico vertical. Além disso, a composição da fonte do dispositivo, SiGe, possui uma faixa de banda proibida menor quando comparado ao Si, aumentando assim a corrente de tunelamento. A dimensão L_{sd} deve ser longa o suficiente para evitar tunelamento pontual parasita que pode aparecer entre a fonte e o dreno, o que aumenta a corrente de estado desligado (GONÇALEZ FILHO, 2020; WALKE *et al.*, 2014). Para saber sobre a estrutura nanofio-TFET mencionada neste estudo consultar (VANDOOREN *et al.*, 2013).

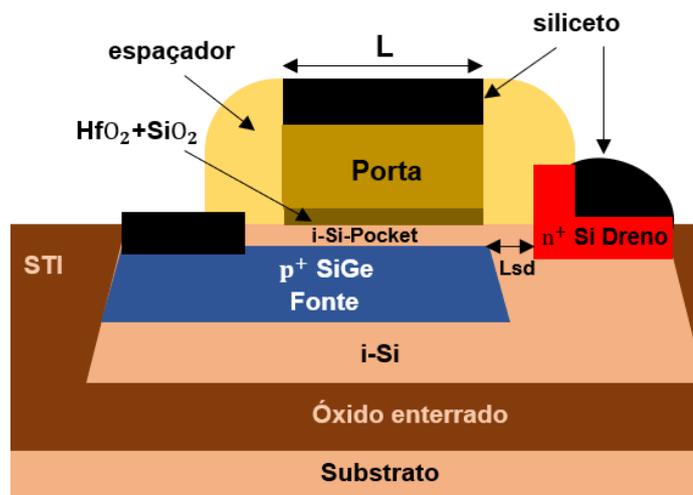


Figura 3.3 - Estrutura de perfil do Line-TFET utilizado neste trabalho.

Os dispositivos utilizados nesse estudo foram modelados a partir de LUT (*lookup table*) alimentadas com dados experimentais. Os dispositivos pTFET não foram medidos e, portanto, foram modelados como um espelho dos dispositivos nTFET, considerando o comportamento simétrico experimental também observado em (WAN *et al.*, 2011). Contudo, vale ressaltar que o comportamento simétrico é muito dependente do processo de fabricação. Os dispositivos disponíveis na LUT (*lookup table*) tem W de 120 nm e o L varia de 100 nm a 1 μm (GONÇALEZ FILHO, 2020).

As capacitâncias parasitárias foram modeladas por meio do simulador de dispositivos semicondutores Sentaurus Device, e introduzidas no modelo do dispositivo por meio da LUT. Na Figura 3.4 observa-se o resultado das capacitâncias entre porta e fonte (C_{GS}), entre porta e dreno (C_{GD}) e a capacitância total de porta ($C_{GG} = C_{GS} + C_{GD}$), em função de V_{GS} para V_{DS} igual a 1,0 V. Na Figura 3.5 pode-se encontrar C_{GS} , C_{GD} e C_{GG} em função de V_{DS} para V_{GS} igual a 1,25 V. Dispositivos Line-TFETs costumam apresentar valores de C_{GS} e C_{GD} na ordem de algumas dezenas de $fF/\mu m^2$ (GONÇALEZ FILHO, 2020). Observando a Figura 3.4 pode-se notar que, para V_{GS} menor que 1,5 V, C_{GG} é praticamente constante e dominado por C_{GS} . Como na região de *pocket* há uma grande quantidade de cargas, variações de V_{GS} não alteram significativamente essa capacitância. Por outro lado, o aumento de V_{GS} além de 1,5 V altera significativamente C_{GD} por haver uma alta variação de carga nessa região. Assim, essa componente de capacitância contribui em C_{GG} . Pelas Figura 3.4 e Figura 3.5 é possível notar que, exceto quando V_{DS} é muito próximo de zero, C_{GG} é dominado por C_{GS} , característica essa particular do Line-TFET, quando comparado aos demais TFETs, e se dá pelas particularidades de sua estrutura que permite que C_{GS} tenha uma área muito maior que a área de C_{GD} (SEDIGHI *et al.*, 2015).

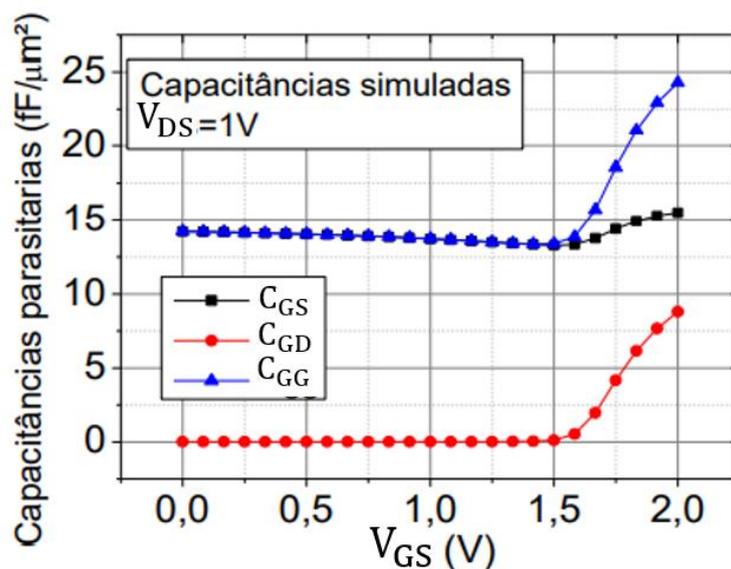


Figura 3.4 – Capacitância parasitárias C_{GS} , C_{GD} e C_{GG} em função de V_{GS} para $V_{DS}=1$ V. (GONÇALEZ FILHO, 2020).

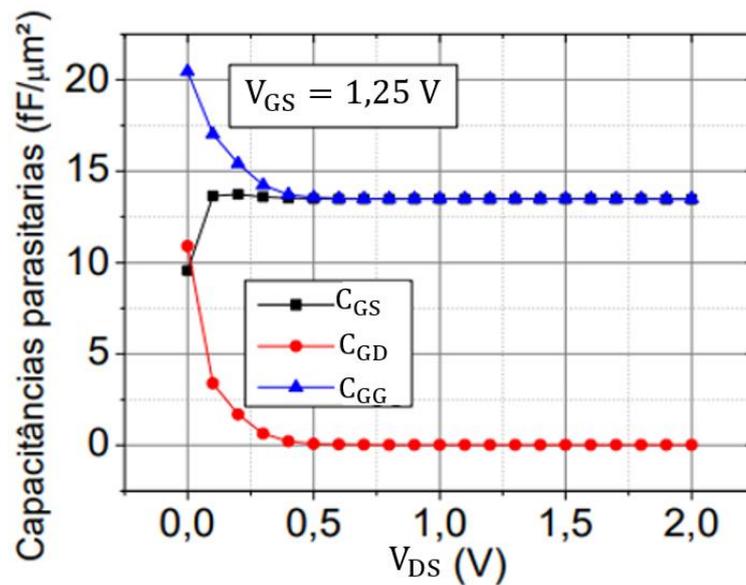


Figura 3.5 – Capacitância parasitárias C_{GS} , C_{GD} e C_{GG} em função de V_{DS} para $V_{GS}=1,25$ V. Fonte: (GONÇALEZ FILHO, 2020).

A Figura 3.6 ilustra o modelo dos dispositivos empregado no simulador a nível de componentes básicos, formado pela fonte de corrente dependente I que modela a corrente I_{DS} em função de V_{GS} e V_{DS} e as capacitâncias parasitárias C_{GD} e C_{GS} em função de V_{GD} e V_{GS} respectivamente.

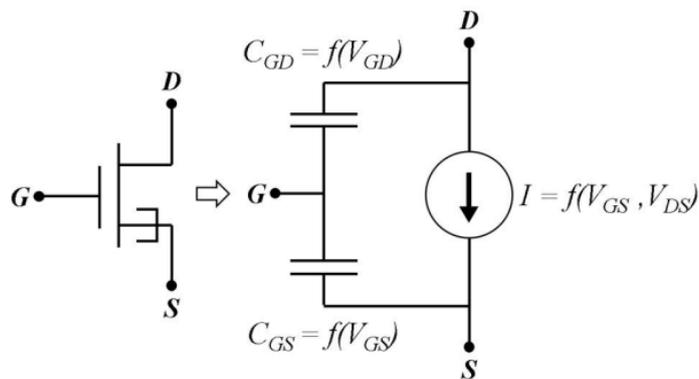


Figura 3.6 – Modelo do dispositivo utilizado nas simulações.

3.3.2 Características de transferência e saída

No dispositivo utilizado neste estudo, a corrente I_{DS} é proporcional a $W \times L$. Isso porque a área de tunelamento contempla todo o comprimento de porta (L). A característica de transferência é apresentada na Figura 3.7. Para a região onde V_{GS} se aproxima de 0 V, a corrente é resultante do tunelamento pontual e SRH. Um valor

mínimo de V_{GS} de 1,2 V é necessário para que o BTBT seja o principal componente de corrente. Caso contrário o TAT é significativo (GONÇALEZ FILHO, 2020) o que degrada a operação do dispositivo, como mostrado na Figura 3.7. Caso não houvesse degradação, a curva apresentaria um comportamento semelhante ao da curva azul presente na Figura 2.7.

Em BTBT, a corrente do dispositivo é afetada apenas pela queda de potencial na junção fonte-canal e que sofre efeito desprezível de V_{DS} . Assim, na região de saturação, a corrente de dreno do TFET permanece praticamente constante para mudanças em V_{DS} . Nesse caso TFETs apresentam condutância de saída (g_{ds}) muito melhor (baixa) em comparação aos MOSFETs (AGOPIAN, Paula *et al.*, 2013; BORDALLO *et al.*, 2015; DE MORAES NOGUEIRA; DER AGOPIAN; MARTINO, 2020), resultando em um maior ganho intrínseco de tensão. A característica de saída do Line-TFET utilizado neste estudo é ilustrada na Figura 3.8, onde observa-se que na região de saturação, I_{DS} permanece quase constante no Line-TFET, quando comparada à curva da tecnologia CMOS IBM 130 nm. As curvas de características de transferência e saída do transistor nanofio-TFET pode ser consultada em (NOGUEIRA, 2020).

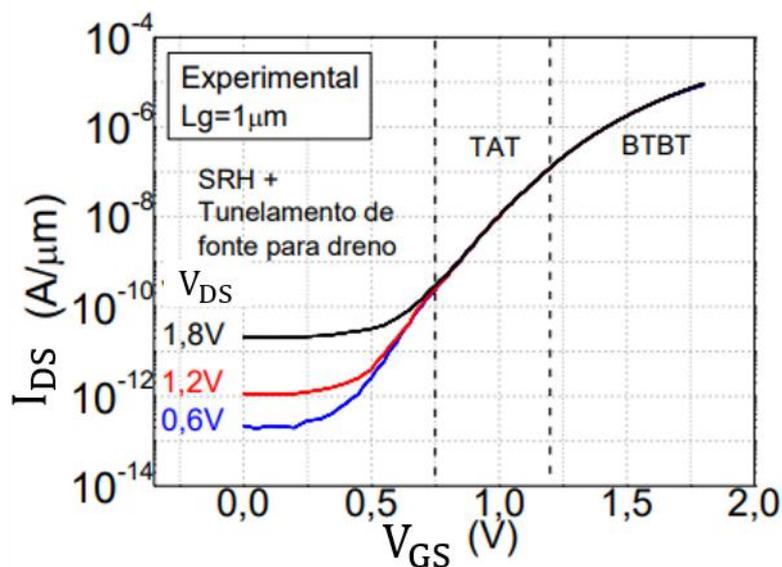


Figura 3.7 - Característica de transferência do Line-TFET para varios V_{DS} . Onde o eixo Y é a corrente de dreno normalizada com a largura de canal e o eixo X é a tensão de porta-fonte
 Fonte: (GONÇALEZ FILHO, 2020).

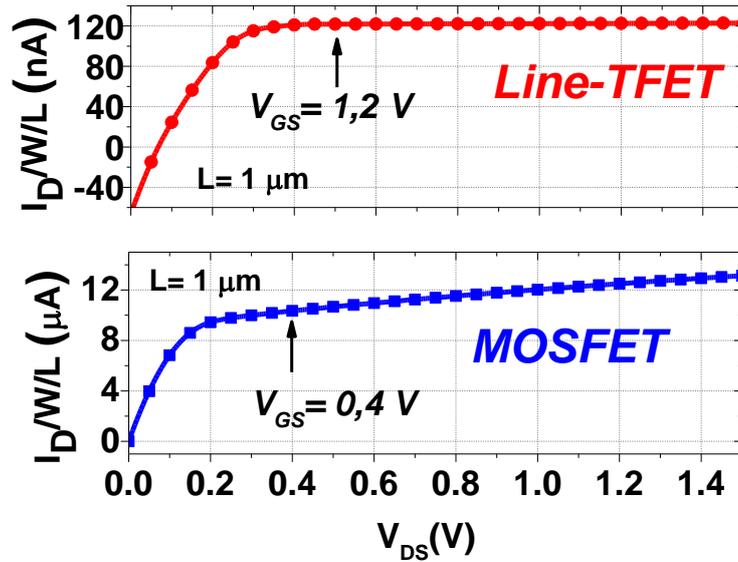


Figura 3.8 – Característica de saída do Line TFET e do MOSFET de 130 nm.

A Tabela 3.2 resume como os parâmetros do Line-TFET e MOSFET dependem das dimensões W e L do dispositivo. A condutância de saída g_{ds} , no Line-TFET, é diretamente proporcional a W e não depende de L (GONÇALEZ FILHO et al., 2020). Sendo a frequência de ganho unitário de corrente de um dispositivo (f_t) definida como a razão $g_m/(2 \cdot \pi \cdot C_{GG})$ (SEDRA; SMITH, 2015), em Line-TFETs ela independe de W e L , pois tanto g_m quanto C_{GG} são diretamente proporcionais a $W \cdot L$.

Tabela 3.2 – Dependência de parâmetros do Line-TFET e MOSFET em função das dimensões de porta

Parâmetros	Line-TFET	MOSFET
I_{DS} e g_m	$\propto W \cdot L$	$\propto W/L$
g_{ds}	$\propto W$	$\propto W/L^2$
A_V (g_m/g_{ds})	$\propto L$	$\propto L$
C_{GG}	$\propto W \cdot L$	$\propto W \cdot L$
f_t	\propto constante	$\propto 1/L^2$

4.2 PROJETO DO REGULADOR DE TENSÃO DE BAIXA QUEDA (LDO)

A seguir serão apresentados passo a passo de como foram projetados os LDOs.

4.2.1 Projeto do LDO Line-TFET I

O LDO Line-TFET I foi projetado para g_m/I_D dos transistores M_1 - M_4 de $10,5 \text{ V}^{-1}$. Na Figura 4.2 é possível ver a curva g_m/I_D do dispositivo. O Line-TFET necessita de um valor mínimo de V_{GS} para garantir o BTBT como modo de condução principal. Como pode ser visto na Figura 3.7, é necessário $1,2 \text{ V}$. Assim, deve-se assegurar que, para ter a eficiência escolhida, o dispositivo tenha V_{GS} igual ou superior a $1,2 \text{ V}$. Isso pode ser feito relacionando a Figura 4.2 com a Figura 3.7.

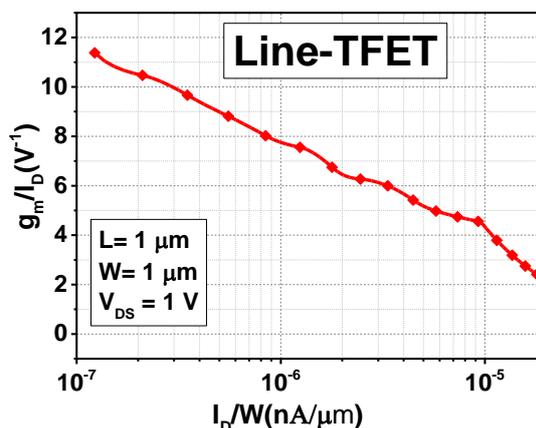


Figura 4.2- Curva experimental do g_m/I_D do Line-TFET em função da corrente de dreno normalizada com a largura de canal, utilizado neste trabalho.

A tensão V_{DD} de $3,6 \text{ V}$ foi definida por ser o menor valor que tornou possível projetar o amplificador de erro com o transistor NW-TFET que foi utilizado para comparação com o transistor Line-TFET, que por sua vez tem maior liberdade nesse aspecto. A curva de eficiência do NW-TFET pode ser consultada em (NOGUEIRA, 2020). A tensão de *dropout* V_{DO} de 300 mV foi determinada para que a tensão V_{OUT} escolhida tivesse um valor comercial $3,3 \text{ V}$. A corrente de carga foi determinada para $10 \mu\text{A}$, devido à baixa corrente de estado ligado (I_{ON}) do NW-TFET, para maiores detalhe sobre o funcionamento do NW-TFET consultar (VANDOOREN *et al.*, 2013).

Tendo escolhido as especificações, as dimensões dos transistores do amplificador de erro M_1 - M_4 foram definidas para minimizar o consumo de potência e maximizar o ganho de tensão. O Line-TFET, como visto na seção 3.3, tem corrente

de carga diretamente proporcional a $W \times L$ e ganho de tensão diretamente proporcional a L conforme se vê na Tabela 3.2. Assim, é necessário um compromisso entre aumentar o ganho de tensão e o consumo de corrente. Dessa forma, para esse projeto, foi escolhido um comprimento de canal (L) de $1 \mu\text{m}$, maior valor disponível na LUT, enquanto que foi escolhida a largura do transistor (W) foi escolhida de 120 nm . Essa é a dimensão do dispositivo utilizado para medir e construir a tabela de pesquisa.

Com essas dimensões, para chegar na eficiência (gm/I_{DS}) desejada de $10,5 \text{ V}^{-1}$, pela Figura 4.2, a corrente de dreno normalizada (I_{DS}/W) deve ser $190 \text{ nA}/\mu\text{m}$. Assim, a corrente polarização (I_B) pode ser calculada através da Equação (4.1).

$$I_B = 190 \frac{\text{nA}}{\mu\text{m}} * 120\text{nm} = 22,8 \text{ nA} \quad (4.1)$$

Logo o menor consumo do amplificador e maior ganho de tensão são garantidos. Todos os transistores desse estágio (M_1 , M_2 , M_3 e M_4) possuem W de 120nm e L de $1 \mu\text{m}$, incluindo o transistor M_6 . O transistor M_5 tem o L de $1 \mu\text{m}$, mas como ele é responsável por polarizar o amplificador diferencial, foi necessário dobrar a dimensão W , ficando assim com um W de 240nm . Os transistores M_1 - M_4 podem ter mesma dimensão, pois os pTFETs foram espelhados dos nTFETs neste trabalho.

O transistor de potência foi projetado através da curva $|I_{\text{DS}}|$ em função de W , Figura 4.3, com $|V_{\text{DS}}|$ ajustado com valor igual a V_{DD} e $|V_{\text{GS}}|$ ajustado para ser maior que $1,2 \text{ V}$ enquanto há margem para colocar os transistores M_1 - M_2 na região de saturação, foi escolhida a Figura 3.8. Assim, para L definido em $1 \mu\text{m}$, pois a corrente de dreno é proporcional a essa dimensão e esse é maior valor disponível na LUT, foi feita uma simulação DC variando o W e então escolhida a dimensão proporcional ao valor de corrente desejado. Na Figura 4.3 é ilustrado um exemplo de como foi realizada essa etapa onde, para o transistor de potência fornecer $10 \mu\text{A}$, é necessário um W de aproximadamente $88 \mu\text{m}$. Todas as dimensões podem ser encontradas na Tabela 4.1.

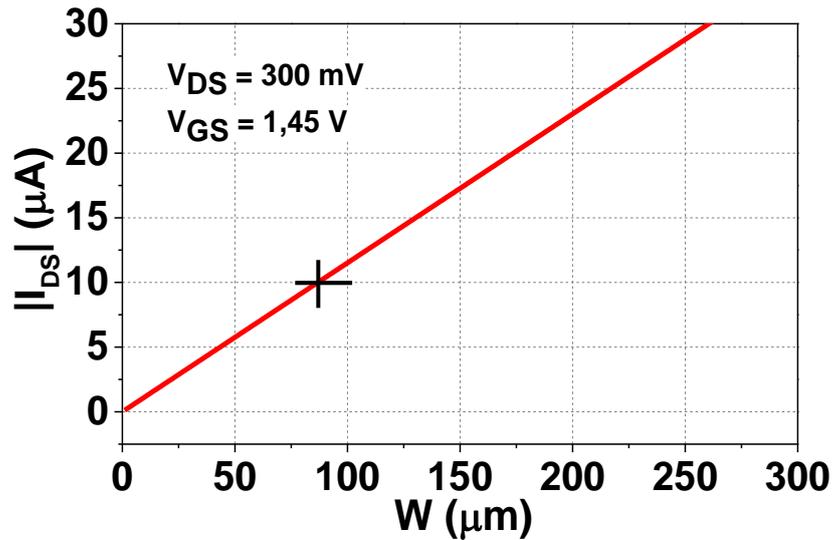


Figura 4.3 – Corrente de dreno em função da largura de canal do Line-TFET para $L=1\mu\text{m}$.

O amplificador conta com 3 transistores em série (M_1 , M_3 e M_5) e para a tensão V_{DD} de 3,6V, em princípio foi definido $V_{REF} = 2V_{DD}/3 = 2,4$ V. Porém foi necessário um ajuste para 2,5 V para garantir que M_5 permaneça na região de saturação. Como o estudo visa a análise do desempenho dos Line-TFETs, no circuito na malha de realimentação foram utilizados resistores ideais (R_1 e R_2) com resistências elevadas e adequadas para se obter a tensão V_{REF} , de 2,5 V. Assim, definindo $R_1 = 10$ M Ω , R_2 pode ser calculado a partir da Equação (2.8) como mostrado na Equação (4.2).

$$R_2 = \frac{V_{REF}}{V_{OUT} - V_{REF}} R_1 = \frac{2,5}{3,3 - 2,5} R_1 \quad (4.2)$$

$$R_2 = 3,13 * 10 \text{ M}\Omega = 31,3 \text{ M}\Omega.$$

4.2.2 Projeto do LDO Line-TFET II

O LDO Line-TFET II foi projetado para g_m/I_D dos transistores M_1 - M_4 de 7 V^{-1} , garantido também o BTBT como modo de condução principal em todos dispositivos TFETs. A tensão V_{DD} , V_{DO} e V_{OUT} permaneceram as mesmas definidas no projeto do LDO Line-TFET I. A corrente de carga foi determinada para ser de 100 μA , pois foi um valor adequado ao g_m/I_D escolhido.

Tendo escolhido as especificações, as dimensões dos transistores foram definidas de forma análoga à utilizada no projeto do LDO Line-TFET I. Onde apenas a corrente de polarização I_B foi ajustada, mantendo $W = 120$ nm e $L = 1$ μm com a mesma

finalidade descrita anteriormente, relacionada ao menor consumo e maior ganho de tensão. Para chegar na eficiência desejada de 7 V^{-1} , pela Figura 4.2, a corrente de dreno normalizada deve ser $1,663 \text{ } \mu\text{A}/\mu\text{m}$. Assim a corrente de polarização (I_B) pode ser calculada através da Equação (4.3).

$$I_B = 1,663 \frac{\mu\text{A}}{\mu\text{m}} * 120\text{nm} = 200 \text{ nA} \quad (4.3)$$

O transistor de potência foi projetado da mesma forma que no projeto do LDO Line-TFET I. Assim, com o valor de L definido como $1 \text{ } \mu\text{m}$ e com as tensões de polarização definidas previamente através da curva I_{DS} em função de W , a largura do transistor foi escolhida para a corrente desejada. As dimensões podem ser encontradas na Tabela 4.1. Também como no projeto anterior, os resistores da malha de realimentação, R_1 e R_2 , foram projetados para terem $10 \text{ M}\Omega$ e $31,3 \text{ M}\Omega$ respectivamente.

4.2.3 Projeto do LDO Line-TFET III

O LDO Line-TFET III foi projetado para explorar as melhores características do dispositivo. Nos projetos anteriores havia limitações em V_{DD} e I_L advindas da tecnologia NW-TFET. A corrente de carga escolhida foi de 1 mA , já que o Line-TFET tem como proposta o aumento da capacidade de conduzir corrente por parte dos TFETs. A tensão de alimentação V_{DD} de $2,3 \text{ V}$ foi definida por ser o menor valor que torna possível projetar o amplificador de erro e o espelho de corrente com o Line-TFET mantendo todos os transistores (M_1 - M_6) em saturação. Um g_m/I_D de $9,6 \text{ V}^{-1}$ foi escolhido por apresentar um melhor compromisso entre a corrente de consumo do AE enquanto aumenta a tensão $|V_{GSMP}|$. Ao diminuir V_{DD} é possível diminuir o consumo de potência do circuito. A área do transistor de potência junto com a área do capacitor de compensação (C_C) é responsável pelo maior consumo de área em um LDO (TORRES *et al.*, 2014). Um maior valor de $|V_{GSMP}|$ torna possível a escolha de um transistor de potência menor. A tensão V_{DO} 500 mV foi definida para que M_P operasse na saturação e, portanto, o ganho desse estágio possa contribuir para o ganho de malha do circuito, enquanto V_{OUT} tem um valor comercial de $1,8 \text{ V}$.

Para o amplificador de erro, as dimensões dos transistores (W,L) foram escolhidas tendo como premissa o menor consumo de corrente e o maior ganho de tensão possível, premissa análoga aos demais projetos. Todos os transistores desse estágio possuem W de 120nm e L de 1 μm , incluindo o transistor M6. O transistor M5 tem o L de 1 μm , mas, como ele é responsável por polarizar o amplificador, foi necessário dobrar a dimensão W, ficando assim com um W de 240 nm.

Para chegar na eficiência desejada de $9,6 \text{ V}^{-1}$, pela Figura 4.2 a corrente de dreno normalizada deve ser $348 \text{ nA}/\mu\text{m}$. Assim, a corrente de polarização (I_B) pode ser calculada através da Equação (4.4).

$$I_B = 348 \frac{\text{nA}}{\mu\text{m}} * 120\text{nm} = 41,7 \text{ nA} \quad (4.4)$$

O transistor de potência foi projetado da mesma forma que no projeto do LDO Line-TFET I, com o valor de L definido como 1 μm . Com as tensões de polarização definidas previamente, através da curva I_{DS} em função de W, a largura do transistor foi escolhida para a corrente desejada. As dimensões podem ser encontradas na Tabela 4.1.

No caso do LDO Line-TFET III, foi possível ter fator de realimentação (β) unitário, o que contribui para a melhoria dos desempenhos que dependem de β como indicado na seção 2.6.2. Então, há uma ligação direta da saída (V_{OUT}) para a entrada do amplificador diferencial, tornando $V_{REF} = V_{OUT}$, como mostrado na Figura 4.4. Os resistores da malha de realimentação, R_1 e R_2 , foram projetados para ter 5 $\text{M}\Omega$ cada, a fim de manter uma corrente de condução mínima de 180nA por parte do transistor de potência, o que evita efeitos indesejados caso a carga seja desconectada do circuito.

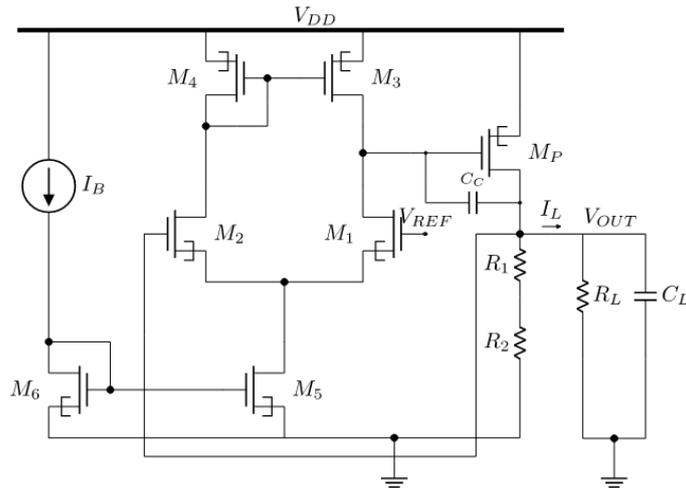


Figura 4.4 – Topologia do LDO Line-TFET III.

4.2.4 Projeto do LDO com MOSFET com tecnologia IBM de 130 nm

Para o projeto do LDO MOSFET com a tecnologia IBM de 130 nm, primeiro foi feito um estudo das menores dimensões (L e W) que garantem que o transistor não sofre de efeito de canal curto/estrito. Utilizando o método da segunda derivada para obter a tensão de limiar (V_T) (CARUSONE; JOHNS; MARTIN, 2012), é possível analisar, pela Figura 4.5, que, para L maior ou igual a $1 \mu\text{m}$, as variações em V_T podem ser desprezadas, ou seja, pode-se considerar que o efeito de canal curto é desprezível, e será o valor utilizado neste projeto. Um estudo semelhante foi realizado com W, e 500 nm foi a menor dimensão para a qual o transistor não sofre efeito de canal estreito.

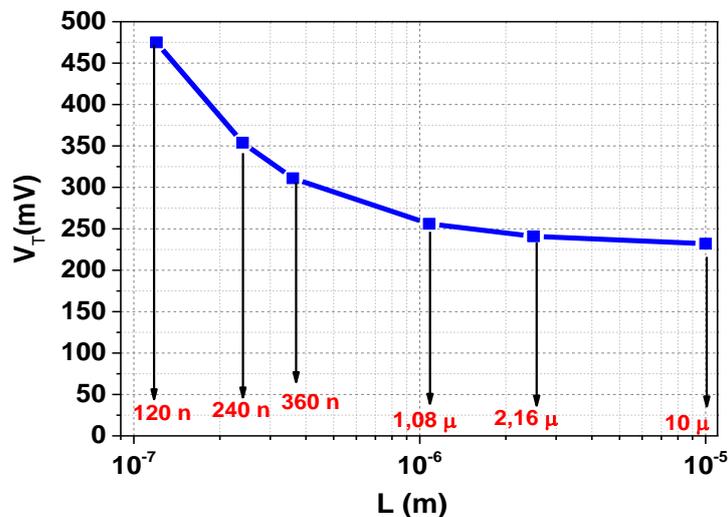


Figura 4.5 – Variação da tensão de limiar em função do comprimento de canal.

Nesse projeto todas as especificações mencionadas no projeto do LDO Line-TFET III foram mantidas (g_m/I_D de $9,6 \text{ V}^{-1}$ e I_L igual a 1 mA), à exceção da tensão V_{DD} que deve ser reduzida, pois a tensão máxima para a tecnologia IBM 130 nm a ser utilizada em um transistor é $1,2 \text{ V}$. A tensão V_{DD} de $1,5 \text{ V}$ foi escolhida, pois com o V_{DO} definido, a saída é comercial de 1 V . Os transistores do amplificador de erro foram dimensionados para o menor consumo de corrente dada a I_B que atendesse a eficiência desejada. Então, observando a Figura 3.2, a corrente de dreno normalizada deve ser de $8,67 \mu\text{A}$. Assim, a corrente polarização (I_B) pode ser calculada através da Equação (4.3).

$$I_B = 8,67 \frac{\mu\text{A}}{1\mu\text{m}} * 500\text{nm} = 4,34 \mu\text{A} \quad (4.5)$$

Todos os transistores possuem L de $1 \mu\text{m}$. Os transistores M_1 - M_2 foram dimensionados com W de 500 nm , para que o consumo de corrente fosse reduzido no amplificador de erro e os transistores M_3 - M_4 foram dimensionados com W de $2,6 \mu\text{m}$. É necessário aumentar o W dos transistores PMOS por causa da menor mobilidade de portador de carga. Os transistores do espelho de corrente M_5 e M_6 foram dimensionados com W de 500 nm e $1 \mu\text{m}$, respectivamente.

O transistor de potência foi projetado da mesma forma que nos projetos mencionados anteriormente. O valor de L foi definido como $1 \mu\text{m}$, valor que evita efeito de canal curto, através da curva I_{DS} em função de W , e o W foi escolhido para a corrente desejada. No circuito na malha de realimentação, foram utilizados resistores ideais (R_1 e R_2) com resistências elevadas e adequadas para a tensão V_{REF} . Assim, definindo $R_1 = 1 \text{ M}\Omega$, R_2 pode ser calculado a partir da Equação (2.8) como mostrado na Equação (4.6).

$$R_2 = \frac{V_{REF}}{V_{OUT} - V_{REF}} R_1 \quad (4.6)$$

$$R_2 = 7,33 * 1 \text{ M}\Omega = 7,33 \text{ M}\Omega.$$

4.2.5 Análise de estabilidade

Circuitos como LDO necessitam de análise de estabilidade. Caso o circuito não apresente margem de fase suficiente (60°), é preciso aplicar alguma técnica de compensação (CARUSONE; JOHNS; MARTIN, 2012). Para os projetos dos LDO com

TFET não houve a necessidade de nenhuma técnica de compensação para a capacitância C_L foi escolhida. A capacitância C_{GD} do M_P permitiu que a margem de fase do circuito fosse igual ou maior ou igual a 60° . Para os LDO Line-TFET I e II C_L é 10 pF e 100 pF respectivamente, pois esses valores de capacitância máxima de carga permitiram que os circuitos permanecessem estáveis sem a necessidade de um esquema de compensação.

No projeto do LDO implementado com MOSFET com a tecnologia 130 de nm foi necessário a aplicação de uma técnica de compensação, pois, para a capacitância de carga definida no projeto do LDO Line-TFET III ($C_L=2$ nF), o circuito apresenta instabilidade. A técnica aplicada foi a inserção de um capacitor de compensação (C_C), como visto na Figura 4.1, entre a porta e o dreno do transistor de potência. Assim é possível, por meio do efeito Miller, aumentar a capacitância vista na porta do transistor de potência (M_P), tornando o polo ω_{PA} o polo dominante do sistema. Ver seção 2.6.3. O valor de C_C foi escolhido a partir de simulações paramétricas. O capacitor é adicionado ao circuito e seu valor é varrido observando a resposta em frequência. O capacitor de menor valor no qual o sistema apresenta estabilidade, ou seja, margem de fase de pelo menos 60° , é escolhido. A Figura 4.6 mostra o resultado da resposta em frequência para capacitância de 10 pF. É possível constatar que esse valor é suficiente para garantir a estabilidade do sistema. Quando a curva do ganho toca zero dB, o sistema ainda tem fase $\geq 60^\circ$, resultado indicado pela linha tracejada laranja.

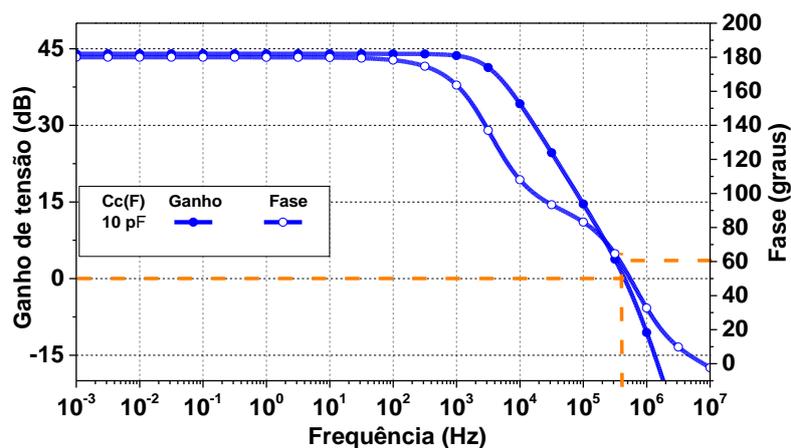


Figura 4.6 – Resposta em frequência do LDO para escolha de C_C utilizando a tecnologia MOS de 130 nm da IBM.

4.3 ANÁLISES E RESULTADOS

Nesta seção, os resultados dos projetos dos LDOs com Line-TFET são comparados com as tecnologias de nanofio TFET (NW), MOSFET de 180nm da TSMC e MOSFET com a tecnologia IBM de 130 nm através dos parâmetros e das especificações dos reguladores lineares descritas na seção 2.6.2.

As dimensões dos transistores dos projetos dos LDOs descritos acima são mostradas na Tabela 4.1. É possível verificar que todos os transistores dos projetos com Line-TFET, com exceção do transistor de potência, possuem as mesmas dimensões. Isso é possível porque a eficiência é alcançada ajustando o nível de corrente de polarização I_B .

Tabela 4.1 – Dimensões dos Transistores.

LDO	Line-TFET I		Line-TFET II		Line-TFET III		130 nm	
	L (μm)	W (μm)	L (μm)	W (μm)	L (μm)	W (μm)	L (μm)	W (μm)
M1-M2	1	0,12	1	0,12	1	0,12	1	0,500
M3-M4	1	0,12	1	0,12	1	0,12	1	2,6
M5	1	0,24	1	0,24	1	0,24	1	1
M6	1	0,12	1	0,12	1	0,12	1	0,500
M_P	1	88	1	108	1	2880	1	583

4.3.1 LDO Line-TFET, NW-TFET e 180 nm

Para verificar se as análises das especificações estavam corretas, em todos os projetos, os parâmetros de pequenos sinais foram extraídos, sendo possível calculá-las a partir das equações definidas na seção 2.6.2 e compará-las com os valores obtidos em simulação. Na Tabela 4.2 estão expressos os principais parâmetros do regulador LDO Line-TFET II, onde g_m e r_{ds} são a transcondutância e resistência de saída em pequenos sinais do transistor M_P , C_{GS} é a capacitância de porta e fonte e C_{GD} é a capacitância de porta e dreno do transistor M_P , A_{AE} , e R_{AE} são o ganho tensão e resistência de saída do amplificador de erro.

Tabela 4.2 – Parâmetros do LDO Line-TFET II.

LDO	Line-TFET II
g_m (μS)	566,8
g_{ds} (μS)	386,5
A_{AE} (V/V)	500,3
R_{AE} (M Ω)	361,3
C_{gs} (pF)	1,2
C_{gd} (fF)	7,7
β	2,5/3,3

O ganho de malha aberta (A_{MA}), a PSR e a GBW, produto ganho de tensão largura de banda, foram calculados a partir das Equações (4.8), (4.9) e (4.10), respectivamente.

$$A_{AE} = g_{m_{M1}} R_{AE} \quad (4.7)$$

$$A_{MA} = -g_{m_{MP}} R_{AE} A_{AE} \quad (4.8)$$

$$PSR = \frac{R_{out} \left(\frac{1}{r_{ds}} + g_{m_{MP}} (1 - PSR_{AE}) \right)}{1 - \beta g_{m_{MP}} R_{out} A_{AE}} \quad (4.9)$$

$$GBW = A_{MA} \left(\frac{1}{2\pi R_{AE} C_1} \right) \quad (4.10)$$

$$C_1 = C_{GS} + (C_{GD} + C_L)(1 + g_{m_{MP}} R_{out})$$

Na Tabela 4.3 são apresentadas a comparação entre as métricas de desempenho calculadas e simuladas. É possível verificar que os valores são suficientemente próximos para indicar que as equações utilizadas para extrair as especificações e os valores simulados são compatíveis. Para calcular a regulação de carga foi utilizada a Equação (2.14).

Tabela 4.3 – Métricas de desempenho calculadas e simuladas

LDO Line-TFET II	Calculado ($7V^{-1}$)	Simulado ($7V^{-1}$)
Regulação de Carga (V/A)	4,65	4,6
PSR _{DC} (dB)	-54,89	-54,46
A _M (dB)	54,23	54,26
GBW (KHZ)	187,08	177,61

Por fim na Tabela 4.4 é possível encontrar os parâmetros de pequenos sinais extraídos por meio das simulações dos projetos LDO Line-TFET I e II, NW-TFET I e II, 180 nm TSMC I e II. Os projetos com Line-TFET, para ambas polarizações, apresentam A_{AE} maior. Quando comparados aos LDO NW-TFETs, apesar de apresentarem resistência R_{AE} menor, os reguladores LDO Line-TFET têm uma transcondutância do par diferencial (g_{mM1}) maior, o que é esperado, pois a corrente de consumo do amplificador de erro no projeto com Line-TFET é maior, aumentando assim a transcondutância do par diferencial. Quando comparado ao projeto 180 nm, o Line-TFET apresenta resistência de saída maior, fazendo com que A_{AE} seja maior.

Tabela 4.4 – Parâmetros dos LDO projetados.

LDO Parâmetros	gm/I _D					
	10,5 V ⁻¹			7 V ⁻¹		
Tecnologia	NW-TFET I	Line-TFET I	180 nm I	NW-TFET II	Line-TFET II	180 nm II
g _m (μS)	103	110,7	85,3	478,2	566,8	823,7
r _{ds} (KΩ)	28,16	50	188,67	1,75	2,59	19,76
A _{AE} (dB)	49,3	55,9	37,4	43,5	54	34,7
R _{AE} (Ω)	45,3.10 ⁶	2,59.10 ⁶	2,35.10 ³	1,6.10 ⁶	361,3.10 ³	877,4
C _{GS} (F)	18,9.10 ⁻¹²	794,8.10 ⁻¹⁵	1,16.10 ⁻¹⁵	12,7.10 ⁻¹²	1,2.10 ⁻¹²	11,7.10 ⁻¹⁵
C _{GD} (F)	71,6	1.10 ⁻¹⁵	493.10 ⁻¹⁸	54,2.10 ⁻¹²	7,7.10 ⁻¹⁵	5.10 ⁻¹⁵
β	0,73	0,76	0,8	0,73	0,76	0,8

Para a tensão V_{DO} utilizada, nos projetos com TFET, os M_P encontram-se na região linear (ver Figura 3.8), o que faz com que tenham um r_{ds} menor quando

comparado ao projeto 180 nm. Porém, o Line-TFET apresenta um r_{ds} maior quando comparado com o NW-TFET pois, devido ao tunelamento em linha, é possível que M_P forneça a corrente de carga necessária com uma área menor.

Esses parâmetros são utilizados para analisar o desempenho de cada LDO a partir da discussão feita na seção 2.6.2. Os resultados são apresentados na Tabela 4.5. A resposta em frequência dos projetos pode ser analisada na Figura 4.7, onde os LDO Line-TFET I e II apresentam maiores valores de ganho de malha (A_M), já que possuem A_{AE} maior e o ganho de tensão do estágio de M_P ainda é suficiente para não degradar o ganho de tensão de malha, visto que M_P está operando na região linear.

O produto ganho largura de banda (GBW) é diretamente proporcional a A_{AE} e $g_{m_{MP}}$ e inversamente proporcional a C_{GS} , como mostrado na Equação (4.4). Os LDO Line-TFETs apresentam maiores valores de GBW em ambas condições de g_{m/I_D} , quando comparado aos LDO NW-TFETs, pois apresentam maiores valores de A_{AE} , de $g_{m_{MP}}$ e menores valores de C_{GS} . Quando comparado com os LDO 180 nm, o GBW do LDO Line-TFET é menor, pois C_{GS} é duas ordens de grandeza maior.

Os projetos com Line-TFET apresentam regulação de carga e de linha melhores, pois apresentam A_{AE} e A_M maiores e, portanto, segundo as Equações (2.14) e (2.15), esses desempenhos são melhores. As eficiências dos reguladores LDO projetados com TFET são melhores que as eficiência dos projetos com 180 nm, pois apresentam menores valores de corrente quiescente (I_Q). Quando comparado com os LDO NW-TFETs, os LDO Line-TFET apresentam menores valores de eficiência, pois possuem maiores valores de corrente quiescente (I_Q).

Tabela 4.5 – Desempenho dos LDO para duas condições de polarização

Tecnologia	gm/ID					
	10,5 V ⁻¹			7 V ⁻¹		
Especificação	NW-TFET I	Line-TFET I	180 nm I	NW-TFET II	Line-TFET II	180 nm I
I _L (μA)	10			100		
C _L (pF)	10			100		
V _{DO} (mV)	300			300		
V _{OUT} (V)	3,3		1,5			1,5
I _Q (nA)	1,53	68,1	9000	42	600	25800
Eficiência (%)	91,6	91	45,1	91,6	91,1	68,1
Regulação de Carga (V/A)	45,6	19,05	197,1	18,9	4,6	26,4
Regulação de Linha (mV/V)	1,3	0,6	1,1	12	1,9	2,3
Ganho de Malha (A _M) (dB)	56,6	67	52,53	38,8	54,26	50,2
GBW (Hz)	7,5	170,63.10 ³	250.10 ³	80	177,61.10 ³	416,3.10 ³
C _c (pF)	0	0	15	0	0	15

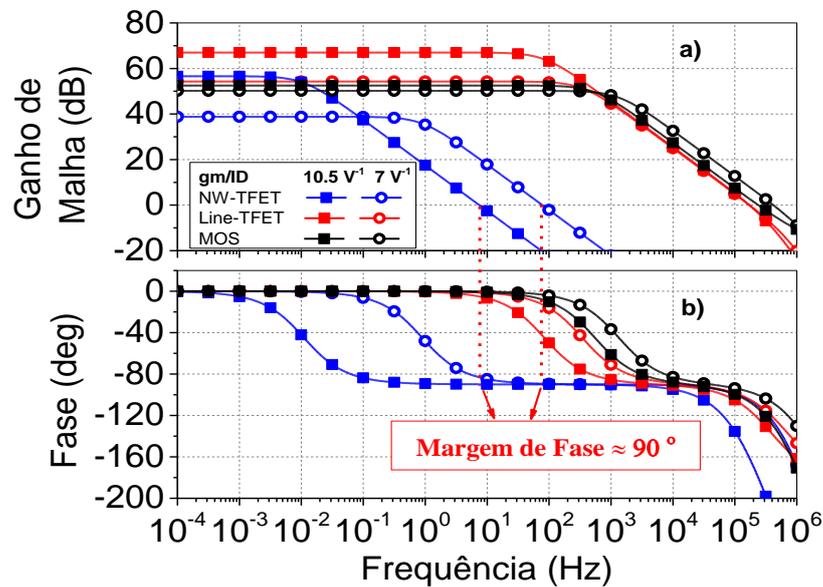


Figura 4.7 – Resposta em frequência dos LDO a) Ganho de Malha b) Fase

A Figura 4.8 mostra a rejeição de fonte (PSR) dos reguladores, onde os reguladores LDO Line-TFETs apresentam melhores valores de rejeição de fonte em baixas frequências, frequências menores que 100 Hz. Pela Equação (4.9) é possível notar que a rejeição de fonte é inversamente proporcional ao ganho de malha e esses projetos apresentam maiores valores de ganho de malha. Em frequências maiores,

apresentam comportamento próximo ao dos LDO 180 nm e melhor do que os LDO NW-TFETs.

Os LDO Line-TFETs dissipam mais potência, mas apresentam melhores desempenhos que os LDO NW-TFETs, graças à sua capacidade de entregar corrente, devido ao tunelamento em linha, enquanto garante ganho elevado. Comparado aos LDO 180 nm, os LDO Line-TFETs mostram melhores métricas de desempenho, com exceção de GBW.

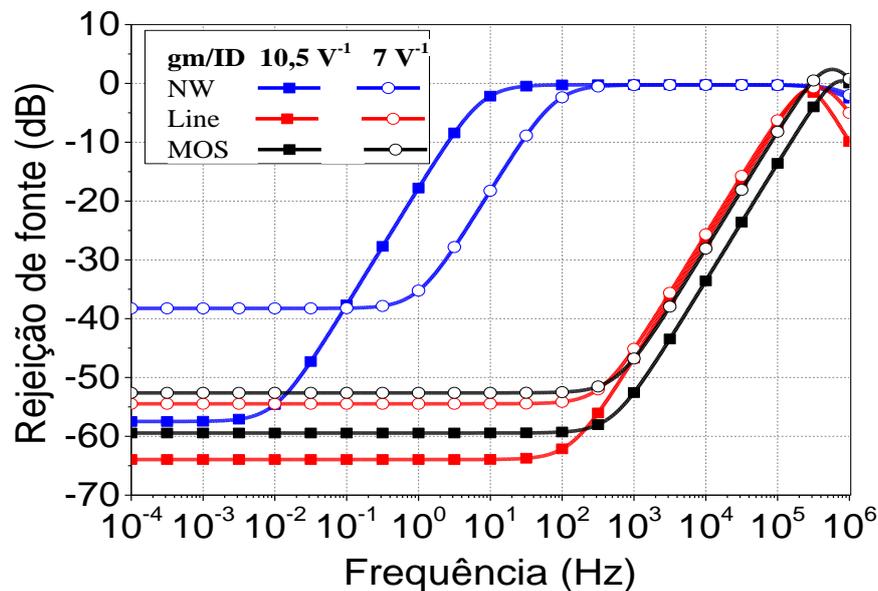


Figura 4.8 – Rejeição de fonte dos LDO em função da frequência.

4.3.2 LDO Line-TFET III e MOSFET com a tecnologia IBM de 130 nm

Na Tabela 4.6 estão expressos os principais parâmetros dos reguladores LDO Line-TFET III e MOSFET com a tecnologia IBM de 130 nm. O projeto com Line-TFET apresenta A_{AE} 30 dB maior que o projeto com 130 nm. Para o valor V_{DO} escolhido, M_P contribui com o ganho do sistema, como é observado no maior valor de r_{ds} do LDO Line-TFET observado na Tabela 4.6.

Tabela 4.6 – Parâmetros dos LDO.

$g_m/I_D = 9,6 \text{ V}^{-1}$		
Tecnologia	Line-TFET III	130 nm
LDO Parâmetros		
g_m (mS)	9,57	9,63
r_{ds} (K Ω)	111	6
A_{AE} (dB)	56	26
R_{AE} (G Ω)	1550	463
C_{GS} (pF)	38,65	3,80
C_{GD} (fF)	54	169
β	1,00	0,88

Os parâmetros que constam na Tabela 4.6 foram utilizados para avaliar os desempenhos dos LDO expressos na Tabela 4.7. O LDO Line-TFET III apresenta regulação de carga e de linha melhores, pois apresenta A_{AE} e A_M maiores e, portanto, segundo as Equações (2.14) e (2.15), esses desempenhos são melhores, como afirmado anteriormente. Também apresenta menor corrente quiescente, I_Q , garantindo melhor eficiência.

Tabela 4.7 – Desempenho dos LDO projetados.

$g/I_D = 9,6 \text{ V}^{-1}$		
Tecnologia	Line-TFET 3	130 nm
Especificação		
VDD (V)	2,3	1,5
I_Q (nA)	125	13050
Eficiência (%)	78,2	65,8
Regulação de Carga (V/A)	0,18	6,00
Regulação de Linha (mV/V)	0,01	1,18
Ganho de Malha (dB)	80,34	42,86
GBW (KHz)	30	407
C_c (pF)	0	10

O produto ganho largura de banda (GBW) do LDO Line-TFET III é cerca de 10 vezes menor que o do LDO 130 nm, apesar de apresentar um ganho de malha aberta (A_{MA}) maior. C_{GS} no LDO Line-TFET III é maior, contribuindo para que o polo dominante desse projeto esteja em frequências menores, diminuindo assim GBW.

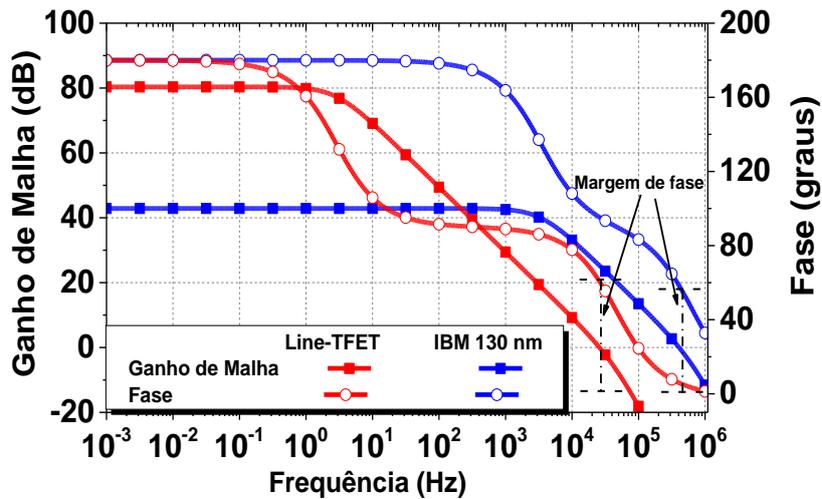


Figura 4.9 – Reposta em frequência LDO Ganho de Malha e Fase.

Na Figura 4.10 podem ser vistos os resultados das PSRs de ambos os LDOs. O LDO Line-TFET III apresenta melhor PSR devido ao maior ganho de malha. Observe que para o LDO Line-TFET III a PSR nunca atinge 0 dB, o que significa que o circuito nunca para de rejeitar as ondulações da tensão de alimentação.

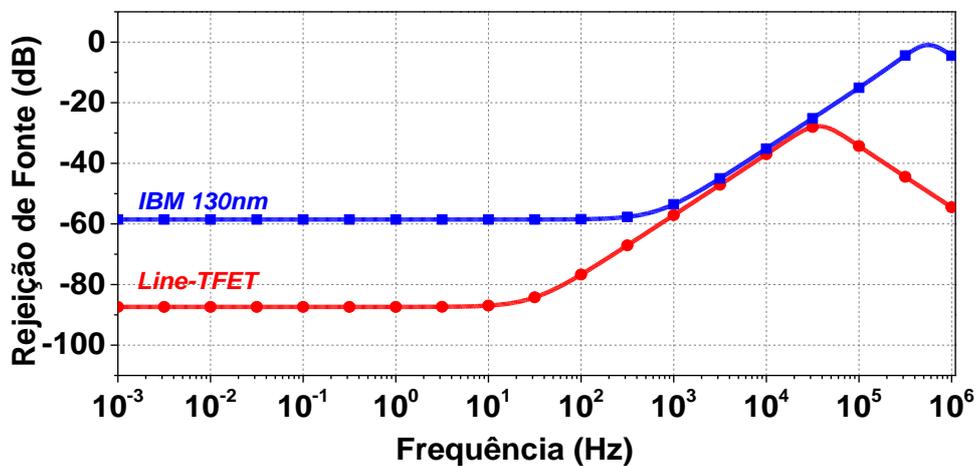


Figura 4.10 – Rejeição de fonte em função da frequência dos LDO.

A fim de estudar esse comportamento, o modelo descrito na Figura 4.11 pode ser utilizado. Neste modelo são consideradas apenas frequências acima de GBW. Nessa faixa de frequência, o modelo pode considerar a ondulação apenas em M_P , e, portanto, desconsidera a ondulação na saída do amplificador de erro advinda de V_{DD} . Para o modelo da Figura 4.11, a PSR_A calculada é dada pela Equação (4.11) onde Z_{eq} é dado pela Equação (4.12). Note que para valores altos de C_{GS}/C_{GD} , Z_{eq} tende

a r_{ds} que é maior que $(R_L // 1/sC_L)$ fazendo com que o PSR_A nunca atinja 0 dB. Este comportamento foi confirmado por simulação, usando o modelo equivalente mostrado na Figura 4.11, com os valores extraídos da observado na Tabela 4.6.

Tabela 4.6. Observando a Figura 4.12, é possível concluir que o modelo criado para estudar o comportamento da PSR do LDO Line-TFET III em frequências acima de GBW (30 KHz) funciona, a partir da observação de que ocorre sobreposição das curvas.

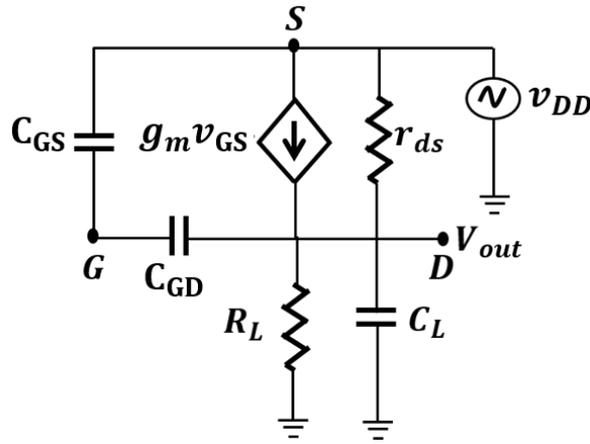


Figura 4.11 – Esquemático de modelo usado para o estudo do comportamento da PSR no LDO Line-TFET 3.

$$PSR_A = \left(\frac{(R_L // (\frac{1}{sC_L})) / Z_{eq}}{1 + (R_L // (\frac{1}{sC_L})) / Z_{eq}} \right) \quad (4.11)$$

$$Z_{eq} \approx \left(\frac{C_{GS}}{C_{GD}} * \frac{1}{g_m} \right) // r_{ds} // \left(\frac{1}{sC_L} \right) \quad (4.12)$$

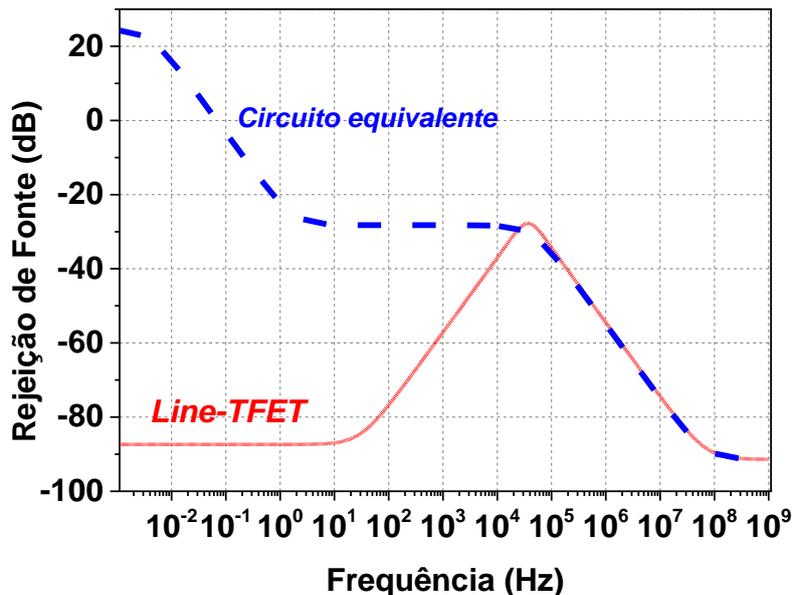


Figura 4.12 – Rejeição de fonte Line-TFET e modelo de pequenos sinais equivalente para frequência acima de GBW.

O LDO Line-TFET III apresenta a possibilidade de obter melhor desempenho, exceto GBW, com regulação de carga de 0,18 V/A e regulação de linha de 0,01 mV/V, graças ao maior ganho de malha (80 dB) com corrente quiescente mais baixa (120 nA). O LDO Line-TFET III, devido ao tunelamento de linha, consegue entregar correntes para cargas na ordem de miliampéres com baixa corrente quiescente, consegue ter capacitâncias de carga na ordem de nanofarad sem um capacitor extra para compensar o circuito. Portanto, o Line-TFET se mostra promissor para compor sistemas de baixa potência.

4.4 ANÁLISE SIMPLES DE VARIABILIDADE

Em sistemas VLSI (*very-large-scale integration*), a variabilidade do processo é um ponto crítico, principalmente em tecnologias avançadas. Isso porque a variabilidade no processo causa mudanças nos parâmetros do dispositivo, como a tensão de sublimiar (V_T), os níveis de corrente e a condutância de saída, o que leva a flutuações no desempenho do circuito. Portanto, uma análise da variabilidade do processo é obrigatória para alcançar altos rendimentos na fabricação de circuitos integrados (YOON *et al.*, 2020).

Em transistores de tunelamento (TFETs), algumas fontes de variações aleatórias do processo são a flutuação aleatória da dopagem, a variação da função

de trabalho e a rugosidade da borda da linha (DEBNATH; BAISHYA, 2022). Os dispositivos Line-TFETs necessitam de um controle de processo mais rígido, pois possuem uma sensibilidade significativa em relação à região do *pocket* e ao alinhamento porta-fonte (WALKE *et al.*, 2013, 2014). Além disso, a variabilidade no comprimento de fonte para dreno (L_{sd}) aumenta o tunelamento de ponto parasitário entre fonte e dreno que aumenta a condutância de saída (GONÇALEZ FILHO; MARTINO; AGOPIAN, 2019).

Nesse trabalho uma análise simples de variação die-to-die foi realizada com cinco Line-TFETs e cinco NW-TFETs, onde cada conjunto de dispositivos faziam parte do mesmo *wafer*. Os dispositivos foram medidos e modelados usando a abordagem LUT, sem considerar a variação na capacitância e, em seguida, foram projetados reguladores LDOs com as mesmas especificações já apresentadas anteriormente, com $gm/I_D = 7 \text{ V}^{-1}$, $V_{DD} 3,6 \text{ V}$, $V_{OUT} 3,3 \text{ V}$, $V_{DO} 300 \text{ mV}$ e $I_L 100 \mu\text{A}$.

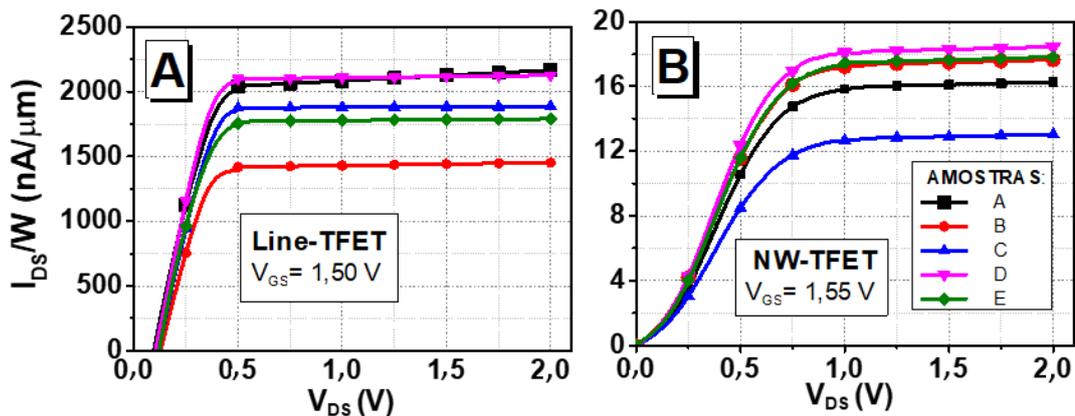


Figura 4.13 – Característica de saída ($I_{DS}/W \times V_{DS}$) com as mesmas características dentro do mesmo *wafer*. (A) Linha-TFET. (B) NW-TFET.

As características de saída para cada dispositivo podem ser vistas na Figura 4.13, onde foram denominadas amostras de A até E. A amostra E em ambas as tecnologias é o transistor utilizado nos projetos anteriores. Ambas as tecnologias apresentam uma variação de aproximadamente 40% entre os níveis mínimo e máximo de corrente de dreno quando os dispositivos estão operando em saturação. O Line-TFET tem uma variação um pouco maior, o que é mais significativo pois entrega níveis de corrente mais altos. Pode-se notar que o dispositivo tem uma flutuação significativa na condutância de saída, pois as amostras D e E têm o mesmo nível de corrente de dreno, mas o dispositivo D tem uma inclinação maior.

Os parâmetros dos LDOs foram extraídos para cada projeto. A Tabela 4.8 mostra o valor médio junto com os melhores e piores resultados obtidos para cada parâmetro. A transcondutância do M_P tem aproximadamente a mesma variação e valor médio quando ambas as tecnologias são comparadas. A resistência de saída do M_P não apresenta uma variação significativa no LDO NW-TFET, enquanto os LDO Line-TFET apresentam uma maior variação. A mesma tendência é observada na R_{AE} , para o LDO Line-TFET muda em uma ordem de grandeza resultando em uma variação de ganho de tensão de cerca de 20 dB. Para o LDO NW-TFET, A_{AE} muda em cerca de 10 dB. Observe que a variação do A_{AE} resulta em um ganho mínimo menor para o LDO Line-TFET. A maior variação nas resistências do LDO Line-TFET pode ser explicada principalmente pela alta sensibilidade destes parâmetros devido ao alinhamento fonte-porta, espessura do *pocket* e flutuações no L_{sd} .

Tabela 4.8 – Parâmetros LDO considerando todas as amostras onde é mostrado a média, os melhores e os piores valores.

Tecnologia	Line-TFET			NW-TFET		
	Média	Melhor	Pior	Média	Melhor	Pior
Parâmetros LDO						
g_m (μS)	486,9	559,3	428,1	481,1	570,6	433,3
r_{ds} ($K\Omega$)	3,3	6,8	1,9	1,7	1,8	1,6
A_{AE} (dB)	50,4	57,7	38,3	47,2	54,9	43,5
R_{AE} ($M\Omega$)	312	594	61	2946	6370	1700

O ganho de malha pode ser visto na Figura 4.14 junto com seu valor médio para ambas as tecnologias. Os dispositivos Line-TFETs apresentam ganho médio e variabilidade maior, resultado esperado pelo discurso anterior, apresentando inclusive um ganho menor do que o menor ganho dos dispositivos NW-TFET conforme observado na amostra A.

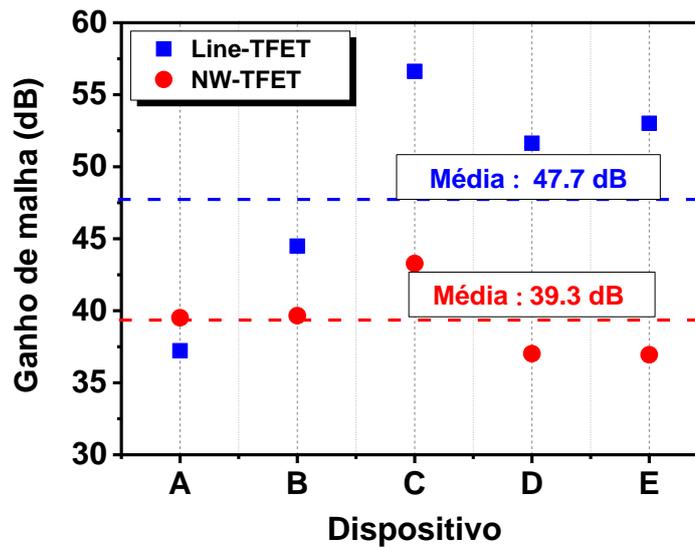


Figura 4.14 – Ganho de malha extraído em baixas frequências para os LDO projetados com todas as amostras - valor médio exibido.

A Tabela 4.9 mostra os valores dos parâmetros que indicam o desempenho dos LDOs com suas médias, melhores e piores valores obtidos considerando todas as amostras. Todos os parâmetros analisados possuem alta dependência do ganho de malha. Por isso a amostra C tem melhor desempenho em ambas as tecnologias, com os melhores resultados. As amostras A e E no LDO Line-TFET e LDO NW-TFET, respectivamente, apresentam os piores resultados. O LDO Line-TFET supera o LDO NW-TFET na comparação de qualquer dos parâmetros ao observar o valor médio, mas mostra uma variabilidade maior como é esperado pela Tabela 4.8. Esta grande variação resulta no LDO Line-TFET com desempenho inferior na comparação de qualquer dos parâmetros quando se consideram as piores amostras. Por apresentar menores valores de C_{GD} e C_{GS} , o Line-TFET apresenta um GBW melhor, mesmo diante das variações. A regulação de carga apresenta a maior discrepância olhando para os piores valores, já que valores menores de A_{AE} e g_{mMP} fazem com que a LDO Line-TFET sofra uma degradação significativa

Tabela 4.9 – Resultados de desempenho dos LDO considerando a variabilidade, são apresentados os resultados médios de todas as amostras juntamente com os melhores e piores casos.

Tecnologia	Line-TFET			NW-TFET		
Especificação	Média	Melhor	Pior	Média	Melhor	Pior
Regulação de Carga (V/A)	11,9	3,0	34,3	13,3	5,7	18,9
Regulação de Linha (mV/V)	4,8	1,4	12,5	7,6	1,9	12
PSR (dB)	46,3	57,2	38,0	42,3	54,2	39,0
Ganho de malha (dB)	48,6	56,6	37,2	42,22	49	38,8
GBW (Hz)	$144 \cdot 10^3$	$167 \cdot 10^3$	$74 \cdot 10^3$	74	78	67

4.5 MELHORA DA RESPOSTA EM FREQUÊNCIA

Para melhorar a resposta em frequência do LDO Line-TFET, é proposta a topologia apresentada na Figura 4.15, onde um estágio fonte comum, transistores (M_5 - M_6), foi adicionado ao circuito da Figura 4.1, para aumentar A_{MA} , aumentando assim GBW segundo a Equação (4.10). A topologia é formada por um amplificador diferencial seguido de um amplificador fonte comum que juntos formam o amplificador de erro (M_1 - M_3), o transistor de potência (M_P), a rede de realimentação, formada pelos resistores ideais R_1 - R_2 e a carga (C_L , R_L).

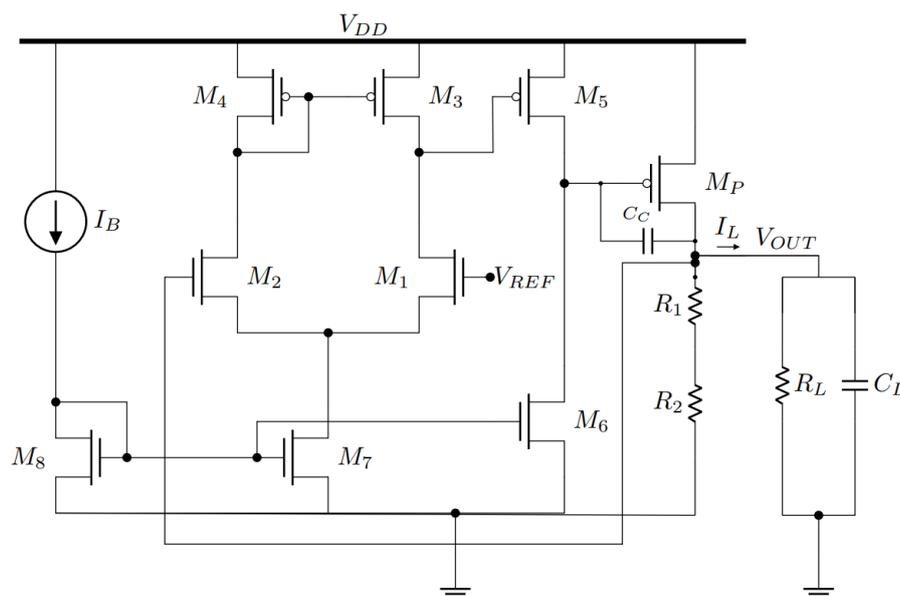


Figura 4.15 – Topologia LDO com amplificador de erro formado por dois estágios.

Os projetos apresentados nesse tópico tiveram as mesmas especificações do projeto do LDO Line-TFET III e MOSFET com a tecnologia IBM de 130 nm.

No projeto do LDO Line-TFET, o primeiro estágio de amplificação, amplificador diferencial, foi projetado para ter um ganho menor e uma alta condutância de saída, pois o ganho do amplificador pode chegar até a 60 dB (GONÇALEZ FILHO *et al.*, 2019). O circuito apresenta um ganho muito alto onde mesmo com o polo ω_{PA} muito menor que o ω_{PB} , o circuito apresenta instabilidade. Portanto, foi necessário aumentar W para $6 \mu\text{m}$ para aumentar g_{ds} e L foi ajustado para o valor mínimo permitido pela LUT (100 nm) para diminuir o ganho. O valor de W foi encontrado em simulação, variando o mesmo até encontrar qual valor permitia que o circuito se mantivesse estável sem adição de esquema de compensação.

Para chegar na eficiência desejada de $9,6 \text{ V}^{-1}$, pela Figura 4.2 a corrente de dreno normalizada deve ser de $348 \text{ nA}/\mu\text{m}$. Assim, a corrente de polarização para o primeiro estágio (I_{B1}) pode ser calculada através da Equação (4.13). Nessa equação é necessário um ajuste, pois L foi ajustado para o valor mínimo. Portanto, adiciona-se à equação de cálculo da corrente, à relação entre o L usado para encontrar a curva da eficiência (Figura 4.2) e o novo valor de L .

$$I_{B1} = 348 \frac{\text{nA}}{\mu\text{m}} * 6\mu\text{m} * \frac{100\text{nm}}{1\mu\text{m}} = 209 \text{ nA} \quad (4.13)$$

O segundo estágio, amplificador fonte comum composto por M_5 e M_6 , foi projetado para compensar a perda de ganho do primeiro estágio, enquanto o sistema permanece estável sem adicionar um esquema de compensação. Nesse estágio o W dos transistores foi escolhido para ter um menor consumo de corrente enquanto o apresenta um menor valor de g_{ds} , resultando em maior valor de R_{AE} facilitando a compensação. W foi projetado com 120 nm . A fim de compensar a perda de ganho do primeiro estágio, o L dos transistores foi escolhido para ter $1 \mu\text{m}$.

Para chegar na eficiência desejada de $9,6 \text{ V}^{-1}$, pela Figura 4.2, a corrente de dreno normalizada deve ser de $348 \text{ nA}/\mu\text{m}$. Assim, a corrente de polarização do segundo estágio (I_{B2}) pode ser calculada através da Equação

$$I_{B2} = 348 \frac{\text{nA}}{\mu\text{m}} * 120\text{nm} = 41,7 \text{ nA} \quad (4.14)$$

A resistência de saída (R_{AE}) junto com a capacitância vista na porta do transistor de potência (M_P) formam o polo dominante (ω_{PA}) do sistema, que permanece estável.

No caso do LDO Line-TFET, foi possível ter fator de realimentação (β) unitário, assim como no LDO Line-TFET III descrito anteriormente. Então, há uma ligação direta da saída (V_{OUT}) para a entrada do amplificador diferencial, tornando $V_{REF} = V_{OUT}$. Os resistores da malha de realimentação, R_1 e R_2 , foram projetados para ter $5\text{ M}\Omega$ cada a fim de manter uma corrente de condução mínima de 180 nA , por parte do transistor de potência, o que evita efeitos indesejados caso a carga seja desconectada do circuito.

O transistor de potência foi projetado da mesma forma que no projeto do LDO Line-TFET I, com o valor de L definido como $1\text{ }\mu\text{m}$, e com as tensões de polarização definidas previamente através da curva I_{DS} em função de W . O W foi escolhido para a corrente desejada.

No projeto LDO MOSFET com a tecnologia IBM de 130 nm , um estágio fonte comum também foi adicionado. Os transistores foram escolhidos para consumir menos corrente enquanto proporcionam ganho. Todos os L_s são mantidos com $1\text{ }\mu\text{m}$, com exceção do transistor M_6 que teve o L dobrado a fim de polarizar o circuito no ponto desejado.

Os transistores M_1 - M_2 foram dimensionados com W de 500 nm , para que o consumo de corrente fosse reduzido no amplificador de erro. Os transistores M_3 - M_4 foram dimensionados com W de $2,6\text{ }\mu\text{m}$. Os transistores do espelho de corrente M_8 e M_7 foram dimensionados com W de 500 nm e $1\text{ }\mu\text{m}$ respectivamente. Assim a corrente de polarização pode ser calculada a partir da eficiência desejada $9,6\text{ V}^{-1}$. Observando a Figura 3.2, a corrente de dreno normalizada deve ser de $8,67\text{ }\mu\text{A}$. Então a corrente de polarização (I_B) pode ser calculada através da Equação (4.15).

$$I_B = 8,67 \frac{\mu\text{A}}{\mu\text{m}} * 500\text{nm} = 4,34\text{ }\mu\text{A} \quad (4.15)$$

O transistor de potência foi projetado da mesma forma que nos projetos mencionados acima. O valor de L foi definido como $1\text{ }\mu\text{m}$, valor que evita efeito de canal curto. Com as tensões de polarização definidas previamente através da curva de I_{DS} em função de W , o W foi escolhido para a corrente desejada. Nesse projeto também foi usado fator de realimentação unitário, e $V_{REF} = V_{OUT}$. Assim, na malha de

realimentação foram utilizados resistores ideais (R_1 e R_2) com resistências de 5 M Ω . Na Tabela 4.10 são apresentadas as dimensões dos transistores.

Tabela 4.10 – Dimensões dos transistores.

Transistor	Line-TFET LDO		MOSFET LDO	
	L (μm)	W (μm)	L (μm)	W (μm)
M1-M2	0,1	6	1	0,5
M3-M4	0,1	6	1	2,6
M5	1	0,12	1	2,6
M6	1	0,12	1	0,5
M7	1	0,24	1	1
M8	1	0,12	1	0,5
M _P	1	3060	1	316

Na Tabela 4.11 é possível encontrar os parâmetros de pequenos sinais dos LDO Line-TFET e MOSFET com a tecnologia IBM de 130 nm. Como dito anteriormente o maior R_{AE} junto com maiores capacitâncias do transistor M_P estabilizam o projeto com Line-TFET através de ω_{PA} , sem a necessidade de compensação, para uma capacitância de carga $C_L = 10$ pF. Enquanto o LDO MOSFET com a tecnologia IBM de 130 nm precisa de $C_C = 17$ pF para compensar o sistema, a escolha do valor de capacitância foi realizada da mesma forma que no projeto anterior.

Tabela 4.11 – Parâmetros dos LDO projetados.

$g_m/I_D = 9,6 \text{ V}^{-1}$		
Tecnologia	Line-TFET	130 nm
LDO Parâmetros		
g_{mMP} (mS)	9,72	9,78
r_{ds} (K Ω)	398	1,66
A_{EA} (dB)	89,91	52,33
R_{EA} (K Ω)	1358	509,4
C_{GS} (pF)	41,08	1,393
C_{GD} (fF)	56,77	537,3

A Figura 4.16 mostra a resposta em frequência do LDO Line-TFET e LDO MOSFET com a tecnologia IBM de 130 nm. O LDO Line-TFET apresenta um ganho de malha (A_M) de aproximadamente 114 dB, que é mais de 100 vezes maior que o LDO MOSFET com a tecnologia IBM de 130 nm. Devido ao seu alto ganho, o LDO Line-TFET apresenta melhor regulação de carga e de linha. Também apresenta menor corrente quiescente, I_Q , garantindo melhor eficiência. Na Figura 4.17 é ilustrado o resultado da PSR. O Line-TFET LDO apresenta melhor PSR devido ao maior ganho de malha. Observe que para LDO Line-TFET a PSR nunca chega em 0 dB. Este resultado foi discutido anteriormente. Assim, foi possível realizar um projeto onde aumentando A_{MA} , obteve-se um GBW na mesma ordem de grandeza do LDO 130nm. Esses resultados podem ser encontrados na Tabela 4.12 onde estão resumidos os desempenhos dos LDOs.

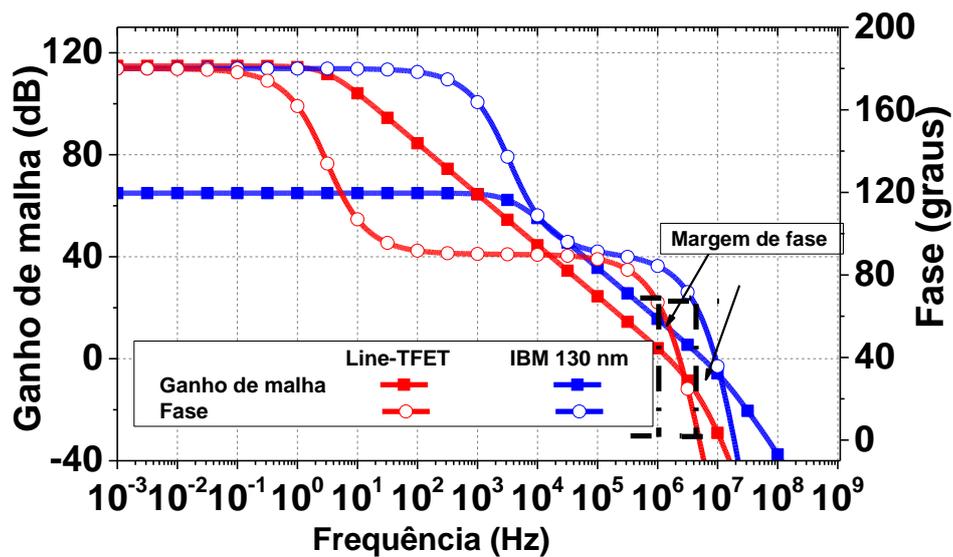


Figura 4.16 - Reposta em frequência LDO Ganho de Malha e Fase.

Tabela 4.12 – Resultados de desempenho dos LDO.

gm/I _D = 9,6 V ⁻¹		
Tecnologia	Line-TFET	130 nm
Especificações		
V _{DD} (V)	2,3	1,5
I _Q (μA)	0,5	18,8
Eficiência (%)	78,2%	65,4%
Regulação de Carga (V/A)	0,003	0,479
Regulação de Linha (mV/V)	0,014	1,33
Ganho de Malha (dB)	114,8	63
GBW (MHz)	1,52	5,7
C _C (pF)	0	17

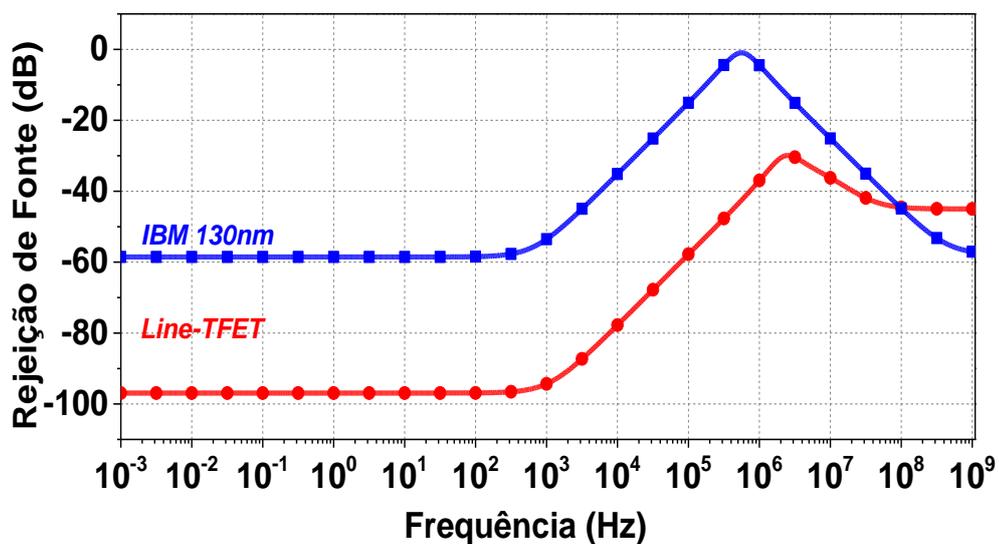


Figura 4.17 – Rejeição de fonte em função da frequência dos LDO.

5. CONCLUSÕES

O estudo teve por objetivo o emprego de dispositivos Line-TFETs em uma aplicação de um circuito analógico do tipo regulador linear de baixa queda de tensão (LDO). Foram projetados reguladores lineares de baixa queda de tensão com transistores Line-TFETs, modelados a partir de *lookup table* alimentadas com dados experimentais, utilizando a técnica de projeto gm/I_D . O Line-TFET surge com a proposta de aumentar a área de tunelamento e, portanto, aumentar a capacidade de condução de corrente de dreno do dispositivo para superar a limitação que o TFET tem em relação à entrega de corrente.

Os projetos realizados com dispositivos Line-TFETs foram comparados com projetos utilizando nanofios TFET (NW-TFET) e as tecnologias CMOS TSMC 180 nm e MOSFET com a tecnologia IBM de 130 nm. Em todos os projetos os LDO Line-TFET apresentaram desempenho melhor ou comparável.

Quando comparados aos projetos com NW-TFET, os LDO Line-TFET mostraram melhor desempenho, como por exemplo, melhores valores de regulação de carga (45,6 V/A para 19,0 V/A). Já a regulação de linha fica em 1,3 mV/V contra 0,6 mV/V para a eficiência de 10,5 V⁻¹. A vantagem de o Line-TFET ser capaz de conduzir maior corrente de dreno pode ser observada na resposta em frequência, onde foi obtido um GBW de 170,6 kHz contra 7,5 Hz do projeto NW-TFET.

Quando comparado ao nó tecnológico de 180 nm, teve melhor desempenho em todas as especificações com exceção da GBW que apesar de inferior, 170,6 kHz contra 250 kHz ainda encontra-se na mesma ordem de grandeza. Isso significa que tanto quando comparado a outra tecnologia TFET quanto ao nó tradicional o dispositivo Line-TFET mostra-se competitivo ao ser empregado nesse tipo de circuito.

Quando comparado ao nó tecnológico de MOSFET com a tecnologia IBM de 130 nm, teve melhor desempenho em todas as métricas de desempenho, como uma regulação de carga de 0,18 V/A versus 6 V/A e uma regulação de linha de 0,01 mV/V contra 1,18 mV/V, com exceção da GBW que se mostrou inferior, 30 kHz contra 407 kHz do LDO 130nm.

Esse estudo também realizou uma análise simples de variabilidade *die-to-die* do processo de dispositivos Line-TFET e NW-TFET. Foi observado que o LDO Line-TFET sofre mais variabilidade que o LDO NW-TFET, pois o Line-TFET possui maior sensibilidade aos seus parâmetros de processo, principalmente o alinhamento porta-

fonte e a fabricação da região de *pocket*. Assim, o Line-TFET LDO tem uma pior resposta em termos de variabilidade. Considerando o valor médio, o LDO Line-TFET ainda prova ser a melhor escolha, pois supera o LDO NW-TFET.

O LDO Line-TFET possui uma resposta de frequência competitiva com os nós tradicionais (130 nm e 180 nm) para níveis de corrente de carga que variam de dezenas a centenas de micro amperes, como dito anteriormente. No entanto, quando o nível de corrente de carga atinge miliampéres, o LDO Line-TFET tem uma resposta de frequência menor do que os nós tradicionais. Visando ao aumento da GBW do circuito, este trabalho propôs uma melhoria na resposta em frequência do LDO Line-TFET, para isso houve um aumento de complexidade da topologia do LDO com mais um estágio de amplificação, que resultou no aumento considerável da GBW, chegando a 1,5 MHz comparado a 5,7 MHz do LDO 130nm, chegando assim à mesma ordem de grandeza, consumindo uma corrente quiescente ordens de grandeza inferior, cerca de 0,5 μA versus 19 μA . Apresentou melhores resultados, como a regulação de carga de 0,003 V/A versus 0,479 V/A e a regulação de linha de 0,014 mV/V para 1,33 mV/V do LDO 130nm.

Os transistores Line-TFETs mostraram-se interessantes para as aplicações de baixa potência, apresentarem resposta em frequência mais lentas que os nós tradicionais, porém com a possibilidade de utilizar mais um estágio no amplificador de erro para uma resposta em frequência na mesma ordem de grandeza que os nós tradicionais, com uma corrente quiescente duas ordens de grandeza menor. Além disso, apresentaram a vantagem de se manterem estáveis sem a necessidade de adição de um capacitor de compensação, que ocupa área em circuitos integrados. Pelos resultados demonstrados neste estudo uma possível continuação para o mesmo seria o estudo do circuito LDO Line-TFET em baixa temperatura, já que o regulador deve manter V_{OUT} invariante com a temperatura. Também é necessário a fabricação do circuito para considerar os parasitas que podem degradar o desempenho do mesmo. No Apêndice A são mostradas as publicações geradas por este estudo.

REFERÊNCIA

ACHARYA, Abhishek; SOLANKI, A. B.; GLASS, S.; ZHAO, Q. T.; ANAND, Bulusu. Impact of Gate-Source Overlap on the Device/Circuit Analog Performance of Line TFETs. **IEEE Transactions on Electron Devices**, vol. 66, no. 9, p. 4081–4086, 1 Sep. 2019. <https://doi.org/10.1109/TED.2019.2927001>.

ACHARYA, Abhishek; SOLANKI, Abhishek B.; DASGUPTA, Sudeb; ANAND, Bulusu. Drain Current Saturation in Line Tunneling-Based TFETs: An Analog Design Perspective. **IEEE Transactions on Electron Devices**, vol. 65, no. 1, p. 322–330, Jan. 2018. <https://doi.org/10.1109/TED.2017.2771249>.

AGARWAL, Samarth; KLIMECK, Gerhard; LUISIER, Mathieu. Leakage-Reduction Design Concepts for Low-Power Vertical Tunneling Field-Effect Transistors. **IEEE Electron Device Letters**, vol. 31, no. 6, p. 621–623, Jun. 2010. <https://doi.org/10.1109/LED.2010.2046011>.

AGOPIAN, Paula Ghedini der; MARTINO, João Antonio; VANDOOREN, Anne; ROOYACKERS, Rita; SIMOEN, Eddy; THEAN, Aaron; CLAEYS, Cor. Study of line-TFET analog performance comparing with other TFET and MOSFET architectures. **Solid-State Electronics**, vol. 128, p. 43–47, Feb. 2017. <https://doi.org/10.1016/j.sse.2016.10.021>.

AGOPIAN, Paula; MARTINO, João Antonio; ROOYACKERS, Rita; VANDOOREN, Anne; SIMOEN, Eddy; CLAEYS, Cor. Experimental comparison between trigate p-TFET and p-FinFET analog performance as a function of temperature. **IEEE Transactions on Electron Devices**, vol. 60, no. 8, p. 2493–2497, 2013. <https://doi.org/10.1109/TED.2013.2267614>.

BALESTRA, Francis. Challenges for high performance and very low power operation at the end of the Roadmap. **Solid-State Electronics**, vol. 155, p. 27–31, 1 May 2019. <https://doi.org/10.1016/j.sse.2019.03.011>.

BORDALLO, Caio; MARTINO, Joao A.; AGOPIAN, Paula G.D.; ROOYACKERS, R.; VANDOOREN, A.; THEAN, A.; SIMOEN, Eddy; CLAEYS, Cor. Analysis of analog parameters in NW-TFETs with Si and SiGe source composition at high temperatures. 15 Oct. 2015. **SBMicro 2015 - 30th Symposium on Microelectronics Technology and Devices** [...]. Salvador: Institute of Electrical and Electronics Engineers Inc., 15 Oct. 2015. <https://doi.org/10.1109/SBMicro.2015.7298148>.

BORDALO, Caio. **Estudo do comportamento de transistores de tunelamento induzido por efeito de campo (TFET) operando em diferentes temperaturas**. 2017. Universidade de São Paulo, São Paulo, 2017.

C. -N. CHANG; Y. -N. CHEN; P. -T. HUANG, P. Su; C. -T. CHUANG. Exploration and evaluation of low-dropout linear voltage regulator with FinFET, TFET and hybrid TFET-FinFET implementations. 2017. **2017 IEEE International Symposium on Circuits and Systems (ISCAS)** [...]. Baltimore: IEEE, 2017. <https://doi.org/10.1109/ISCAS.2017.8051018>.

CARUSONE, Tony Chan; JOHNS, David; MARTIN, Kenneth. **Analog Integrated Circuit Design**. Second. [S. l.]: John Wiley & Sons, Inc., 2012.

COLINGE, Jean-Pierre. **Silicon-on-Insulator Technology: Materials to VLSI**. Boston: Springer US, 2004. <https://doi.org/10.1007/978-1-4419-9106-5>.

DE MORAES NOGUEIRA, Alexandre; DER AGOPIAN, Paula Ghedini; MARTINO, Joao Antonio. Operational transconductance amplifier designed with nanowire tunnel-FET with Si, SiGe and Ge sources using experimental data. **Semiconductor Science and Technology**, vol. 35, no. 9, 1 Sep. 2020. <https://doi.org/10.1088/1361-6641/ab9db5>.

DEBNATH, Radhe Gobinda; BAISHYA, Srimanta. Variability analysis of the epitaxial layer TFET due to gate work function variation, random dopant fluctuation, and oxide thickness fluctuation using the statistical impedance field method. **Semiconductor Science and Technology**, vol. 37, no. 6, p. 065005, 1 Jun. 2022. <https://doi.org/10.1088/1361-6641/ac65a8>.

GANAPATHI, Kartik; YOON, Youngki; SALAHUDDIN, Sayeef. Analysis of InAs vertical and lateral band-to-band tunneling transistors: Leveraging vertical tunneling for improved performance. **Applied Physics Letters**, vol. 97, no. 3, p. 033504, 19 Jul. 2010. <https://doi.org/10.1063/1.3466908>.

GONÇALEZ FILHO, Walter. **Projeto e Aplicação de Amplificadores Operacionais de Transcondutância Baseados no Comportamento Experimental de Line-TFETs**. 2020. Universidade de São Paulo, São Paulo, 2020.

GONÇALEZ FILHO, Walter; MARTINO, Joao A.; AGOPIAN, Paula G. D. Output conductance at saturation like region on Line-TFET for different dimensions. Aug. 2019. **2019 34th Symposium on Microelectronics Technology and Devices**

(SBMicro) [...]. [S. I.]: IEEE, Aug. 2019. p. 1–4. <https://doi.org/10.1109/SBMicro.2019.8919309>.

GONÇALEZ FILHO, Walter; MARTINO, Joao A.; RANGEL, Roberto; AGOPIAN, Paula G. D.; SIMOEN, Eddy; ROOYACKERS, Rita; CLAEYS, Cor; COLLAERT, Nadine. Two-stage amplifier design based on experimental Line-Tunnel FET data. 14 Oct. 2019. **2019 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)** [...]. [S. I.]: IEEE, 14 Oct. 2019. p. 1–3. <https://doi.org/10.1109/S3S46989.2019.9320637>.

GONÇALEZ FILHO, Walter; SIMOEN, Eddy; ROOYACKERS, Rita; CLAEYS, Cor; COLLAERT, Nadine; MARTINO, Joao A; AGOPIAN, Paula G D. Analog design with Line-TFET device experimental data: from device to circuit level. 2020. DOI 10.1088/1361. Available at: <https://doi.org/10.1088/1361->.

GUPTA, Vishal; RINCÓN-MORA, Gabriel A.; RAHA, Prasun. Analysis and design of monolithic, high PSR, linear regulators for SoC applications. 2004. **Proceedings - IEEE International SOC Conference** [...]. Santa Clara: IEEE, 2004. p. 311–315. <https://doi.org/10.1109/socc.2004.1362447>.

HUANG, Qianqian; HUANG, Ru; ZHAN, Zhan; QIU, Yingxin; JIANG, Wenzhe; WU, Chunlei; WANG, Yangyuan. A novel Si tunnel FET with 36mV/dec subthreshold slope based on junction depleted-modulation through striped gate configuration. Dec. 2012. **2012 International Electron Devices Meeting** [...]. [S. I.]: IEEE, Dec. 2012. p. 8.5.1-8.5.4. <https://doi.org/10.1109/IEDM.2012.6479005>.

HURKX, G.A.M.; KLAASSEN, D.B.M.; KNUVERS, M.P.G. A new recombination model for device simulation including tunneling. **IEEE Transactions on Electron Devices**, vol. 39, no. 2, p. 331–338, 1992. <https://doi.org/10.1109/16.121690>.

IONESCU, Adrian M.; RIEL, Heike. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, vol. 479, no. 7373, p. 329–337, 17 Nov. 2011. <https://doi.org/10.1038/nature10679>.

JEON, Kanghoon; LOH, Wei-Yip; PATEL, Pratik; KANG, Chang Yong; OH, Jungwoo; BOWONDER, Anupama; PARK, Chanro; PARK, C. S.; SMITH, Casey; MAJHI, Prashant; TSENG, Hsing-Huang; JAMMY, Raj; LIU, Tsu-Jae King; HU, Chenming. Si tunnel transistors with a novel silicided source and 46mV/dec swing. Jun. 2010. **2010 Symposium on VLSI Technology** [...]. [S. I.]: IEEE, Jun. 2010. p. 121–122. <https://doi.org/10.1109/VLSIT.2010.5556195>.

KUMAR, Mamidala Jagadesh; VISHNOI, Rajat; PANDEY, Pratyush. **Tunnel field-effect transistors (TFET) : modelling and simulations**. [S. l.]: Wiley, 2017.

MOOKERJEA, Saurabh; MOHATA, Dheeraj; MAYER, Theresa; NARAYANAN, Vijay; DATTA, Suman. Temperature-Dependent I-V Characteristics of a Vertical In(0.53)Ga(0.47)As Tunnel FET. **IEEE Electron Device Letters**, vol. 31, no. 6, p. 564–566, Jun. 2010. <https://doi.org/10.1109/LED.2010.2045631>.

NOGUEIRA, Alexandro de Moraes. **Estudo de Amplificadores Operacionais de Transcondutância Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas de Nanofios**. 2020. Universidade de São Paulo, São Paulo, 2020.

RANGEL, R. S.; AGOPIAN, P. G. D.; MARTINO, J.A. Performance evaluation of Tunnel-FET basic amplifier circuits. Feb. 2019. **2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS) [...]**. [S. l.]: IEEE, Feb. 2019. p. 21–24. <https://doi.org/10.1109/LASCAS.2019.8667587>.

RINCON-MORA, Gabriel. **Analog IC Design with Low-dropout Regulators (LDOs)**. [S. l.]: MCGRAW-HILL Professional, 2009. Available at: www.digitalengineeringlibrary.com.

ROFOUGARAN, A.R.; FURMAN, B.; ABIDI, A.A. Accurate analog modeling of short channel FETs based on table lookup. 1988. **Proceedings of the IEEE 1988 Custom Integrated Circuits Conference [...]**. Rochester: IEEE, 1988. p. 13.1/1-13.1/4. <https://doi.org/10.1109/CICC.1988.20856>.

SAH, Chih-tang; NOYCE, Robert; SHOCKLEY, William. Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics. **Proceedings of the IRE**, vol. 45, no. 9, p. 1228–1243, Sep. 1957. <https://doi.org/10.1109/JRPROC.1957.278528>.

SCHENK, A. Rigorous theory and simplified model of the band-to-band tunneling in silicon. **Solid-State Electronics**, vol. 36, no. 1, p. 19–34, Jan. 1993. [https://doi.org/10.1016/0038-1101\(93\)90065-X](https://doi.org/10.1016/0038-1101(93)90065-X).

SEDIGHI, Behnam; HU, Xiaobo Sharon; LIU, Huichu; NAHAS, Joseph J.; NIEMIER, Michael. Analog Circuit Design Using Tunnel-FETs. **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 62, no. 1, p. 39–48, Jan. 2015. <https://doi.org/10.1109/TCSI.2014.2342371>.

SEDRA, Adel; SMITH, Kenneth. **Microelectronic Circuits**. 7th ed. Oxford: OXFORD UNIVERSITY PRESS, 2015.

SETTINO, Francesco; LANUZZA, Marco; STRANGIO, Sebastiano; CRUPI, Felice; PALESTRI, Pierpaolo; ESSENI, David; SELMI, Luca. Understanding the Potential and Limitations of Tunnel FETs for Low-Voltage Analog/Mixed-Signal Circuits. **IEEE Transactions on Electron Devices**, vol. 64, no. 6, p. 2736–2743, Jun. 2017. <https://doi.org/10.1109/TED.2017.2689746>.

SHIMA, Takeshi; SUGAWARA, Tsutomu; MORIYAMA, Seijiro; YAMADA, Hisashi. Three-Dimensional Table Look-Up MOSFET Model for Precise Circuit Simulation. **IEEE Journal of Solid-State Circuits**, vol. 17, no. 3, p. 449–454, 1982. <https://doi.org/10.1109/JSSC.1982.1051758>.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G.A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, vol. 31, no. 9, p. 1314–1319, Sep. 1996. <https://doi.org/10.1109/4.535416>.

SIVIERI, Victor de Bodt. **Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio**. 2016. Universidade de São Paulo, São Paulo, 2016.

SOUZA, FELIPE NEVES. **Caracterização elétrica de túnel-FET em estrutura de nanofio com fontes de SiGe e Ge em função da temperatura**. 2015. Universidade de São Paulo, São Paulo, 2015.

STREETMAN, Ben G; SANJAY, •; BANERJEE, Kumar. **Solid State electronic devices Seventh edition**. 7th ed. [S. l.]: Pearson Education Limited, 2016.

SZE, S. M.; NG, Kwok Kwok. **Physics of semiconductor devices**. 3rd ed. [S. l.]: Wiley-Interscience, 2007. <https://doi.org/10.1002/0470068329>.

TORRES, Joselyn; EL-NOZAHY, Mohamed; AMER, Ahmed; GOPALRAJU, Seenu; ABDULLAH, Reza; ENTESARI, Kamran; SANCHEZ-SINENCIO, Edgar. Low drop-out voltage regulators: Capacitor-less architecture comparison. **IEEE Circuits and Systems Magazine**, vol. 14, no. 2, p. 6–26, 2014. <https://doi.org/10.1109/MCAS.2014.2314263>.

TRIVEDI, Amit Ranjan; CARLO, Sergio; MUKHOPADHYAY, Saibal. Exploring tunnel-FET for ultra low power analog applications. 2013. **Proceedings of the 50th Annual Design Automation Conference on - DAC '13** [...]. New York, New York, USA: ACM Press, 2013. p. 1. <https://doi.org/10.1145/2463209.2488868>.

VANDOOREN, A.; LEONELLI, D.; ROOYACKERS, R.; HIKAVYY, A.; DEVRIENDT, K.; DEMAND, M.; LOO, R.; GROESENEKEN, G.; HUYGHEBAERT, C. Analysis of trap-assisted tunneling in vertical Si homo-junction and SiGe hetero-junction Tunnel-FETs. **Solid-State Electronics**, vol. 83, p. 50–55, May 2013. <https://doi.org/10.1016/j.sse.2013.01.026>.

VERHULST, Anne S.; VANDENBERGHE, William G.; MAEX, Karen; GROESENEKEN, Guido. Tunnel field-effect transistor without gate-drain overlap. **Applied Physics Letters**, vol. 91, no. 5, 2007. <https://doi.org/10.1063/1.2757593>.

WALKE, Amey M.; VANDENBERGHE, William G.; KAO, Kuo-Hsing; VANDOOREN, Anne; GROESENEKEN, Guido. A Simulation Study on Process Sensitivity of a Line Tunnel Field-Effect Transistor. **IEEE Transactions on Electron Devices**, vol. 60, no. 3, p. 1019–1027, Mar. 2013. <https://doi.org/10.1109/TED.2013.2242201>.

WALKE, Amey M.; VANDOOREN, Anne; ROOYACKERS, Rita; LEONELLI, Daniele; HIKAVYY, Andriy; LOO, Roger; VERHULST, Anne S.; KAO, Kuo-Hsing; HUYGHEBAERT, Cedric; GROESENEKEN, Guido; RAO, Valipe Ramgopal; BHUWALKA, Krishna K.; HEYNS, Marc M.; COLLAERT, Nadine; THEAN, Aaron Voon-Yew. Fabrication and Analysis of a Si/Si_{0.55}Ge_{0.45} Heterojunction Line Tunnel FET. **IEEE Transactions on Electron Devices**, vol. 61, no. 3, p. 707–715, Mar. 2014. <https://doi.org/10.1109/TED.2014.2299337>.

WAN, J.; LE ROYER, C.; ZASLAVSKY, A.; CRISTOLOVEANU, S. Tunneling FETs on SOI: Suppression of ambipolar leakage, low-frequency noise behavior, and modeling. 65–66., Nov. 2011. **Solid-State Electronics** [...]. [S. l.: s. n.], Nov. 2011. vol. 65–66, p. 226–233. <https://doi.org/10.1016/j.sse.2011.06.012>.

WOO YOUNG CHOI; BYUNG-GOOK PARK; JONG DUK LEE; TSU-JAE KING LIU. Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec. **IEEE Electron Device Letters**, vol. 28, no. 8, p. 743–745, Aug. 2007. <https://doi.org/10.1109/LED.2007.901273>.

YOON, Jun-Sik; LEE, Seunghwan; LEE, Junjong; JEONG, Jinsu; YUN, Hyeok; BAEK, Rock-Hyun. Reduction of Process Variations for Sub-5-nm Node Fin and Nanosheet FETs Using Novel Process Scheme. **IEEE Transactions on Electron Devices**, vol. 67, no. 7, p. 2732–2737, Jul. 2020. <https://doi.org/10.1109/TED.2020.2995340>.

YOUSSEF, Abdelrahman A.; MURMANN, Boris; OMRAN, Hesham. Analog IC Design Using Precomputed Lookup Tables: Challenges and Solutions. **IEEE Access**, vol. 8, p. 134640–134652, 2020. <https://doi.org/10.1109/ACCESS.2020.3010875>.

ANEXO A – PUBLICAÇÕES GERADAS

Congressos:

TOLÊDO, R. do N.; SILVA, W. de L.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; MARTINO, J. A.; AGOPIAN, P. G. D., “Comparison between Low-Dropout Voltage Regulators Designed with Line and Nanowire Tunnel Field Effect Transistors using Experimental Data”, **8th Joint International EuroSOI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULIS) 2022, 2022.**

Silva, W. L.; Agopian, P. G. D.; Martino, J. A. “Experimental behavior of Line-TFET applied to Low-Dropout Voltage Regulator”, 36th Symposium on Microelectronics Technology (SBMicro), 2022.

Periódicos:

TOLÊDO, R. do N.; SILVA, W. de L.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; MARTINO, J. A.; AGOPIAN, P. G. D. Comparison between Low-Dropout Voltage Regulators Designed with Line and Nanowire Tunnel Field Effect Transistors using Experimental Data. **Solid State Electronics**, 2022.

SILVA, W. de L.; TOLÊDO, R. do N.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; AGOPIAN, P. G. D; MARTINO, J. A. Comparison of Low-Dropout Voltage Regulators Designed with Line and Nanowire Tunnel-FET Experimental Data including a Simple Process Variability Analysis. **Solid State Electronics**, 2022.