

ALISSON DIAS JUNQUEIRA

**RETIFICADOR TRIFÁSICO COM ELEVADO FATOR
DE POTÊNCIA**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Engenharia

São Paulo
2004

ALISSON DIAS JUNQUEIRA

**RETIFICADOR TRIFÁSICO COM ELEVADO FATOR
DE POTÊNCIA**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Engenharia

Área de Concentração:
Sistemas de Potência

Orientador:
Prof. Dr. Lourenço Matakas Jr.

São Paulo
2004

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo ou pesquisa, desde que citada a fonte.

Junqueira, Alisson Dias
Retificador Trifásico com Elevado Fator de
Potência. São Paulo, 2004
121p.

Dissertação (Mestrado) – Escola Politécnica da
Universidade de São Paulo. Departamento de
Energia e Automação Elétricas.

1. Conversores Estáticos de Potência 2. Controle
Digital de Conversores I. Universidade de São
Paulo. Escola Politécnica. Departamento de Energia
e Automação Elétricas II.t.

Para Petra

Agradeço às pessoas que contribuíram para a realização deste trabalho.

RESUMO

Este trabalho trata da retificação trifásica com elevado fator de potência. São mostradas algumas soluções encontradas na literatura. Dentre elas, optou-se pela utilização de um conversor trifásico autocomutado do tipo fonte de tensão (VSC), operando em modulação em largura de pulso (PWM). Apresenta-se a modelagem do conversor, que é utilizado para o projeto dos controladores responsáveis pelo rastreamento das correntes da rede CA e pela regulação da tensão CC. O projeto do controlador das correntes CA, baseado na estratégia de dead-beat, é mostrado de forma simples e intuitiva e é discutida a estabilidade deste controlador. O projeto do controlador PI utilizado para a regulação da tensão CC é baseado no modelo linearizado do conversor. É utilizado um algoritmo simples e eficiente para o bloco PLL, baseado na estratégia “dead-beat”. O comportamento do sistema completo é verificado teoricamente, por simulações numéricas e resultados experimentais, confirmando o excelente desempenho das estratégias de controle e do método de projeto propostos. São discutidos ainda os efeitos da variação nos parâmetros no desempenho e na estabilidade do sistema.

ABSTRACT

This study investigates three-phase rectifiers with high power factor. Some existing solutions in the literature are presented. One of them, the three-phase voltage source converter (VSC) rectifier with pulse width modulation (PWM) is chosen to be used. Converter modeling is presented and used to design a mains current tracking controller and a DC voltage regulator. AC current controlling based on the deadbeat strategy is presented in a simple and intuitive way, and the stability of this controller is discussed. The DC side PI controller is designed based on the linearized model of the converter. A simple and efficient PLL block algorithm, based on the deadbeat strategy is presented. The behavior of the complete system is verified theoretically, by numerical simulation and experimental results, confirming the excellent performance of the proposed control strategy and method of design. The effects of parameter mismatch on system performance and stability are also discussed.

SUMÁRIO

| | |
|---|------------|
| Resumo | v |
| Abstract | vi |
| Sumário | vii |
| Lista de Tabelas | ix |
| Lista de Figuras | x |
| Lista de Abreviaturas | xiv |
| Lista de Símbolos | xvi |
| 1 Introdução | 1 |
| 2 Retificação com Alto Fator de Potência | 5 |
| 3 Retificador Estudado | 11 |
| 3.1 Modelagem do Conversor Fonte de Tensão (VSC) | 12 |
| 3.1.1 Lado CA | 13 |
| 3.1.2 Lado CC | 19 |
| 3.2 Sistema de Controle | 22 |
| 3.2.1 Controle da Corrente no Lado CA | 24 |
| 3.2.1.1 Estratégia tipo Dead-Beat | 25 |
| 3.2.1.2 Estabilidade do Controlador de Corrente | 30 |
| 3.2.2 Controle da Tensão no Lado CC | 36 |
| 3.2.2.1 Função de Transferência do Retificador | 36 |
| 3.2.2.2 Regulador tipo PI com Pré-Filtro | 40 |
| 3.2.2.3 Parâmetros de Desempenho do Regulador de Tensão | 43 |
| 3.2.2.4 Cálculo do Controlador PI | 46 |
| 3.2.3 Sistema de Sincronismo (PLL) | 49 |
| 4 Simulação Numérica | 52 |
| 4.1 Análise de Desempenho em Regime Permanente (RP) | 53 |
| 4.2 Análise de Desempenho em Regime Transitório (RT) | 66 |
| 4.3 Análise de Sensibilidade à Variação dos Parâmetros | 74 |

| | | |
|----------|---|------------|
| 5 | Resultados Experimentais | 80 |
| 5.1 | Avaliação do Desempenho em Regime Permanente (RP)..... | 82 |
| 5.2 | Avaliação do Desempenho em Regime Transitório..... | 95 |
| 5.2.1 | Partida do Retificador com Carga Nominal..... | 95 |
| 5.2.2 | Chaveamento de Carga | 96 |
| 5.2.3 | Sub e Sobre-Sinais em v_{DC} para Variação de Carga em Degrau.... | 98 |
| 5.3 | Desempenho do PLL..... | 101 |
| 5.4 | Tempo de Execução | 103 |
| 6 | Conclusão..... | 105 |
| | Anexo - Implementação Experimental..... | 109 |
| | Descrição do Sistema | 109 |
| | Listagem dos Parâmetros Empregados | 112 |
| | Escolha dos Indutores CA..... | 113 |
| | Lista de Referências | 114 |

LISTA DE TABELAS

| | |
|---|----|
| Tabela 3.1: Sub e sobre-sinais e tempo de acomodamento em algumas condições de carga – teórico. | 49 |
| Tabela 4.1: (Simulação) FP, $\cos\phi$ e THD de corrente em função da carga..... | 66 |
| Tabela 4.2: Sub e sobre-sinais e tempo de acomodamento em algumas condições de carga – teórico e simulado. | 72 |
| Tabela 5.1: Potências, THD, $\cos\phi$, e FP com carga nominal, experimental e simulado. | 86 |
| Tabela 5.2: Potências, THD, $\cos\phi$, e FP com meia carga, experimental e simulado. | 91 |
| Tabela 5.3: Potências, THD, $\cos\phi$, e FP com meia carga, experimental e simulado, para v_r igual a 80Vrms..... | 94 |

LISTA DE FIGURAS

| | |
|---|----|
| Figura 3.1: Retificador estudado..... | 12 |
| Figura 3.2: Modelo do VSC trifásico..... | 13 |
| Figura 3.3: Modelo da entrada do conversor. | 14 |
| Figura 3.4: Modelo da entrada com as tensões divididas nas componentes de seqüência zero e balanceada. | 15 |
| Figura 3.5: Modelo da entrada com as tensões divididas nas componentes de seqüência zero e balanceada. | 16 |
| Figura 3.6: Modelo simplificado de entrada do VSC. | 17 |
| Figura 3.7: Conversor monofásico obtido a partir do braço R do conversor da Figura 3.2..... | 19 |
| Figura 3.8: Modelo do VSC trifásico..... | 20 |
| Figura 3.9: Modelo simplificado do VSC, lado CC..... | 21 |
| Figura 3.10: Diagrama em blocos do sistema. | 23 |
| Figura 3.11: Comportamento do controle por <i>dead-beat</i> com PWM não centrado... 28 | |
| Figura 3.12: Comportamento do controle por <i>dead-beat</i> com PWM centrado. | 29 |
| Figura 3.13: Modelo por fase do conversor. | 31 |
| Figura 3.14: Pólos em MF para α variável: | 35 |
| Figura 3.15: ω_d/ω_a e ζ , para $1 < \alpha < 4$ | 35 |
| Figura 3.16: Modelo simplificado para o equacionamento da função de transferência. | 36 |
| Figura 3.17: Diagrama em blocos da planta linearizada do retificador sem o regulador de tensão CC. | 40 |
| Figura 3.18: Planta com regulador de tensão PI. | 41 |
| Figura 3.19: Diagrama em blocos da planta linearizada do retificador com o regulador de tensão CC. | 42 |
| Figura 3.20: Funcionamento do PLL. | 51 |

| | |
|---|----|
| Figura 4.1: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) v_r , v_s e v_t em cima, i_r , i_s e i_t em baixo, respectivamente nas cores vermelha, verde e azul. | 54 |
| Figura 4.2: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) $v_r/100$ (cor vermelha) e i_r (cor azul)..... | 54 |
| Figura 4.3: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) espectro de freqüências de i_r . THD=1,586%. | 55 |
| Figura 4.4: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) em cima, i (vermelho) e i_{ref} (azul); embaixo, o sinal do PWM para a fase r (m_r).... | 56 |
| Figura 4.5: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) em detalhes: em cima, i (vermelho) e i_{ref} (azul); embaixo, o sinal do PWM para a fase r (m_r). | 57 |
| Figura 4.6: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r). | 57 |
| Figura 4.7: conversor monofásico de meia onda. | 59 |
| Figura 4.8: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r), para $v_{DC} = 400V$ | 59 |
| Figura 4.9: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) espectro de freqüências de i_r , para v_{DC} igual a 400V. THD=1,575%. | 60 |
| Figura 4.10: Conversor monofásico de onda completa..... | 61 |
| Figura 4.11: Diagrama em blocos do sistema com injeção de seqüência zero. | 62 |
| Figura 4.12: (Simulação, RP, carga nominal (conforme anexo), com injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r)..... | 63 |
| Figura 4.13: (Simulação, RP, carga nominal (conforme anexo), com injeção de seqüência zero) espectro de freqüências de i_r . THD=1,269%. | 63 |
| Figura 4.14: (Simulação) $v_r/100$ e i_r com carga nula..... | 64 |
| Figura 4.15: (Simulação) v_{DC} e o ondulação de v_{DC} , com carga nominal. | 65 |
| Figura 4.16: (Simulação) espectro de freqüências do ondulação de v_{DC} , com carga nominal..... | 65 |

| | |
|---|----|
| Figura 4.17: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno da nominal (1A). | 68 |
| Figura 4.18: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno de 50% da nominal (0,5A). | 69 |
| Figura 4.19: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno de 10% da nominal (0,1A). | 70 |
| Figura 4.20: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de carga 50% da nominal (0,5A). | 71 |
| Figura 4.21: (Simulação) i_r , i_s e i_t , $v_s/100$ e i_s , v_{DC} e i_{DC} para degraus de carga de 100%, 50% e 10% da nominal. | 73 |
| Figura 4.22: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha > 1$ | 75 |
| Figura 4.23: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha = 0,95$, como modelado..... | 76 |
| Figura 4.24: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha = 0,95$, com PWM..... | 77 |
| Figura 4.25: (Simulação) v_{crefr} com PWM (vermelha) e v_{crefr} do modelo (azul) para $\alpha = 0,95$ | 77 |
| Figura 4.26: (Simulação) v_{crefr} com PWM (azul) e v_{crefr} do modelo com introdução de limitador (vermelha) para $\alpha = 0,95$ | 78 |
| Figura 4.27: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha < 1$, com PWM. | 79 |
| Figura 5.1: (Experimental) i_r , i_s e i_t (topo), v_r , v_s e v_t (base) com carga nominal. | 83 |
| Figura 5.2: (Simulado) i_r , i_s e i_t (topo), v_r , v_s e v_t (base) com carga nominal. FP=0,9983. | 83 |
| Figura 5.3: (Experimental) v_r (vermelho) e i_r (azul), v_{DC} (rosa) e i_{DC} (verde), com carga nominal. | 84 |
| Figura 5.4: (Simulado) v_r (vermelho) e i_r (azul), v_{DC} (rosa) e i_{DC} (verde), com carga nominal. | 85 |
| Figura 5.5: (Experimental) v_r (vermelho) e i_r (azul) com carga nominal. | 87 |
| Figura 5.6: (Simulado) v_r (vermelho) e i_r (azul) com carga nominal. | 87 |
| Figura 5.7: (Experimental) Espectro de i_r com carga nominal. THD=2,51%. | 88 |
| Figura 5.8: (Simulado) Espectro de i_r com carga nominal. THD=1,75%. | 89 |
| Figura 5.9: (Experimental) v_r (vermelho) e i_r (azul) com meia carga. | 89 |

| | |
|--|-----|
| Figura 5.10: (Simulado) v_r (vermelho) e i_r (azul) com meia carga | 90 |
| Figura 5.11: (Experimental) v_r (vermelho) e i_r (azul) com carga nula..... | 92 |
| Figura 5.12: (Simulado) v_r (vermelho) e i_r (azul) com carga nula..... | 92 |
| Figura 5.13: (Experimental) v_r (vermelho) e i_r (azul) com meia carga e v_r igual a 80Vrms..... | 93 |
| Figura 5.14: (Simulado) v_r (vermelho) e i_r (azul) com meia carga e v_r igual a 80Vrms. | 94 |
| Figura 5.15: (Experimental) Tensões CC e CA em uma fase, na partida do sistema com carga nominal..... | 95 |
| Figura 5.16: (Simulado) v_s (amarelo) e i_s (verde), v_{DC} (azul) e i_{DC} (vermelho) com transitórios de carga: carga nominal, nula e meia carga. | 96 |
| Figura 5.17: (Experimental) v_r (vermelho), i_r (azul), v_{DC} (rosa) e i_{DC} (verde) com rejeição e re-introdução de carga plena..... | 97 |
| Figura 5.18: (Experimental) v_r (vermelho), i_r (azul), v_{DC} (rosa) e i_{DC} (verde) com introdução e retirada de carga plena. | 98 |
| Figura 5.19: (Experimental) v_r (vermelho), i_r (azul), ($v_{DC} - 350V$) (rosa) e i_{DC} (verde), sobre-sinal na retirada de carga..... | 99 |
| Figura 5.20: (Experimental) v_r (vermelho), i_r (azul), ($v_{DC} - 350V$) (rosa) e i_{DC} (verde), subsinal na introdução de carga. | 100 |
| Figura 5.21: (Experimental) Resposta do PLL (vermelho) gerada a partir do sinal de frequência variável (azul)..... | 102 |
| Figura 5.22: (Experimental) Tempo de execução do programa no DSP: (intervalo em nível baixo do traço superior) $20\mu s$, v_{DC} (no meio) e v_r (em baixo), mostrando a passagem por zero..... | 104 |
| Figura A.0.1: Diagrama ilustrativo do retificador..... | 109 |
| Figura A.0.2: Diagrama em blocos do ADMC-401..... | 110 |
| Figura A.0.3: Foto da montagem e equipamentos utilizados na experimentação.... | 111 |

LISTA DE ABREVIATURAS

| | |
|-----------|--|
| 3 ϕ | Trifásico |
| A/D | Conversor Analógico-Digital |
| ADMC-401 | O DSP da Analog Devices utilizado neste projeto |
| CA | Corrente Alternada |
| CC | Corrente Contínua |
| CSC | <i>Current Source Converter</i> = Conversor do tipo Fonte de Corrente |
| D/A | Conversor Digital-Analógico |
| DSP | <i>Digital Signal processor</i> |
| EMI | Interferência Eletromagnética |
| FP | Fator de Potência |
| GTO | <i>Gate-Turn-Off Thyristors</i> |
| IGBT | <i>Insulated Gate Bipolar Transistors</i> |
| LEP/EPUSP | Laboratório de Eletrônica de Potência da Escola Politécnica da Universidade de São Paulo |
| LGR | Lugar Geométrico das Raízes |
| MOSFET | Transistor de Efeito de Campo MOS (<i>Metal Oxide Semiconductor</i>) |
| PI | Controlador Proporcional Integral |

| | |
|-----|--|
| PLL | <i>Phase Locked Loop</i> |
| PWM | <i>Pulse-Width Modulation</i> |
| rms | Raiz média quadrática (<i>root mean square</i>) = valor eficaz |
| RP | Regime Permanente |
| RT | Regime Transitório |
| THD | Distorção Harmônica Total (<i>Total Harmonic Distortion</i>), definida como a razão da raiz média quadrática do conteúdo harmônico pelo valor da raiz média quadrática da grandeza fundamental, expressa como porcentagem da fundamental [16]. |
| VSC | <i>Voltage Source Converter</i> = Conversor do tipo Fonte de Tensão |
| ZOH | Amostrador de Ordem Zero |

LISTA DE SÍMBOLOS

| | |
|------------------|--|
| α | Constante que relaciona o indutor real com o considerado no projeto. |
| Δ | Intervalo de tempo entre duas amostragens consecutivas. |
| Dl | Amplitude do degrau de carga. |
| $\Delta V\%$ | Erro percentual na tensão v_{DC} em t_s . |
| Δi_{DC} | Variação da corrente i_{DC} . |
| Δv_{DC} | Variação da tensão v_{DC} . |
| ΔI_{ref} | Variação do valor de pico da corrente de referência I_{DC} . |
| z | Fator de amortecimento. |
| \mathbf{B} | Matriz _{3x3} de coeficientes, definida em Equação 8. |
| C | Capacitância de acoplamento no barramento CC, na saída do conversor. |
| CA | Contador de amostragem |
| $CARGA$ | Carga do retificador. |
| $\frac{d}{dt}$ | Derivada temporal da variável associada. |
| $erro$ | Variável erro de estimação do PLL |
| G_1 | Neutro da rede de alimentação. |

| | |
|----------------------|--|
| G_2 | Terra G_2 utilizada na modelagem. |
| G_3 | Terra G_3 utilizada na modelagem. |
| $G_p(s)$ | Função de transferência do pré-filtro na transformada de Laplace. |
| $GT(s)$ | Função de transferência em malha fechada na transformada de Laplace, do sistema. |
| $G_C(s)$ | Função de transferência na transformada de Laplace do controlador PI. |
| $G(s)$ | Função de transferência na transformada de Laplace, linearizada, do conversor. |
| i_{DC} | Corrente CC na carga do retificador. |
| $i(k)$ | Corrente de linha em uma das fases, amostrada no instante k . |
| $i_{ref}(k)$ | Corrente de referência para uma das fases no instante k . |
| i_{cap} | Corrente pela capacitância C . |
| $i_r; i_s; i_t$ | Correntes de linha na rede. |
| \mathbf{I} | Matriz $_{3 \times 1}$ de correntes de linha, definida em Equação 6. |
| \mathbf{i} | Matriz $_{3 \times 1}$ de correntes de linha, definido em Equação 37. |
| i_0 | Corrente na fonte de seqüência zero instantânea. |
| I_{ref} | Valor de pico da corrente de referencia. |
| $\overline{I_{ref}}$ | Valor médio de pico da corrente de referência I_{DC} . |

| | |
|---------------------|--|
| $\overline{i_{DC}}$ | Valor médio da corrente i_{DC} . |
| k | $k_{ésimo}$ instante de amostragem dos sinais digitais. |
| K | Variável auxiliar definida em Equação 50. |
| K_I | Constante integral do controlador PI. |
| K_P | Constante proporcional do controlador PI. |
| L | Indutância de acoplamento em cada uma das fases na entrada do conversor. |
| m | Índice de modulação. |
| \mathbf{m} | Matriz $_{3 \times 1}$ de índices de modulação, definida em Equação 9. |
| $m_r; m_s; m_t$ | Índices de modulação em cada braço da ponte conversora. |
| M_p | Sobre-sinal máximo. |
| PPC | Pulsos de amostragem por ciclo. |
| R,S,T | Os três braços da ponte conversora. |
| s | Variável de Laplace. |
| T | Variável auxiliar definida em Equação 49. |
| t_p | Instante em que ocorre o sobre-sinal. |
| t_s | Tempo de acomodamento. |
| \mathbf{v} | Matriz $_{3 \times 1}$ de $v_r; v_s; v_t$, definida em Equação 36. |
| \mathbf{V} | Matriz $_{3 \times 1}$ de $v_r; v_s; v_t$, definida em Equação 6. |

| | |
|---|--|
| V | Valor de pico da tensão de fase. |
| v_0 | Tensão de seqüência zero instantânea, definida em Equação 1. |
| V_{AC} | Tensão de Entrada do Retificador, em Corrente Alternada. |
| $v_{Lr}; v_{Ls}; v_{Lt}$ | Tensões sobre os indutores, nas três fases. |
| $\overline{v_r}; \overline{v_s}; \overline{v_t}$ | Referências de tensão senoidais geradas pelo PLL |
| $v_{cref}(k)$ | Tensão de referência para uma das fases no instante k . |
| $v_r; v_s; v_t$ | Tensões de fase nas três fases, referenciadas a G_1 . |
| $v_{cr}; v_{cs}; v_{ct}$ | Tensões na entrada do conversor nas três fases, referenciadas a G_2 . |
| $\overline{v_{cr}}; \overline{v_{cs}}; \overline{v_{ct}}$ | Tensões na entrada do conversor nas três fases, referenciadas a G_3 . |
| v_{DC} | Tensão CC de saída do retificador. |
| v_d | Tensão CC sobre cada capacitor 2C na saída do retificador. |
| $v(k)$ | Tensão de fase em uma das fases, no instante k . |
| $v_c(k)$ | Tensão na entrada do conversor em uma das fases, no instante k . |
| $\overline{v_{DC}}$ | Valor médio da tensão v_{DC} . |
| v_{G1G3} | Diferença de potencial entre os as referências G_1 e G_3 . |
| \mathbf{V}_c | Matriz $_{3 \times 1}$ de $v_{cr}; v_{cs}; v_{ct}$, definida em Equação 9. |
| $\overline{\mathbf{V}}_c$ | Matriz $_{3 \times 1}$ de $\overline{v_{cr}}; \overline{v_{cs}}; \overline{v_{ct}}$, definida em Equação 7. |
| \mathbf{x} | Matriz $_{3 \times 1}$ de fatores cossenoidais, definida em Equação 38. |

| | |
|-------|--|
| w | Frequência angular da rede de alimentação. |
| w_a | frequência de amostragem. |
| w_n | Frequência natural do sistema. |
| t | Instante de tempo. |

1 INTRODUÇÃO

Apresentam-se a justificativa deste trabalho e seu objetivo. A estrutura da dissertação, com breve descrição do conteúdo dos capítulos seguintes, é abordada.

A circulação de harmônicas de corrente na rede CA causa maior aquecimento nos condutores, transformadores e motores; queima de capacitores; e harmônicas de tensão; redução da vida útil destes equipamentos, além de falhas em equipamentos sensíveis [9][39][54][53]. Um paliativo utilizado é o superdimensionamento da rede, o que não resolve todos os problemas, além de aumentar o custo da instalação.

As soluções para estes problemas incluem a filtragem das harmônicas das correntes da rede utilizando-se filtros ativos ou passivos, ou a minimização das harmônicas de corrente geradas pelas cargas. Como grande parte dos equipamentos poluidores contém retificadores [9][54], uma solução seria a utilização de retificadores melhorados. Para retificadores monofásicos de baixas potências, uma solução muito empregada consta de um retificador a diodos seguido de um conversor CC/CC chaveado (elevador ou abaixador) [39][53][55]. Neste caso existem diversos circuitos integrados comerciais dedicados ao controle do conversor [53][52].

Para elevadas potências (maior que 1kW) são utilizados retificadores trifásicos (3ϕ). As soluções podem ser passivas (com transformadores especiais) [54] [27] [21] [28] [47] ou ativas (com componentes ativos chaveados adequadamente em modulação de largura de pulso(PWM)) [27] [53] [15] [38] [37].

Os retificadores com ponte trifásica autocomutada, operando em PWM apresentam como vantagens:

- o volume e a massa reduzidos;
- a possibilidade de controle das correntes de alimentação e tensão CC;

- a característica bidirecional com relação à potência.

Pode-se citar como aplicações típicas desta classe de conversores:

- fontes com tensão e frequência variáveis para alimentação de motores CA;
- interfaces entre a rede e armazenadores de energia, como baterias e indutores supercondutores;
- interfaces para sistemas de geração de energia alternativos, como células solares, células de combustível, geradores eólicos;
- sistemas ininterruptos de energia;
- fontes para equipamentos de telecomunicações ou outras cargas de elevada potência que requerem tensão CC regulada e elevado fator de potência (FP) no lado CA.

Este trabalho é centrado no conversor CA/CC trifásico autocomutado, elevador de tensão (*boost*), bidirecional em potência, do tipo fonte de tensão, sem isolamento, com elevado FP¹, operando em PWM, devido às diversas vantagens e aplicações deste conversor, acima listadas. A disponibilidade de processadores digitais de sinais (DSPs)[2] com desempenho suficiente e custo acessível tem levado os projetistas e pesquisadores da área a emprega-los para a implementação dos controladores dos conversores[5][40][24][8], abandonando-se as estratégias baseadas na utilização de circuitos híbridos empregando técnicas analógicas e digitais. Nesta nova abordagem, tratada aqui como “controle digital”, as estratégias de controle resumem-se a algoritmos, eliminando-se problemas tais como alterações nos ajustes, dependência da temperatura de operação (off-set, drifts), etc, e permitindo que modificações sejam facilmente implementadas pela alteração do programa[6][27][64].

Os principais objetivos deste trabalho são:

¹ Neste trabalho considera-se elevado FP um FP próximo da unidade.

- apresentar uma visão geral das topologias de retificação que oferecem elevado fator de potência para aplicações com potências maiores que 1kW;
- descrever o retificador trifásico autocomutado operando em PWM com controle digital, sua modelagem, as estratégias de controle empregadas e os resultados de simulação e experimentais obtidos a partir de modelo em escala reduzida (350W, 220VCA).

O capítulo 2 dessa dissertação traz uma visão geral sobre as possibilidades de retificação com elevado fator de potência, comumente descritas na literatura.

O capítulo 3 trata do retificador explorado, mostrando:

- a modelagem do conversor;
- a descrição e projeto do controlador rastreador de corrente no lado CA;
- a análise da estabilidade do controlador de corrente no lado CA;
- a descrição e projeto do controlador regulador da tensão CC;
- a análise de desempenho do regulador de tensão CC;
- A operação do bloco de PLL utilizado e descrição do seu algoritmo;

O capítulo 4 avalia o desempenho do retificador proposto através de simulações numéricas.

O capítulo 5 mostra os resultados experimentais do retificador implementado.

No capítulo 6, tem-se a conclusão do trabalho e sugestões de prosseguimento.

O anexo trata do arranjo experimental utilizado, com descrição sucinta de como foram implementados os sensores, o conversor, o controlador e traz ainda o diagrama em blocos do DSP utilizado e a listagem dos parâmetros empregados.

A análise e a comparação dos resultados (teóricos, simulados e experimentais) obtidos são feitas ao longo do texto, à medida que são apresentados.

2 RETIFICAÇÃO COM ALTO FATOR DE POTÊNCIA

Tem-se aqui um apanhado geral das formas de se fazer retificação com alto fator de potência.

Existem diversas técnicas para a realização de um retificador com elevado fator de potência (FP)², amplamente difundidas na literatura [27][39][53][47][15][21]. A técnica mais adequada em cada caso é função da aplicação, custo e desempenho possíveis [15][47].

São encontrados na literatura diversos modos de se classificarem os diferentes retificadores, sob algum ponto de vista particular, assim como são encontrados diversos nomes para designar um mesmo objeto (circuito, partes, técnicas, etc.). Procurou-se adotar aqui a terminologia mais comumente encontrada na literatura consultada.

Podem-se caracterizar os retificadores [27] com relação a:

- Fluxo de energia: Unidirecional, quando a energia pode passar apenas no sentido CA/CC ou, Bidirecional, quando pode fluir em ambos os sentidos.
- Comutação das chaves: Comutado pela linha, quando a comutação se dá por imposição das tensões CA de entrada (diodos, tiristores), ou autocomutado, quando a comutação é devido à imposição do controle das chaves (GTOs, MOSFETs).
- Saída CC: Fonte de tensão, quando o retificador se comporta como uma fonte de tensão, ou fonte de corrente, quando se comporta como uma fonte de corrente, vistos da carga.

² Em todas as considerações sobre Fator de Potência FP neste texto, está-se considerando o FP 'total' ou 'verdadeiro' [16][9], assim definido: A razão da potência de entrada total em watts pelo produto tensão-corrente em volt-ampere (rms) de entrada total na carga.

- Filtro CA: filtro passivo, quando a filtragem da corrente de entrada é realizada por componentes passivos, ou filtro ativo, quando isto é realizado por componentes ativos, ou ainda, híbrido, quando coexistem os dois anteriores.
- Isolação: quando há isolamento elétrica (através de transformadores), em algum ponto, como entrada ou saída.
- Relação saída/entrada: Elevador de Tensão (*Boost*), quando o nível CC de saída é superior ao pico da tensão CA de entrada, ou Abaixador de Tensão (*Buck*), quando ocorre o inverso.
- Corrente de Entrada: descontínua, quando há picotamento ou chaveamento da forma de onda de corrente de modo que ela se anule em certos intervalos, ou contínua, em caso contrário.

Para aplicações em baixa potência, monofásicas, a referência [39] apresenta e compara experimentalmente algumas soluções, passivas e ativas para se obter alto FP, como:

- Retificador com ponte de diodos com capacitor no lado CA e filtro LC no lado CC.
- Retificador com ponte de diodos com capacitor no lado CC e filtro LC no lado CA (este circuito é discutido em detalhes, mostrando seus modos de operação, método de projeto e validação experimental).
- Retificador com dupla ponte de diodos.
- Retificador com ponte de diodos seguida por conversor CC-CC elevador.
- Retificador com ponte de diodos seguida por conversor CC-CC abaixador.

Com circuitos passivos pode-se alcançar um FP de 0,95, enquanto que com soluções ativas chega-se a um FP maior que 0,99, como mostrado em [39].

Atualmente uma solução muito empregada é o retificador a diodos em ponte completa juntamente com um conversor CC-CC elevador (*boost*), que apresenta bom desempenho a baixo custo [52] [55] [53] [39]. Tem-se nas referências [52] e [53] vários circuitos integrados comerciais para o controle do conversor CC-CC.

Para aplicações de maior potência (acima de 1kW), o retificador trifásico é comumente utilizado [53] [47], para não introduzir desbalanceamento na rede. A seguir são apresentadas idéias qualitativas de trabalhos publicados sobre técnicas de retificadores trifásicos com alto FP [27] [59] [44] [53] [65], em especial retificadores com conversores VSC (*voltage source converters*), assim como o utilizado neste trabalho, uma vez que os CSC (*current source converters*) são menos utilizados.

Assim como no caso monofásico, para os retificadores trifásicos também existem soluções passivas e ativas para a obtenção de alto FP.

Uma solução passiva é o retificador a diodos em ponte completa a 6k pulsos ($k=2,3,4,\dots$)[47] [28], para o qual o FP se aproxima da unidade com o aumento de n . É um retificador comutado pela rede extremamente robusto, simples (ausência de circuitos de medição, controle, fontes, etc), embora não possibilite a regulação da tensão CC, que se torna função do nível CA e dos parâmetros do transformador. As correntes de entrada possuem as harmônicas $p*n\pm 1$ (p =número de pulsos e n = número natural). Sua grande desvantagem é a necessidade de um transformador defasador de entrada, necessário para defasar as tensões de rede de 360° elétricos/ p (p =número de pulsos), que é um componente caro, e apresenta elevado volume [27].

Outra solução passiva é a filtragem (filtros tipo LC) do conteúdo harmônico de ordem superior das correntes de rede de um retificador em ponte de diodos de 6 pulsos. Como na solução anterior, é robusta e simples, mas apresenta o inconveniente dos filtros LC na entrada, que são volumosos, e interagem também com a rede CA e suas cargas.

Dentre as soluções ativas, existem muitas que utilizam o retificador em ponte a diodos de 6 pulsos seguido por um(s) conversor(es) CC-CC controlado (comum para o caso monofásico também), que possibilita a regulação da tensão CC e a modulação

das correntes de rede CA. Neste grupo estão os conversores Cuk, SEPIC, Zeta, Fly-back, etc. [47] [15] [21] [52] [53] [27].

Outra solução ativa é a ponte trifásica a diodos com realimentação de terceira harmônica [53] [27]. Este circuito foi originalmente apresentado como Retificador Minnesota (segundo [27]). Neste caso, a corrente que atravessa a ponte de diodos é modulada em três vezes a frequência da rede e realimentada para a entrada da ponte retificadora, através de transformadores especiais (zig-zag, wye-delta) ou outro filtro de terceira harmônica.

Ainda utilizando a ponte trifásica a diodos, outra família de soluções consiste em forçar a corrente desejada pelos indutores na entrada CA do retificador, impondo a tensão necessária na entrada da ponte retificadora (após os indutores). Para isso, são utilizadas chaves bidirecionais em tensão e corrente ligando o ponto central (médio) da saída CC à entrada da ponte de diodos. Esta técnica recebe os nome de Curi [53] e Multinível [27] [44], e possuem variações, operando o chaveamento em baixa [42] [42] ou alta frequência [44]. O controle adequado das chaves permite ainda a regulação da tensão CC de saída dentro de pequena faixa de operação. Tem-se [27] o retificador Vienna, que apresenta característica de funcionamento semelhante.

De modo geral, a operação dos conversores em baixa frequência (frequência da rede) exige volumosos componentes passivos (indutores e capacitores), embora exijam pouco das chaves (operam em baixa frequência, reduzindo as perdas por chaveamento), e não produzam ruídos. Estas características gerais mudam inversamente com o aumento da frequência de chaveamento do circuito: reduz-se o volume dos componentes passivos, tornando mais crítica a operação das chaves, devido ao aumento da dissipação de energia no processo de chaveamento e a geração de ruído eletromagnético. Com outra abordagem esta topologia aparece em [34], com o chaveamento na frequência da rede. Diferentemente, aqui os indutores de entrada e os capacitores do barramento CC são dimensionados para que ocorra ressonância entre eles, diminuindo o conteúdo harmônico de corrente para valores abaixo dos recomendados pela IEC 61000-3-4. Neste circuito os capacitores do circuito ressonante são de reduzido valor e aparece ainda outro capacitor no barramento CC

de valor elevado (metade dos capacitores do Curi para mesma ondulação, segundo os autores), para filtragem da ondulação. Assim, os autores propõem uma estrutura que pode ser utilizada para a melhoria dos retificadores já existentes, para adequá-los a níveis de poluição harmônica permitidos por normas. Outras vantagens são:

- Alta eficiência energética: redução das perdas de comutação em relação ao chaveamento em alta frequência.
- Simplicidade de indutores, chaves e circuito de controle, e conseqüentemente, baixo custo.
- Reduzidos indutores, em relação a soluções passivas, para mesmo resultado.
- Inexistência de ruídos de alta frequência, portanto, não há necessidade de filtros de EMI.

Algumas limitações:

- Existência de alto THD de corrente para cargas inferiores a nominais.
- Limitações de regulação da tensão CC: pequena faixa de regulação e impossibilidade de regulação em baixas cargas.

A topologia mais genérica de conversão CA-CC consiste na utilização de conversor trifásico em ponte completa com chaves controláveis [19] [38] [37] [19] [20] [63] [60] [65] [8] [67] [58] [13] [11] [32]. Com adequando controle do chaveamento da ponte podem-se absorver correntes senoidais em fase com as tensões de rede e regular a tensão CC de saída. Este circuito possibilita o controle total do fluxo de energia, em ambos os sentidos (desde que a tensão CC seja maior que o pico da tensão CA). Isso permite seu uso em situações em que há regeneração de carga, como alimentadores de motores, freios regenerativos, etc.

Pode-se citar ainda, como opção mais incomum, o conjunto denominado de híbrido em [59]. Os autores do trabalho chamam de híbrido um retificador composto por duas pontes VSC totalmente controladas a PWM, em paralelo: ponte principal e

ponte auxiliar. Pela ponte principal flui a energia retificada, operando em baixa frequência de chaveamento. A ponte auxiliar é encarregada de lapidar as formas de onda de corrente de entrada, com chaveamento em alta frequência. Esta topologia, operando com correntes de pequena amplitude onde não ocorre chaveamento de grandes correntes em alta frequência, permite reduzir sensivelmente interferências eletromagnéticas (EMI). Nota-se que o circuito auxiliar é, basicamente, um filtro ativo paralelo, onde podem ser compartilhados alguns circuitos, como o de sincronismo (PLL) e alguns sensores. Isso, segundo os autores, aumenta a resposta dinâmica do filtro, permitindo compensação de componentes harmônicas de ordens superiores.

3 RETIFICADOR ESTUDADO

Este capítulo descreve os subsistemas do retificador estudado, incluindo estratégias de modelagem e projeto.

O retificador foco deste estudo, que foi modelado, simulado computacionalmente e implementado experimentalmente, é um retificador trifásico, autocomutado, elevador de tensão (*boost*), bidirecional em potência, do tipo fonte de tensão, sem isolamento, com elevado FP, e está mostrado na Figura 3.1.

Na Figura 3.1 tem-se o circuito do conversor (do tipo fonte de tensão) conectado à rede através dos indutores de acoplamento (L). No lado CC têm-se os capacitores de filtro (C) e a carga ($CARGA$). Os capacitores no lado CC são utilizados para armazenamento de energia e filtragem da ondulação CC. Os indutores de entrada (L) servem para filtragem das correntes no lado CA.

O conversor trifásico é a três fios (sem o neutro), como mostrado na Figura 3.1. Os transistores da ponte conversora são chaveados em PWM por sinais gerados pelo circuito de controle a partir das grandezas medidas: tensões e correntes de linha (CA) e tensão CC. São utilizados a estratégia de dead-beat para controle da corrente no lado CA (descrito no item 3.2.1), e um controlador PI para regulação da tensão CC (descrito no item 3.2.2). O sincronismo com a rede CA é obtido por um algoritmo de PLL, mostrado no item 3.2.3.

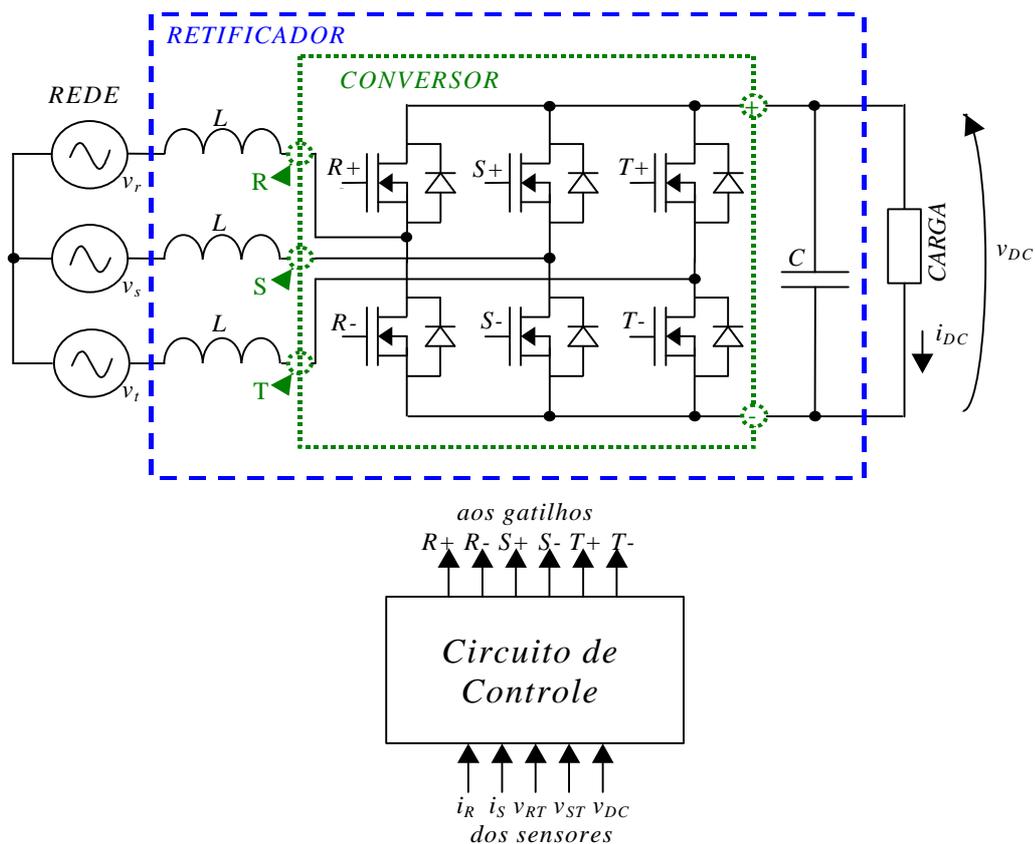


Figura 3.1: Retificador estudado.

3.1 MODELAGEM DO CONVERSOR FONTE DE TENSÃO (VSC)

É apresentado aqui o modelo matemático utilizado para o projeto e para as simulações.

Para a modelagem do retificador, tem-se o circuito equivalente mostrado na Figura 3.2. O terminal G2 não existe fisicamente, e está representado nesta figura para simplificar a modelagem do circuito equivalente. No conversor real (Figura 3.1) utilizou-se apenas um capacitor com valor C . Os transistores são considerados como chaves ideais.

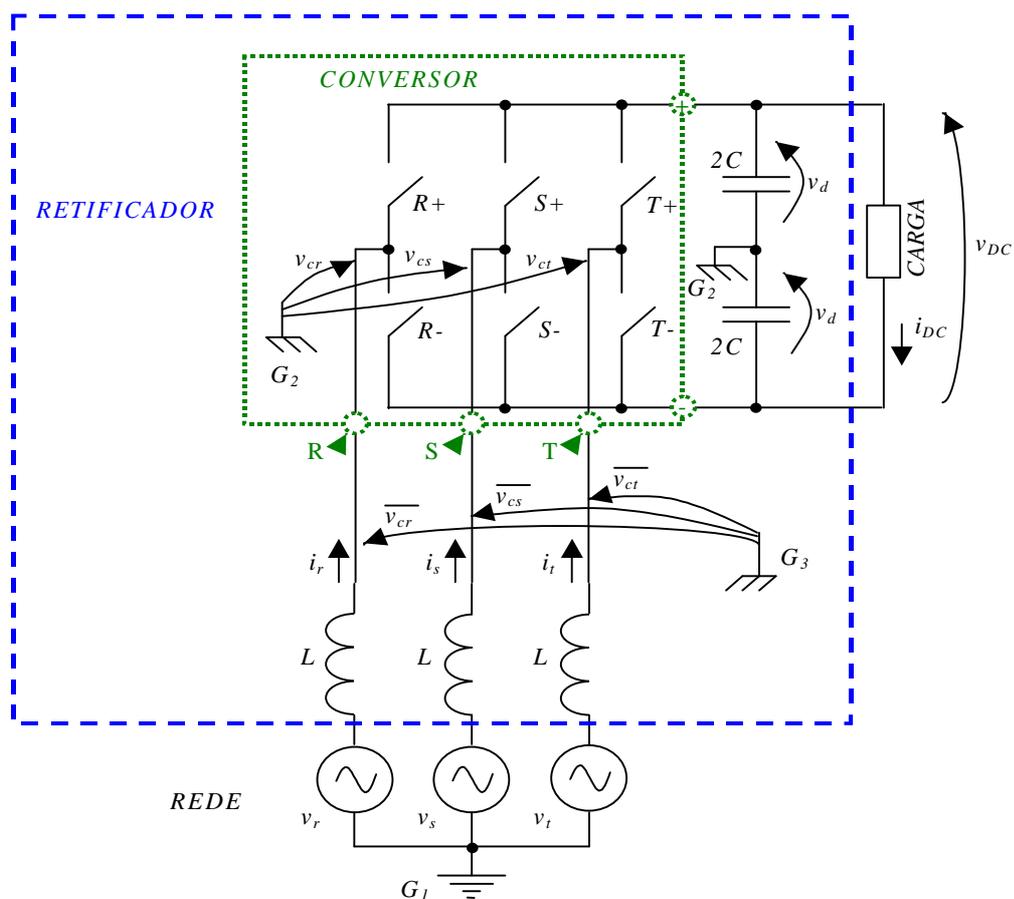


Figura 3.2: Modelo do VSC trifásico.

A modelagem do conversor é feita em duas partes. A primeira descreve o comportamento das correntes e tensões do lado CA em função da tensão v_{DC} . A segunda descreve o comportamento do lado CC em função das correntes de linha do lado CA. Desprezam-se as perdas no conversor e nos demais componentes.

3.1.1 LADO CA

Neste item tem-se a modelagem do lado CA do conversor.

Para o cálculo das correntes de linha, torna-se necessário o conhecimento das tensões entre os pontos R, S, T e G_1 . Sem perda de generalidade, podem-se substituir os conjuntos “fonte de tensão (rede) + indutor” de cada fase por três resistores Y ligados em estrela com ponto central G_1 , conforme a Figura 3.3. O conversor foi substituído por três fontes de tensão: v_{cr}, v_{cs}, v_{ct} . Estas tensões podem assumir os valores $-v_d$ ou $+v_d$, onde v_d é a tensão instantânea sobre o capacitor $2C$ na Figura 3.2.

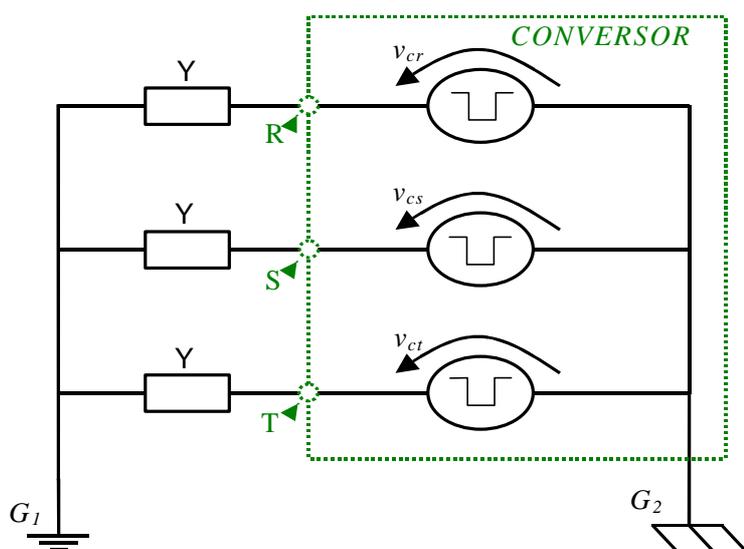


Figura 3.3: Modelo da entrada do conversor.

Define-se a tensão de **seqüência zero instantânea** (v_0) por:

$$v_0 = \frac{v_{cr} + v_{cs} + v_{ct}}{3}$$

Equação 1

Assim, v_0 pode assumir os valores $\pm v_d$ ou $\pm \frac{v_d}{3}$. Pode-se definir uma variável auxiliar, $\overline{v_{cr}}$, de acordo com a Equação 2. $\overline{v_{cs}}$ e $\overline{v_{ct}}$ são definidas de maneira análoga.

$$v_{cr} = \overline{v_{cr}} + v_0$$

Equação 2

Da Equação 1 e Equação 2, tem-se:

$$\overline{v_{cr}} + \overline{v_{cs}} + \overline{v_{ct}} = 0$$

Equação 3

Assim, $\overline{v_{cr}}, \overline{v_{cs}}, \overline{v_{ct}}$, satisfazendo a Equação 3, passam a ser denominadas componentes de seqüência balanceada das tensões v_{cr}, v_{cs}, v_{ct} [35]. A Figura 3.3 pode, portanto, ser redesenhada, resultando na Figura 3.4.

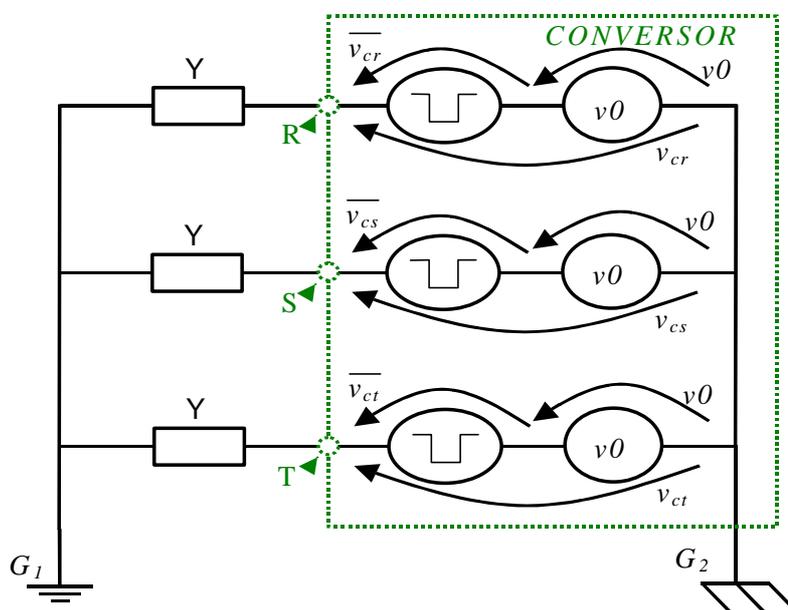


Figura 3.4: Modelo da entrada com as tensões divididas nas componentes de seqüência zero e balanceada.

Aplicando-se o teorema de deslocamento de fontes [51], obtém-se o circuito da Figura 3.5, onde aparece novo nó denominado por G_3 .

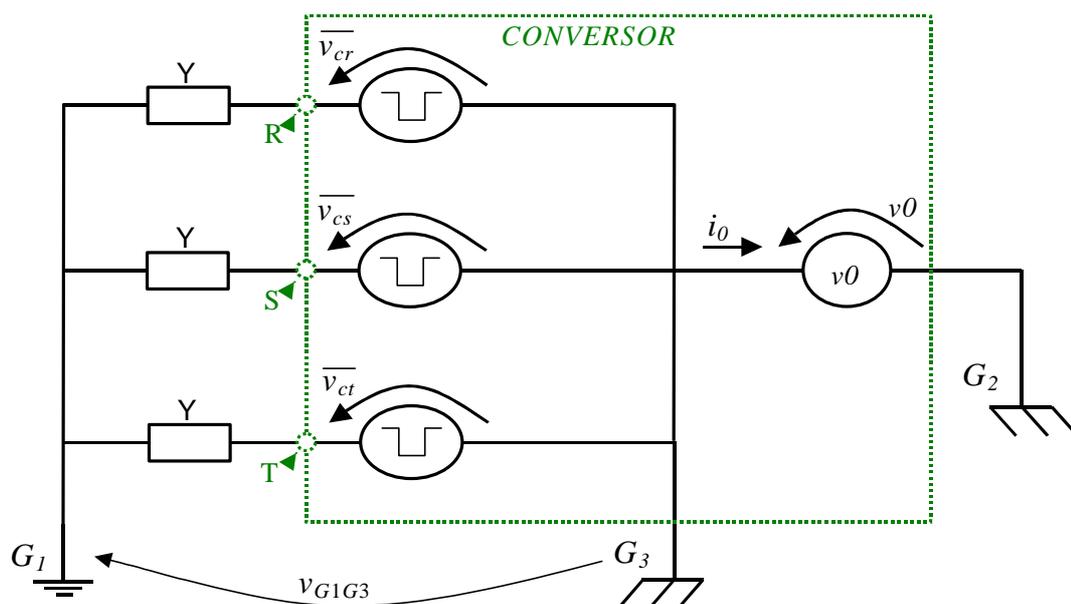


Figura 3.5: Modelo da entrada com as tensões divididas nas componentes de seqüência zero e balanceada.

Como o nó virtual G_2 não está conectado ao restante do circuito, a fonte v_0 não pode impor corrente ($i_0=0$). Assim, da Figura 3.5, tem-se:

$$i_0 = \frac{v_{G1G3} - \overline{v_{cr}}}{R} + \frac{v_{G1G3} - \overline{v_{cs}}}{R} + \frac{v_{G1G3} - \overline{v_{ct}}}{R} = 0$$

Equação 4

Da Equação 3 e Equação 4, vem:

$$3v_{G1G3} = \overline{v_{cr}} + \overline{v_{cs}} + \overline{v_{ct}} = 0 \Rightarrow v_{G1G3} = 0$$

Equação 5

A Equação 5 mostra que a diferença de potencial entre as referências G_1 e G_3 é nula instantaneamente, ou seja, para efeito de modelagem, podem-se conectar os nós G_1 e G_3 . Obtidas as tensões entre os pontos R, S, T e o nó G_1 , pode-se redesenhar o circuito da Figura 3.2, obtendo-se o circuito da Figura 3.6.

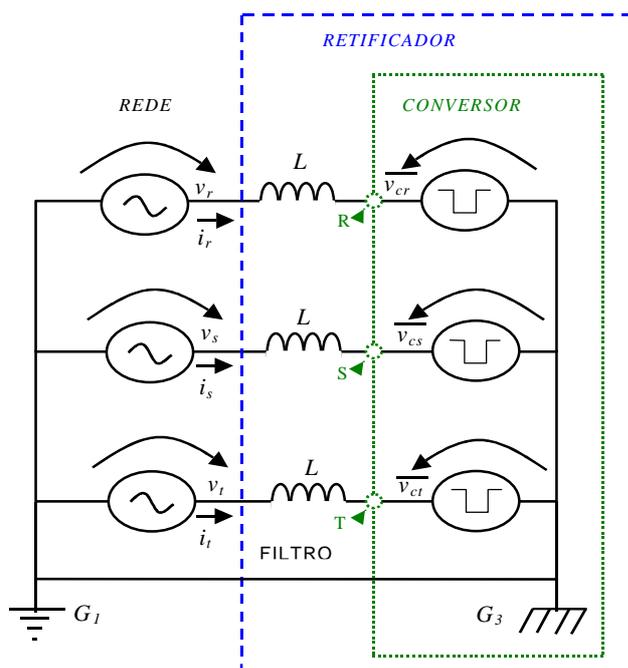


Figura 3.6: Modelo simplificado de entrada do VSC.

A corrente pode ser calculada para cada fase, sendo mostrada em forma matricial na Equação 6:

$$\frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \overline{\mathbf{V}}_c), \text{ Onde } \mathbf{I} = \begin{bmatrix} i_r \\ i_s \\ i_t \end{bmatrix}; \mathbf{V} = \begin{bmatrix} v_r \\ v_s \\ v_t \end{bmatrix}; \overline{\mathbf{V}}_c = \begin{bmatrix} \overline{v_{cr}} \\ \overline{v_{cs}} \\ \overline{v_{ct}} \end{bmatrix}.$$

Equação 6

Pode-se reescrever a Equação 6 em função das tensões reais v_{cr}, v_{cs}, v_{ct} e não das tensões virtuais $\overline{v_{cr}}, \overline{v_{cs}}, \overline{v_{ct}}$. A Equação 7 mostra a relação entre estes dois ternos de variáveis, $\overline{\mathbf{V}}_c$ e \mathbf{V}_c :

$$\begin{aligned}\overline{\mathbf{V}}_c &= \begin{bmatrix} \overline{v_{cr}} \\ \overline{v_{cs}} \\ \overline{v_{ct}} \end{bmatrix} = \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} - \begin{bmatrix} v_0 \\ v_0 \\ v_0 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} - \frac{1}{3} \cdot \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} = \\ &= \frac{1}{3} \cdot \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \cdot \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} = \mathbf{B} \cdot \mathbf{V}_c\end{aligned}$$

Equação 7

Substituindo a Equação 7 na Equação 6, obtém-se:

$$\frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \mathbf{B} \cdot \mathbf{V}_c), \text{ Onde } \mathbf{V}_c = \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix}; \mathbf{B} = \frac{1}{3} \cdot \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix}$$

Equação 8

As tensões v_{cr}, v_{cs}, v_{ct} na entrada do conversor podem assumir os valores $-v_d$ e $+v_d$, onde v_d é a tensão sobre o capacitor 2C na Figura 3.2. Pode-se redefinir \mathbf{V}_c conforme a Equação 9. Os índices de modulação instantâneos m_r, m_s e m_t podem assumir os valores -1 e $+1$.

$$\mathbf{V}_c = \begin{bmatrix} v_{cr} \\ v_{cs} \\ v_{ct} \end{bmatrix} = \begin{bmatrix} m_r \\ m_s \\ m_t \end{bmatrix} \cdot v_d, \text{ onde } \begin{bmatrix} m_r \\ m_s \\ m_t \end{bmatrix} = \mathbf{m}.$$

Equação 9

Substituindo a Equação 9 na Equação 8, o modelo do lado CA do retificador, em função da tensão v_d fica:

$$\frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \mathbf{B} \cdot \mathbf{m} \cdot v_d)$$

Equação 10

3.1.2 LADO CC

Neste item tem-se a modelagem do lado CC do conversor.

A Figura 3.7 ilustra o funcionamento do braço ‘R’ do conversor, com a operação das chaves superior e inferior controladas pelo índice de modulação m_r (Equação 9), mostrando a relação entre as correntes i_r^+ , i_r^- e a corrente de rede i_r .

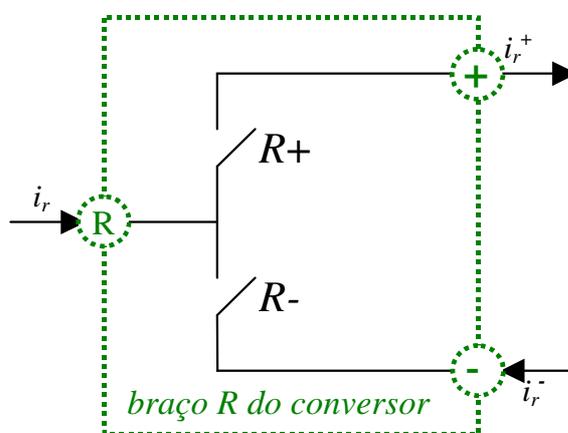


Figura 3.7: Conversor monofásico obtido a partir do braço R do conversor da Figura 3.2.

Da Figura 3.7 vem:

$$i_r^+ = \left(\frac{m_r + 1}{2} \right) i_r$$

$$i_r^- = \left(\frac{m_r - 1}{2} \right) i_r$$

Equação 11

A Figura 3.8 traz o conversor trifásico completo, modelado como o somatório de três monofásicos (Figura 3.7). A corrente i^+ total na saída CC do conversor é dada por:

$$i^+ = \left(\frac{m_r + 1}{2}\right) \cdot i_r + \left(\frac{m_s + 1}{2}\right) \cdot i_s + \left(\frac{m_t + 1}{2}\right) \cdot i_t$$

Equação 12

Como a rede CA é do tipo trifásico a três fios, vale $i_r + i_s + i_t = 0$, resultando em:

$$i^+ = \left(\frac{m_r}{2}\right) \cdot i_r + \left(\frac{m_s}{2}\right) \cdot i_s + \left(\frac{m_t}{2}\right) \cdot i_t$$

Equação 13

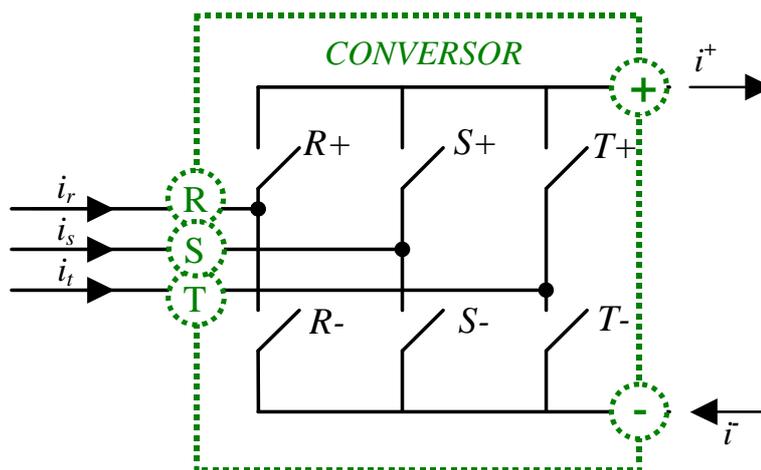


Figura 3.8: Modelo do VSC trifásico.

A Equação 13 sugere o modelo mostrado na Figura 3.9, para a análise CC do VSC. O conversor PWM está representado pelas fontes de corrente $\frac{m_r}{2} \cdot i_r$, $\frac{m_s}{2} \cdot i_s$ e $\frac{m_t}{2} \cdot i_t$, e a carga genérica por outra fonte de corrente (i_{DC}). Sendo v_{DC} a tensão CC de saída.

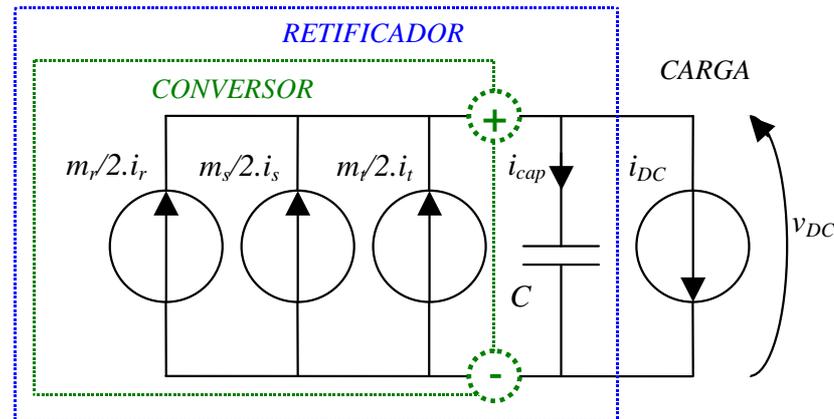


Figura 3.9: Modelo simplificado do VSC, lado CC

Da Figura 3.9, tem-se:

$$\frac{dv_{DC}}{dt} = \frac{1}{C} i_{cap} = \frac{1}{C} \left(\frac{m_r}{2} \cdot i_r + \frac{m_s}{2} \cdot i_s + \frac{m_t}{2} \cdot i_t - i_{DC} \right) = \frac{1}{C} \left(\frac{1}{2} \mathbf{I}^t \cdot \mathbf{m} - i_{DC} \right)$$

Equação 14

Portanto, da Equação 10 e da Equação 14, tem-se o sistema de equações diferenciais não linear que descreve o retificador:

$$\begin{cases} \frac{d\mathbf{I}}{dt} = \frac{1}{L} \cdot (\mathbf{V} - \mathbf{B} \cdot \mathbf{m} \cdot v_d) \\ \frac{dv_{DC}}{dt} = \frac{1}{C} \left(\frac{1}{2} \mathbf{I}^t \cdot \mathbf{m} - i_{DC} \right) \end{cases}$$

Equação 15

Este sistema é não linear devido aos produtos $\mathbf{m} \cdot v_d$ e $\mathbf{I}^t \cdot \mathbf{m}$, ou seja, os estados do sistema (v_d , \mathbf{I}^t) aparecem multiplicados pelas suas entradas (m_r , m_s , m_t). Nota-se da Equação 15 que se v_d ou \mathbf{I}^t forem constantes, o sistema se torna linear, o que permite incluí-lo na classe denominada por sistemas bilineares [48].

3.2 SISTEMA DE CONTROLE

O objetivo do sistema de controle do retificador é impor correntes de entrada senoidais e em fase com as tensões CA, além de manter a tensão CC de saída regulada. Este item descreve as estratégias de controle que permitem que estes dois objetivos sejam alcançados, além dos blocos do modulador PWM e do sistema de sincronismo PLL.

Os sinais de gatilho da ponte conversora (Figura 3.1) são obtidos a partir das grandezas elétricas medidas (tensões e correntes) e das leis de controle utilizadas para conseguir regular a tensão CC e impor correntes senoidais e em fase com a rede CA.

A Figura 3.10 mostra um diagrama em blocos do retificador, com maiores detalhes do sistema de controle, como o bloco de PLL, que gera os sinais de referência senoidais de amplitude unitária $\overline{v_r}, \overline{v_s}, \overline{v_t}$ sincronizados com as tensões de entrada v_r, v_s, v_t . O bloco PWM gera os sinais de gatilho dos transistores do conversor (m_r, m_s, m_t) a partir das tensões de referência a serem impostas na entrada do conversor (v_{cref}). O controlador de tensão CC gera a amplitude da corrente de referência (I_{ref}) necessária para obter a tensão CC igual à referência (v_{DCref}). O controlador de correntes CA produz as tensões de referência (v_{cref}) a partir da amplitude de corrente (I_{ref}) modulada pelas referências senoidais geradas pelo PLL ($\overline{v_r}, \overline{v_s}, \overline{v_t}$) e das correntes de linha reais (i_r, i_s, i_t).

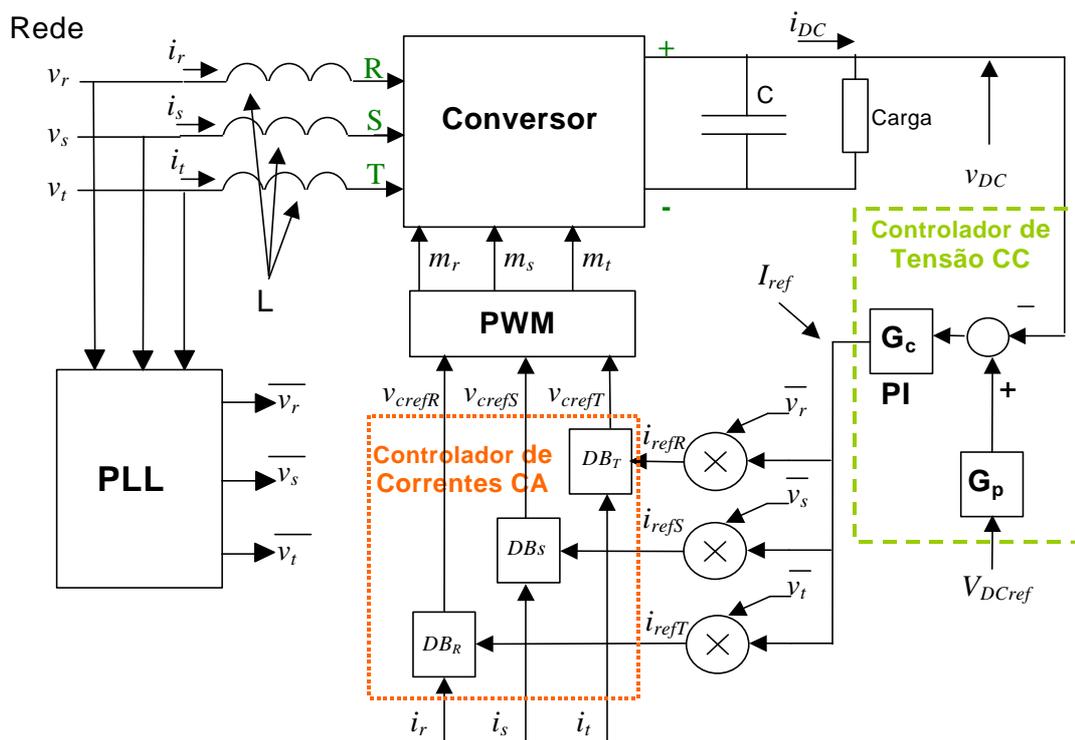


Figura 3.10: Diagrama em blocos do sistema.

Para rastreamento das correntes CA de entrada é utilizada a estratégia de controle conhecida por *dead-beat* [26][29][5][22][23]. A tensão de saída CC é regulada através de um controlador proporcional-integral (PI), dentro dos limites operacionais do conversor. Têm-se, assim, malhas de controle de corrente e tensão separadamente, como aparecem também nas referências [55] [29] [5] [14] [40] [24] [25].

O item a seguir discute o controle das correntes de rede, descreve a estratégia utilizada, mostrando sua modelagem, e por fim discute a estabilidade deste controlador. A técnica de PWM utilizada também é discutida neste item.

O item seguinte (3.2.2) aborda o regulador de tensão CC. É levantada a função de transferência do retificador e mostrada sua linearização, seguida do método de projeto do controlador e cálculo dos parâmetros de controle.

O último item mostra o bloco PLL, responsável pelo sincronismo das correntes do lado CA e dos instantes de amostragem e chaveamento com as tensões da rede.

3.2.1 CONTROLE DA CORRENTE NO LADO CA

Este item aborda a estratégia de controle da corrente de entrada do conversor, sua estabilidade e sua relação com o bloco PWM. Discutem-se a opção pelo controle escalar (ao invés do vetorial) e a estratégia de controle dead-beat.

Sabe-se que existe um acoplamento entre as entradas do sistema (m_r, m_s, m_t) e as correntes de linha (i_r, i_s, i_t), causado pela matriz \mathbf{B} (Equação 8). Isto dificulta a utilização de estratégias do tipo histerese individualmente para cada fase [35] [30] [56] [33]. Soluções viáveis exigem que o acoplamento causado por \mathbf{B} seja levada em conta no projeto do controlador [49] [35]. Este problema não ocorre para moduladores PWM baseados em portadora triangular [35], permitindo que sejam utilizados três controladores independentes, ou seja, um por fase.

O modo mais direto de se representarem as variáveis do lado CA é na forma escalar, como realizado no item 3.1. Assim, o controle das correntes CA é realizado por três malhas, como mostrado na Figura 3.10. Outro modo de representar estas variáveis é por vetores espaciais. Como este retificador é trifásico a três fios, as grandezas do lado CA (três correntes e três tensões) podem ser representadas por vetores espaciais bidimensionais [35], reduzindo a duas as malhas de controle das correntes.

Utilizando-se a representação no sistema de coordenadas girantes, obtém-se a vantagem adicional de transformar um problema de rastreamento em um problema de regulação. Alguns casos que utilizam a transformação em vetores espaciais são descritos nas referências [6], [44], [63], [65], [64], [32], [60], [8].

No caso aqui implementado, o DSP disponível no LEP/EPUSP (ADMC-401 [1], Analog Devices [2]) já possui um bloco físico gerador de PWM escalar³, ou seja, não demanda carga computacional. Assim, para o uso da representação em vetores espaciais, existem dois caminhos: realizar no final outra transformação de vetorial

³ PWM escalar é considerado aqui como três PWM triangulares monofásicos independentes.

para escalar, ou realizar a geração do PWM vetorial, ambas implicando em aumento da carga computacional. Como as grandezas são medidas (e não estimadas), seria necessária a transformação de coordenadas para cada uma delas, aumentando consideravelmente o trabalho computacional.

Considerando ainda que a representação vetorial não agrega facilidades para o controle por rastreabilidade utilizado aqui, a única desvantagem da representação escalar é a necessidade de se executarem três rotinas de controle das correntes, implicando em maior carga computacional. Assim, estima-se que os esforços computacionais com o uso da representação vetorial ou escalar sejam equivalentes.

Considerando-se ainda que o desempenho do PWM vetorial é igual ao do PWM triangular com injeção de sinal de seqüência zero otimizado [41] [62] [4], optou-se pelo controle escalar, ou seja, três controladores de correntes monofásicas independentes.

Para a malha de corrente optou-se pela estratégia dead-beat, por oferecer boa capacidade de rastreamento quando comparada às outras estratégias [5] [6] [19] [22] [23] [24] [25] [29] [32] [35], apresentar frequência de chaveamento constante e ser facilmente implementada digitalmente.

3.2.1.1 ESTRATÉGIA TIPO DEAD-BEAT

Aqui são mostrados o princípio de funcionamento da estratégia dead-beat e sua modelagem. É apresentada também a estratégia de PWM utilizada.

O funcionamento da estratégia de controle da corrente (*dead-beat*) é mostrada esquematicamente na Figura 3.12 para uma fase. Esta estratégia consiste em zerar o

erro no instante de amostragem $k+1$, independentemente do erro existente no instante anterior k . Para isso, em cada fase, deve-se impor $v_c(k)$ que leve a:

$$i(k+1) = i_{ref}(k+1)$$

Equação 16

Da Figura 3.6, para cada uma das fases, tem-se:

$$\frac{di}{dt} = \frac{1}{L} \cdot (v - \overline{v_c})$$

Equação 17

Integrando, obtém-se:

$$\int_{i(k)}^{i(k+1)} di = \frac{1}{L} \cdot \int_{t(k)}^{t(k+1)} (v - \overline{v_c}) dt = \frac{1}{L} \cdot \left(\int_{t(k)}^{t(k+1)} v \cdot dt - \int_{t(k)}^{t(k+1)} \overline{v_c} \cdot dt \right)$$

Equação 18

A integral da tensão v pode ser aproximada por $v(k) \cdot \Delta$, onde Δ é o período de amostragem. Isto vale para valores de Δ tais que seja pequena a variação da tensão v dentro deste intervalo.

O bloco PWM garante que o valor médio de $\overline{v_c}$ seja igual ao valor médio de v_{cref} , que é constante durante o intervalo Δ . Reescrevendo a Equação 18 obtém-se:

$$i(k+1) - i(k) = \frac{1}{L} \cdot (v(k) \cdot \Delta - v_{cref}(k) \cdot \Delta)$$

Equação 19

Substituindo na Equação 16, fica:

$$i_{ref}(k+1) = i(k) + \frac{1}{L} \cdot (v(k) - v_{cref}(k)) \cdot \Delta$$

Equação 20

A tensão necessária na entrada do conversor, para impor $i(k+1) = i_{ref}(k+1)$ é dada por:

$$v_{cref}(k) = -\frac{L}{\Delta} \cdot (i_{ref}(k+1) - i(k)) + v(k)$$

Equação 21

A referência de corrente é gerada internamente multiplicando-se o sinal de saída do controlador de tensão CC (I_{ref}) pelos sinais de saída do PLL ($\overline{v_r}$, $\overline{v_s}$, $\overline{v_t}$). Deste modo, torna-se possível, para a operação em regime, estimar o valor futuro (em $k+1$) a partir dos valores de $\overline{v_r}$, $\overline{v_s}$, $\overline{v_t}$ em $k+1$, e das “tabelas de senos”, multiplicando-os por $I_{ref}(k)$. O tempo finito de cálculo do processador faz com que o valor de $v_{cref}(k)$ somente esteja acessível no meio do intervalo $t_k \sim t_{k+1}$, impedindo que o PWM seja atualizado neste ciclo. Assim, $v_{cref}(k)$ será aplicado no instante t_{k+1} com sérias implicações para a estabilidade da malha, para baixas frequências de amostragem (comparadas à frequência da rede) e serão analisadas no item 3.2.1.2.

A forma mais simples e usual de realizar a modulação por largura de pulso é a partir de uma portadora com forma de onda dente-de-serra, como mostrado na Figura 3.11. Neste caso, o pulso retangular gerado é coincidente com o início (ou fim) do ciclo. Vários circuitos integrados comerciais para geração de PWM [61] e vários microcontroladores que dispõem de PWM [61] [43], utilizam essa técnica. A Figura 3.11 mostra o comportamento da corrente no intervalo entre as amostragens quando se aplica o controlador de corrente do tipo dead-beat. Nota-se que a corrente está sempre acima da referência neste intervalo, causando um erro de rastreamento que inviabiliza a aplicação da estratégia dead-beat. Se a inclinação da rampa for invertida, desloca-se o pulso positivo (negativo) para a esquerda (direita) dentro do intervalo de chaveamento, fazendo com que a corrente (i) fique sempre abaixo da referência. Notar pela Figura 3.12, que utiliza pulso centrado, a existência de porções da corrente acima e abaixo da referência durante o ciclo de chaveamento, melhorando o desempenho do controle de rastreamento.

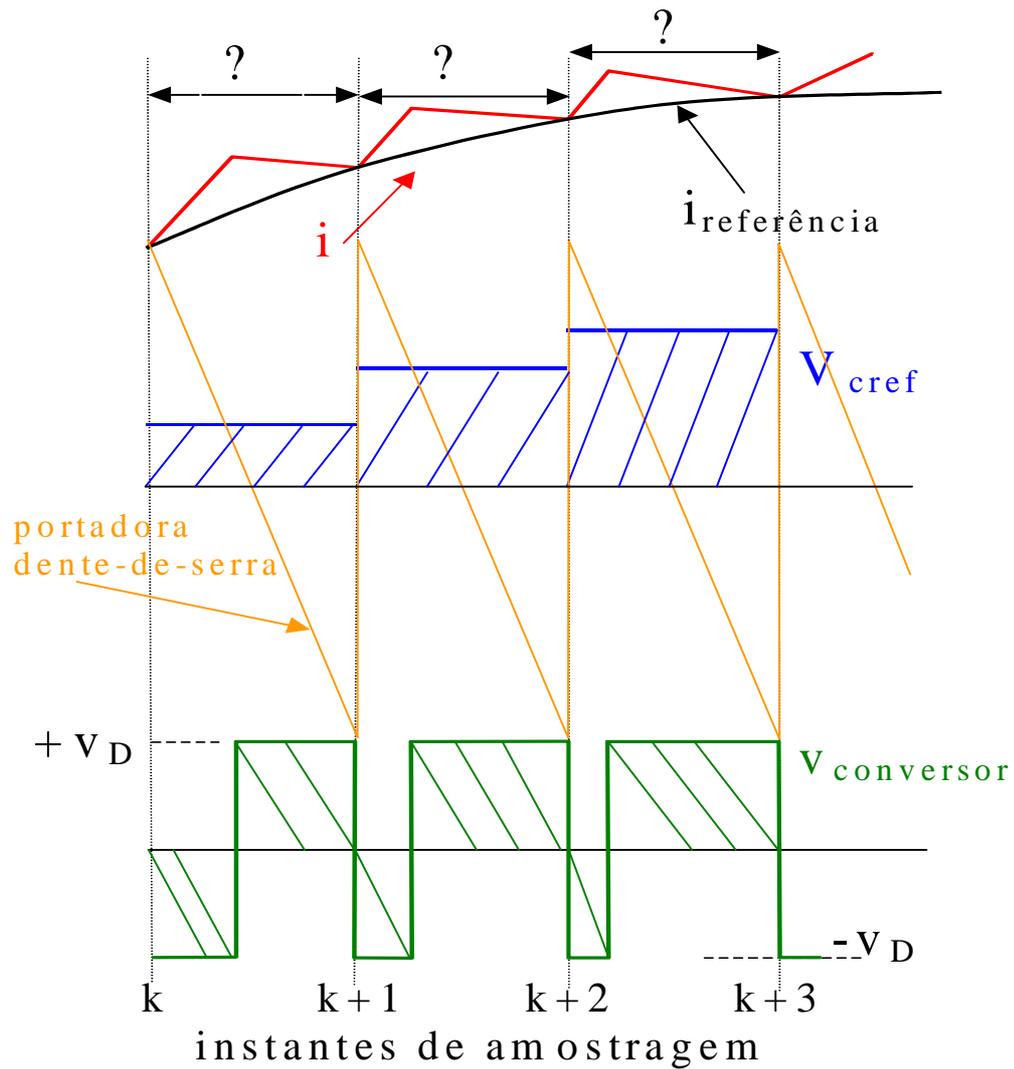


Figura 3.11: Comportamento do controle por *dead-beat* com PWM não centrado.

A Figura 3.12 ilustra o princípio de funcionamento do PWM utilizado, para uma fase. É um PWM com portadora triangular e amostragem assimétrica. A utilização de portadora triangular força pulsos centrados no intervalo de chaveamento.

A portadora triangular é modulada pela referência v_{cref} , que é calculada a cada intervalo de amostragem pela malha de corrente. Na amostragem assimétrica [35] o sinal modulador é amostrado duas vezes por ciclo de chaveamento, permitindo que no segundo intervalo do ciclo se tenha nova referência modulante. Como consequência, o controlador pode atuar duas vezes por ciclo de chaveamento, com grande melhora no desempenho dinâmico do sistema, comparado ao PWM com

amostragem simétrica, onde o intervalo de amostragem coincide com o de chaveamento. Para isso, o processador deve executar o algoritmo em um intervalo de tempo inferior à metade do período de chaveamento.

O pulso PWM assimétrico impõe uma transição por braço do conversor por intervalo de amostragem, levando a uma frequência de chaveamento que é metade da frequência de amostragem, reduzindo também à metade as perdas de energia no chaveamento.

O período do intervalo de amostragem não é fixo, sendo recalculado a cada ciclo da rede pelo bloco PLL, como detalhado no item 3.2.3.

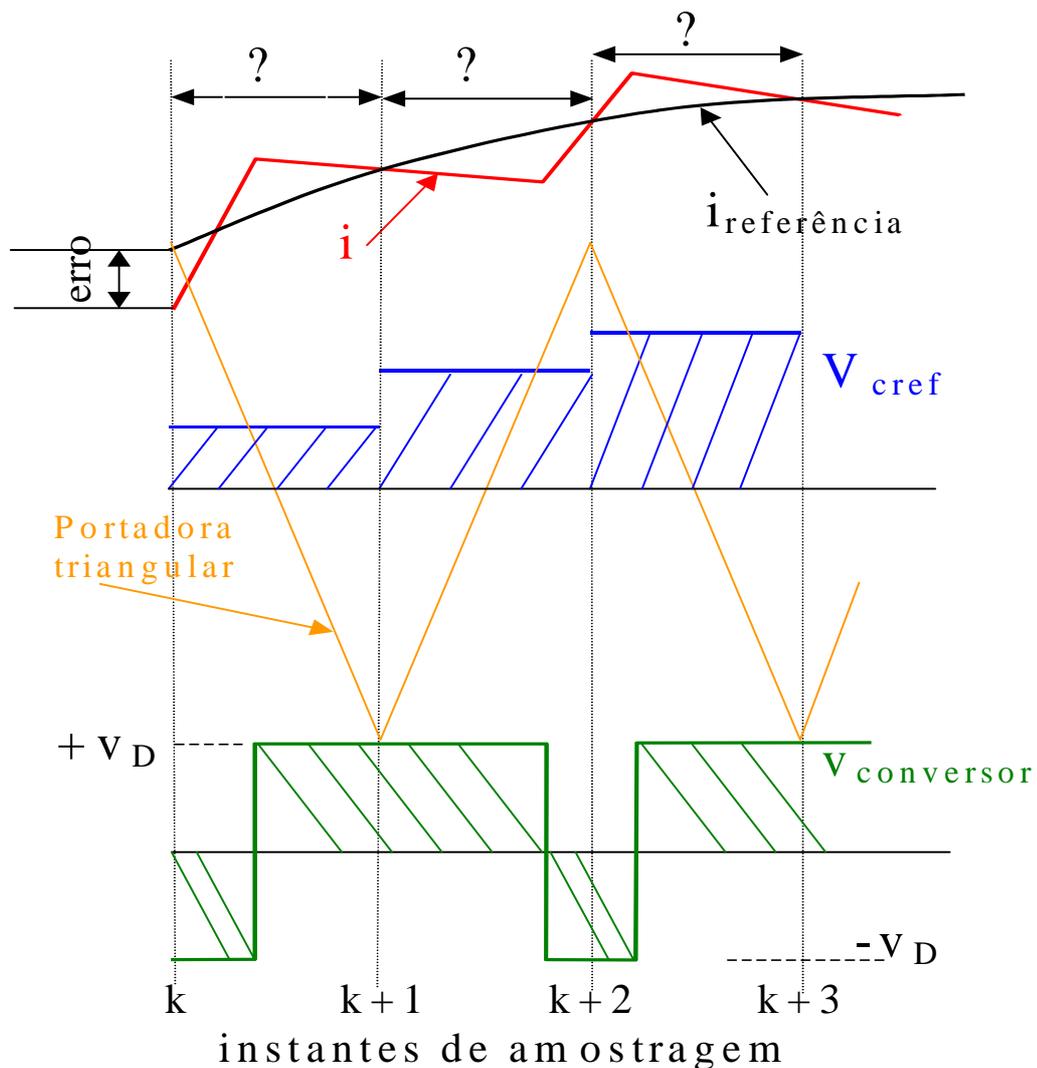


Figura 3.12: Comportamento do controle por *dead-beat* com PWM centrado.

3.2.1.2 ESTABILIDADE DO CONTROLADOR DE CORRENTE

Discutem-se os limites de estabilidade e a robustez do controlador por dead-beat empregado para o rastreamento das correntes CA no conversor chaveado em PWM.

O estudo da robustez de controladores baseados na estratégia dead-beat já foi abordado por [5] e [23]. Deseja-se saber o que ocorre com a estabilidade e com o desempenho do sistema quando os parâmetros do modelo da planta diferem da planta real, tais como a impedância da rede CA [6] e a impedância do filtro de acoplamento [23], o que pode ser agravado com o uso de estimadores da tensão de rede [32].

Neste trabalho o modelo da planta considera a rede ideal, com impedância nula, como mostrado na Figura 3.13. O filtro de acoplamento é composto apenas pela indutância L e a tensão de rede é medida, e não estimada. Investiga-se a seguir a estabilidade do controlador com a variação da indutância L .

Buso, S., in [5], [6] e [32] estudou o limite de estabilidade de um controlador de corrente dead-beat, com horizonte de cálculo futuro de dois passos. Kawamura, A. et al [23], estudou este limite para o dead-beat operando como controlador de tensão senoidal de um inversor com filtro LC de 2^a ordem.

Neste trabalho, a malha de corrente opera com horizonte de cálculo futuro de um passo, o que a diferencia das anteriores, não valendo os limites de estabilidade verificados nos trabalhos acima citados. Como, por limitação física, o controlador implementado em um DSP (processador digital de sinais) atua com um passo de atraso, os novos limites de estabilidade devem ser investigados.

Para se verificar o limite de estabilidade deste controlador, tem-se a seguir o cálculo do lugar geométrico dos pólos de malha fechada para variação no valor da indutância de acoplamento L .

O modelo por fase do conversor (Figura 3.13) é descrito pela Equação 22:

$$\frac{di}{dt} = \frac{1}{L} \cdot (v - v_c)$$

Equação 22

O conversor é representado por uma fonte de tensão ($v_c(k)$) controlada pela tensão $v'_c(k)$ ($v_c(k) = v'_c(k)$). ZOH é o amostrador com retentor de ordem zero.

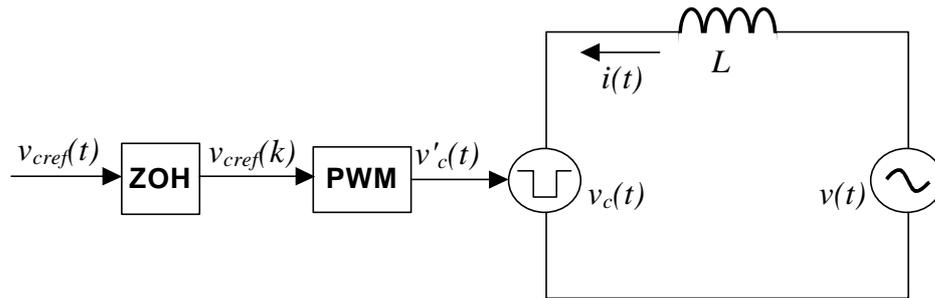


Figura 3.13: Modelo por fase do conversor.

Discretizando-se a Equação 22 com o intervalo de amostragem Δ , obtém-se a Equação 23:

$$i(k+1) = i(k) + \frac{1}{L} \int_{t_k}^{t_{k+1}} (v - v_c) dt = i(k) + \frac{1}{L} \int_{t_k}^{t_{k+1}} (v) dt - \frac{1}{L} \int_{t_k}^{t_{k+1}} (v_c) dt$$

Equação 23

Aproximando-se a integral da tensão de rede pela área do trapezóide de altura Δ , e introduzindo-se uma variação α no indutor L , obtém-se a Equação 24. L é o valor adotado para o projeto do controlador dead-beat e αL é o valor real do indutor.

$$i(k+1) = i(k) + \frac{1}{\alpha \cdot L} \left(\frac{v(k) + v(k+1)}{2} \right) \cdot \Delta - \frac{1}{\alpha \cdot L} \int_{t_k}^{t_{k+1}} (v_c) dt$$

Equação 24

Pela Figura 3.13, verifica-se que a média local⁴ de $v_c(k)$ e $v_{cref}(k)$ são iguais. Se o indutor for ideal, pode-se afirmar que as correntes nos instantes de amostragem são iguais tanto para $v_c(k)=v'_c(k)$ (forma de onda PWM), como para $v_c(k)=v_{cref}(k)$ (forma de onda ZOH). Será assumido indutor com baixas perdas, para que se possa desprezar o efeito do bloco PWM, permitindo que a Equação 24 seja reescrita como:

$$i(k+1) = i(k) + \frac{1}{\mathbf{a} \cdot L} \left(\frac{v(k) + v(k+1)}{2} - v_{cref}(k) \right) \cdot \Delta$$

Equação 25

A estratégia de controle dead-beat empregado (item 3.2.1.1, Equação 21), é definida por:

$$v_{cref}(k) = -\frac{L}{\Delta} \cdot (i_{ref}(k+1) - i(k)) + v(k)$$

Equação 26

No caso real, com o controlador atuando no instante de amostragem seguinte, tem-se:

$$v_{cref}(k) = -\frac{L}{\Delta} \cdot (i_{ref}(k) - i(k-1)) + v(k-1)$$

Equação 27

Substituindo a Equação 27 na Equação 24, tem-se a equação de malha fechada:

$$\begin{aligned} i(k+1) &= i(k) + \frac{1}{\mathbf{a} \cdot L} \left(\frac{v(k) + v(k+1)}{2} + \frac{L}{\Delta} \cdot (i_{ref}(k) - i(k-1)) - v(k-1) \right) \cdot \Delta \\ &= i(k) - \frac{i(k-1)}{\mathbf{a}} + \frac{i_{ref}(k)}{\mathbf{a}} + \frac{1}{\mathbf{a} \cdot L} \left(\frac{v(k) + v(k+1)}{2} - v(k-1) \right) \cdot \Delta \end{aligned}$$

Equação 28

⁴ Média local é definida aqui como sendo o valor médio de uma variável entre dois instantes de amostragem consecutivos.

A 4ª parcela da Equação 28 corresponde ao comportamento da corrente $i(k)$ em função da tensão de rede $v(k)$, ou seja, $v(k)$ é tratada como uma perturbação. Desprezando-se esta perturbação de tensão, obtém-se:

$$i(k) = i(k-1) - \frac{i(k-2)}{\mathbf{a}} + \frac{i_{ref}(k-1)}{\mathbf{a}}$$

Equação 29

Aplicando-se a transformada z à Equação 29 no domínio do tempo, obtém-se a Equação 30

$$I(z) = I(z) \cdot z^{-1} - \frac{I(z) \cdot z^{-2}}{\mathbf{a}} + \frac{I_{ref}(z) \cdot z^{-1}}{\mathbf{a}}$$

Equação 30

Da Equação 30 obtém-se a função de transferência de malha fechada, dada pela Equação 31:

$$\frac{I(z)}{I_{ref}(z)} = \frac{z}{\mathbf{a} \cdot z^2 - \mathbf{a} \cdot z + 1}$$

Equação 31

Os pólos da Equação 31 são: $z = \frac{1 + \sqrt{1 - \frac{4}{\mathbf{a}}}}{2}$ e $z = \frac{1 - \sqrt{1 - \frac{4}{\mathbf{a}}}}{2}$. Para $\alpha=1$ (indutor real igual ao de projeto), o módulo de z vale 1, ou seja, o sistema é oscilatório com amortecimento nulo. Para $\alpha < 1$ (indutor real menor que o de projeto), o módulo de z é maior que 1, ou seja, o sistema é instável. Para $\alpha > 1$ (indutor real maior que o de projeto), o módulo de z é menor que 1, ou seja, o sistema é estável. A Figura 3.14 mostra a variação da localização dos pólos do sistema em malha fechada em função do valor de α . Nota-se que o efeito do atraso na imposição da atuação $v_c(k)$ faz com que o controlador de corrente não obedeça ao critério dead-beat, que impõe pólos de malha fechada na origem ($z=0$).

Para $1 < \alpha < 4$, os pólos da Equação 31 distam $\frac{1}{a}$ da origem. Assim, pode-se desenvolver a Equação 32, que relaciona a frequência natural amortecida com a frequência de amostragem, e a Equação 33, do coeficiente de amortecimento (?):

$$\frac{w_d}{w_a} = \frac{\arctg \sqrt{\frac{4-a}{a}}}{2 \cdot p}$$

Equação 32

$$z = \frac{\ln a}{\sqrt{(\ln a)^2 + \arctg^2 \sqrt{\frac{4-a}{a}}}}$$

Equação 33

A Figura 3.15 mostra gráficos do amortecimento (? - Equação 33) e de $\frac{w_d}{w_a}$ (Equação 32) em função de α , para $1 < \alpha < 4$. Para $\alpha=1$, tem-se o amortecimento nulo, e $w_d = \frac{1}{6} w_a$. Esta oscilação, que não é característica do conversor e é introduzida pelo controlador, aparece nas simulações: A Figura 4.6, a Figura 4.8 e a Figura 4.12 apresentam ondulação de $1/6$ da frequência de amostragem. A Figura 4.9 e Figura 4.13 mostram este harmônico, juntamente com os componentes característicos de um modulador PWM com portadora triangular.

Para $\alpha > 1$ o sistema se torna estável, com oscilação amortecida, ocorrendo atenuação e defasagem na fundamental de corrente.

Portanto, tem-se que, para este modelo, com $\alpha < 1$ o sistema é instável. Entretanto, na verdade isso não ocorre, o limite é mais amplo, como provado no item 4.3.

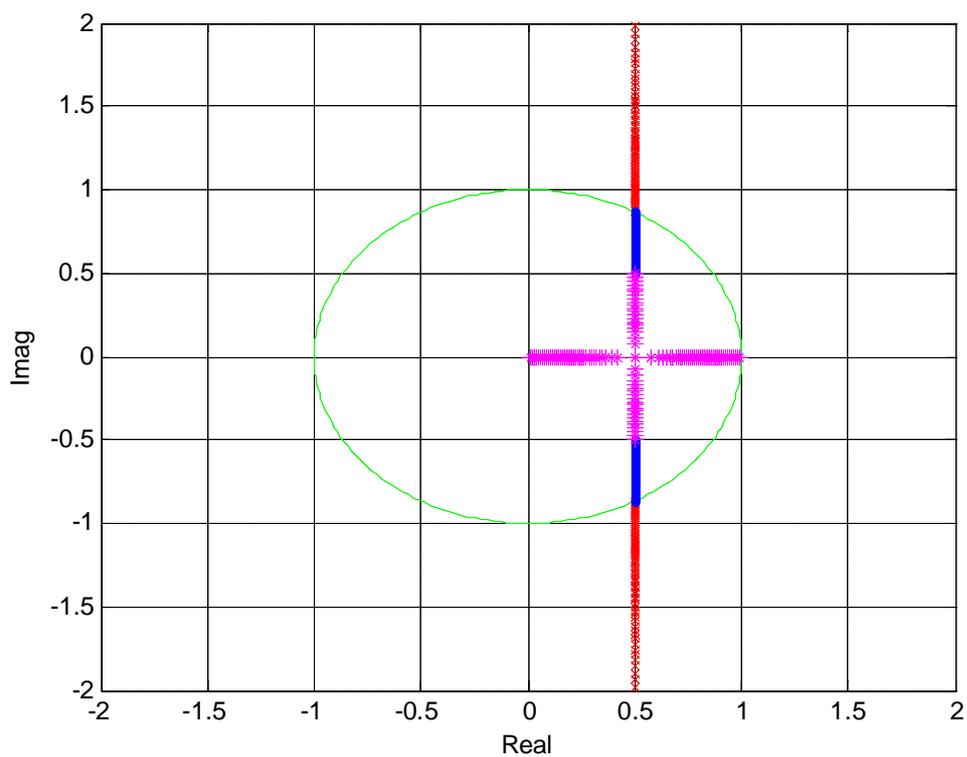


Figura 3.14: Pólos em MF para α variável:

Na cor vermelha: $0 \leq \alpha \leq 1$ (sistema instável);

Na cor azul: $1 < \alpha \leq 2$;

Na cor rosa: $2 < \alpha \leq 100$.

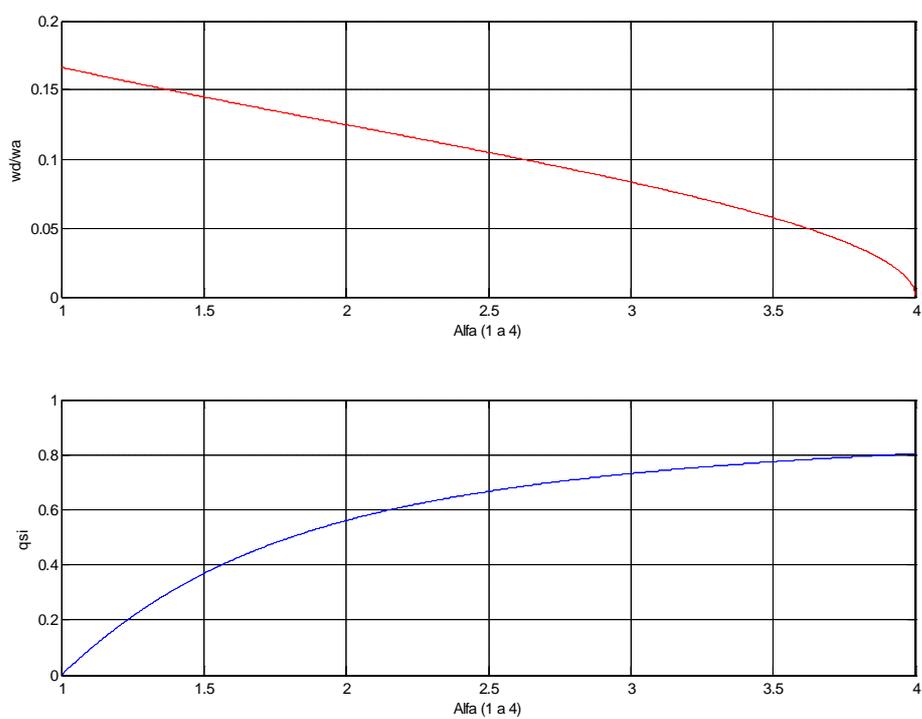


Figura 3.15: ω_d/ω_a e ζ , para $1 < \alpha < 4$

3.2.2 CONTROLE DA TENSÃO NO LADO CC

Este item mostra o projeto do regulador da tensão CC de saída do conversor. Tem-se a estratégia de controle, a função de transferência da planta e sua linearização, e o projeto do controlador. Finalizando, tem-se uma análise da robustez do controlador.

3.2.2.1 FUNÇÃO DE TRANSFERÊNCIA DO RETIFICADOR

Tem-se a modelagem da função de transferência da planta e sua linearização para posterior projeto do controlador.

A Figura 3.16 mostra um modelo com entradas e saídas do conversor. Considerando desprezível a potência dissipada no conversor, no capacitor e no indutor, tem-se:

$$v_r \cdot i_r + v_s \cdot i_s + v_t \cdot i_t = i_r \cdot v_{Lr} + i_s \cdot v_{Ls} + i_t \cdot v_{Lt} + v_{DC} \cdot i_{cap} + v_{DC} \cdot i_{DC}$$

Equação 34

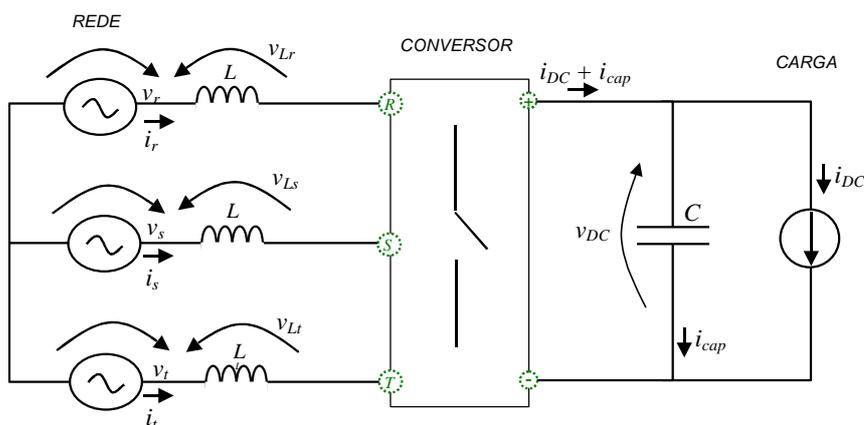


Figura 3.16: Modelo simplificado para o equacionamento da função de transferência.

Desenvolvendo a Equação 34, vem:

$$v_r \cdot i_r + v_s \cdot i_s + v_t \cdot i_t = i_r \cdot L \cdot \frac{di_r}{dt} + i_s \cdot L \cdot \frac{di_s}{dt} + i_t \cdot L \cdot \frac{di_t}{dt} + v_{DC} \cdot C \cdot \frac{dv_{DC}}{dt} + v_{DC} \cdot i_{DC}$$

Equação 35

Considerando que as tensões da rede sejam senoidais, e que as correntes de linha sigam perfeitamente as correntes de referência (consideradas senoidais), com pequena ondulação, obtém-se, na forma matricial:

$$\mathbf{v} = [v_r \quad v_s \quad v_t] = V \cdot \mathbf{x}$$

Equação 36

$$\mathbf{i} = [i_r \quad i_s \quad i_t] = I_{ref} \cdot \mathbf{x}$$

Equação 37

Onde:

V e I_{ref} são valores de pico das tensões de fase e das correntes de referência, e

$$\mathbf{x} = \begin{bmatrix} \cos(\omega t) \\ \cos(\omega t - \frac{2 \cdot \mathbf{p}}{3}) \\ \cos(\omega t + \frac{2 \cdot \mathbf{p}}{3}) \end{bmatrix}$$

Equação 38

Substituindo a Equação 36, a Equação 37 e a Equação 38 na Equação 35, obtém-se:

$$\mathbf{v} \cdot \mathbf{i}^t = V \cdot I_{ref} \cdot \mathbf{x} \cdot \mathbf{x}^t = \frac{1}{2} \cdot L \cdot \frac{d}{dt} (\mathbf{i} \cdot \mathbf{i}^t) + \frac{1}{2} \cdot C \cdot \frac{dv_{DC}^2}{dt} + v_{DC} \cdot i_{DC}$$

Equação 39

O produto $\mathbf{x} \cdot \mathbf{x}^t$ é constante e vale 1,5, portanto, $\frac{d}{dt} (\mathbf{i} \cdot \mathbf{i}^t) = 0$. Reescrevendo a

Equação 39:

$$V \cdot I_{ref} \cdot 1,5 = C \cdot v_{DC} \cdot \frac{dv_{DC}}{dt} + v_{DC} \cdot i_{DC}$$

Equação 40

Esta é uma equação diferencial não linear que será linearizada em torno do ponto de operação v_{DC} , I_{ref} e I_{DC} . Reescrevendo-se as variáveis v_{DC} , I_{ref} e I_{DC} como a soma do valor de operação $\overline{v_{DC}}$, $\overline{I_{ref}}$, $\overline{i_{DC}}$ e de uma perturbação (Δv_{DC} , ΔI_{ref} e ΔI_{DC}), obtém-se:

$$v_{DC} = \overline{v_{DC}} + \Delta v_{DC}$$

Equação 41

$$I_{ref} = \overline{I_{ref}} + \Delta I_{ref}$$

Equação 42

$$i_{DC} = \overline{i_{DC}} + \Delta i_{DC}$$

Equação 43

Assim, substituindo a Equação 41, a Equação 42 e a Equação 43 na Equação 40, resulta em:

$$V \cdot 1,5 \cdot (\overline{I_{ref}} + \Delta I_{ref}) = C \cdot (\overline{v_{DC}} + \Delta v_{DC}) \cdot \frac{d\Delta v_{DC}}{dt} + (\overline{v_{DC}} + \Delta v_{DC}) \cdot (\overline{i_{DC}} + \Delta i_{DC})$$

Equação 44

Operando-se com ondulação reduzida na tensão v_{DC} , pode-se admitir:

$$\Delta v_{DC} \cdot \frac{d\Delta v_{DC}}{dt} \cong 0$$

e

$$\Delta v_{DC} \cdot \Delta i_{DC} = 0$$

Equação 45

Desprezando as perdas no conversor, pode-se considerar, na condição de regime permanente, que a potência na carga é igual à de entrada:

$$\overline{v_{DC}} \cdot \overline{i_{DC}} = V \cdot 1,5 \cdot \overline{I_{ref}}$$

Equação 46

Da Equação 44, da Equação 45, e da Equação 46, obtém-se:

$$V \cdot 1,5 \cdot \Delta I_{ref} = C \cdot \overline{v_{DC}} \cdot \frac{d\Delta v_{DC}}{dt} + \Delta v_{DC} \cdot \overline{i_{DC}} + \overline{v_{DC}} \cdot \Delta i_{DC}$$

Equação 47

Reescrevendo a Equação 47:

$$\frac{d\Delta v_{DC}}{dt} + \frac{\overline{i_{DC}}}{C \cdot \overline{v_{DC}}} \cdot \Delta v_{DC} + \frac{\overline{v_{DC}}}{C \cdot \overline{v_{DC}}} \cdot \Delta i_{DC} = \frac{V \cdot 1,5}{C \cdot \overline{v_{DC}}} \cdot \Delta I_{ref}$$

Equação 48

Definindo-se os parâmetros T e K, obtém-se a Equação 51.

$$T = \frac{C \cdot \overline{v_{DC}}}{\overline{i_{DC}}} (s)$$

Equação 49

$$K = \frac{V \cdot 1,5}{\overline{i_{DC}}} (\Omega)$$

Equação 50

$$T \cdot \frac{d\Delta v_{DC}}{dt} + \Delta v_{DC} + \frac{\overline{v_{DC}}}{\overline{i_{DC}}} \cdot \Delta i_{DC} = K \cdot \Delta I_{ref}$$

Equação 51

Aplicando a transformada de Laplace, tem-se:

$$\Delta v_{DC}(s) \cdot (T \cdot s + 1) + \frac{T}{C} \cdot \Delta i_{DC}(s) = K \cdot \Delta I_{ref}(s)$$

Equação 52

Reorganizando-se a Equação 52 obtém-se a variação da tensão CC (Δv_{DC}) em função da variação do módulo da corrente CA de referência (ΔI_{ref}) e da variação da corrente CC (Δi_{DC}):

$$\Delta v_{DC}(s) = \frac{K}{T \cdot s + 1} \cdot \Delta I_{ref}(s) - \frac{T/C}{T \cdot s + 1} \cdot \Delta i_{DC}(s) (\Omega)$$

Equação 53

A Figura 3.17 mostra a representação da Equação 53, onde a variação da corrente CC é uma perturbação introduzida no sistema.

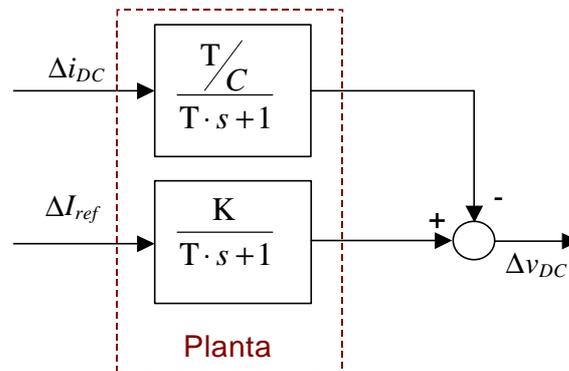


Figura 3.17: Diagrama em blocos da planta linearizada do retificador sem o regulador de tensão CC.

3.2.2.2 REGULADOR TIPO PI COM PRÉ-FILTRO

É apresentado o projeto do controlador que regula a tensão CC.

Uma planta com uma função de transferência de 1ª ordem (Figura 3.17), com um controlador do tipo proporcional apresenta erro em regime para uma excitação em degrau [10]. Isto não ocorre para o controlador do tipo proporcional-integral (PI),

motivo pelo qual foi o escolhido para a regulação da tensão CC de saída do retificador.

A Figura 3.18 mostra o diagrama da planta (Equação 53) com o regulador da tensão CC (controlador PI). Este regulador gera uma referência de corrente (ΔI_{ref}) a partir da comparação entre a referência de tensão CC (ΔV_{DCref}) e a tensão CC medida (Δv_{DC}). Nesta figura aparece ainda o pré-filtro (G_p), para melhoria da resposta dinâmica do sistema (redução do sobre-sinal), quando da variação da referencia (ΔV_{DCref}). A função de transferência do controlador PI mostrado na Figura 3.10 e na Figura 3.18 é considerada na forma exibida na Equação 54, onde a unidade de K_p é Ω^{-1} e de K_I é $(\Omega s)^{-1}$.

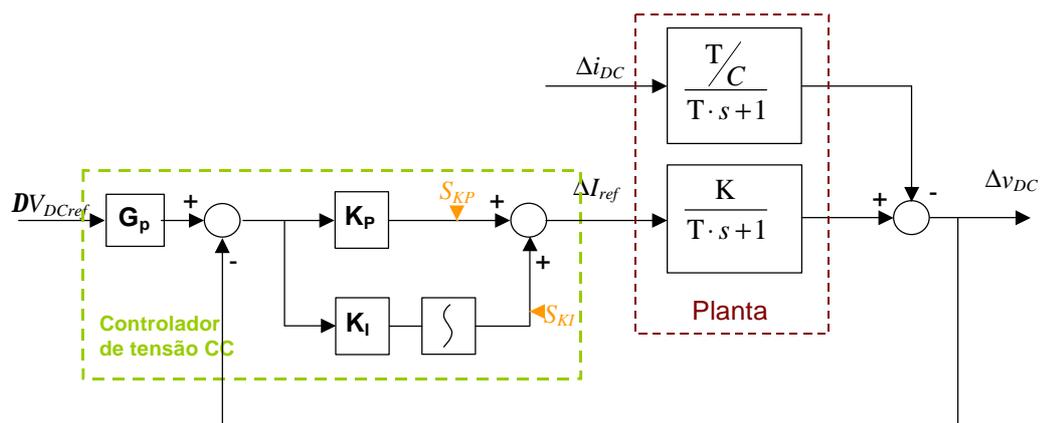


Figura 3.18: Planta com regulador de tensão PI.

$$G_c(s) = \left(K_p + \frac{K_I}{s} \right) \left(\frac{1}{\Omega} \right)$$

Equação 54

No caso do retificador estudado aqui a referência V_{DCref} é constante. No entanto, a corrente CC (i_{DC}) é função da carga. Por isso, a função de transferência de interesse

aqui é a relação entre a tensão CC e a corrente CC ($\Delta v_{DC}(s)/\Delta i_{DC}(s)$), ou seja, deseja-se saber o comportamento de DV_{DC} para perturbações na corrente de carga. A Figura 3.19 mostra o diagrama da Figura 3.18 redesenhado, sem o pré-filtro G_p .

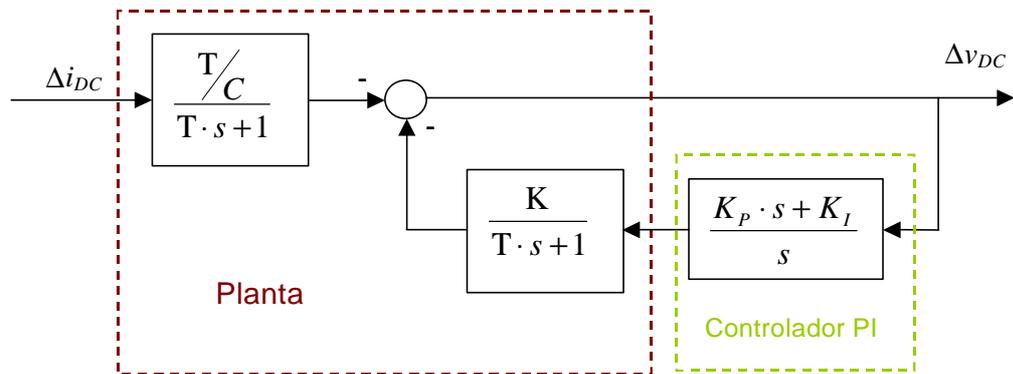


Figura 3.19: Diagrama em blocos da planta linearizada do retificador com o regulador de tensão CC.

A função de transferência em malha fechada do sistema mostrado na Figura 3.19 é:

$$\frac{\Delta v_{DC}(s)}{\Delta i_{DC}(s)} = -\frac{T/C}{T \cdot s + 1} \cdot \left(\frac{1}{\frac{K}{T \cdot s + 1} \cdot \left(\frac{K_P \cdot s + K_I}{s} \right) + 1} \right) (\Omega)$$

Equação 55

Desenvolvendo a Equação 55, obtém-se a Equação 56:

$$\frac{\Delta v_{DC}(s)}{\Delta i_{DC}(s)} = \frac{-\frac{T}{C} \cdot s}{K \cdot K_P \cdot s + K \cdot K_I + s \cdot (T \cdot s + 1)} (\Omega)$$

ou

$$\frac{\Delta v_{DC}(s)}{\Delta i_{DC}(s)} = \frac{-\frac{1}{C} \cdot s}{s^2 + \left(\frac{K \cdot K_P + 1}{T} \right) \cdot s + \frac{K \cdot K_I}{T}} (\Omega)$$

Equação 56

Adotando-se o critério ITAE [12] com erro estacionário nulo para uma entrada a degrau, o denominador da Equação 56 deve ser da forma:

$$s^2 + 2 \cdot z \cdot w_n \cdot s + w_n^2$$

Equação 57

Comparando a Equação 56 com a Equação 57, tem-se que a função de transferência em malha fechada é da forma:

$$\frac{\Delta v_{DC}(s)}{\Delta i_{DC}(s)} = \frac{-\frac{1}{C} \cdot s}{s^2 + 2 \cdot z \cdot w_n \cdot s + w_n^2} (\Omega)$$

Equação 58

Assim, obtém-se K_P e K_I :

$$K_P = \frac{2 \cdot T \cdot z \cdot w_n - 1}{K} (\Omega)^{-1}$$

$$K_I = \frac{T \cdot w_n^2}{K} (\Omega s)^{-1}$$

Equação 59

3.2.2.3 PARÂMETROS DE DESEMPENHO DO REGULADOR DE TENSÃO

Tem-se o cálculo do sobre-sinal e do tempo de acomodamento para o sistema descrito no item anterior.

O sobre-sinal máximo (M_p)[10][12] para o sistema descrito pela função de transferência mostrada na Equação 58 é dado por:

$$M_p = \frac{\Delta v_{DC}(t_p)}{v_{DC}(t_\infty)}$$

Equação 60

Onde t_p é o instante em que ocorre o sobre-sinal e t_∞ é um tempo suficientemente grande para o sistema se estabilizar, ou seja, $v_{DC}(t_\infty) = 350V = V_{DCref}$.

Partindo da Equação 58, e aplicando um degrau de carga com amplitude ΔI (ampères) no retificador (degrau em i_{DC}), tem-se a Equação 61.

$$\Delta v_{DC}(s) = \Delta I \cdot \frac{1}{s} \cdot \frac{-\frac{1}{C} \cdot s}{s^2 + s \cdot 2 \cdot z \cdot w_n + w_n^2} (V)$$

Equação 61

Antitransformando a Equação 61 [10][12], tem-se $\Delta v_{DC}(t)$, dado pela Equação 62.

$$\Delta v_{DC}(t) = \frac{-\frac{1}{C} \cdot \Delta I \cdot e^{-z w_n t}}{w_n \cdot \sqrt{1-z^2}} \cdot \text{sen}(w_n t \sqrt{1-z^2}) (V)$$

Equação 62

O instante t_p é dado pela primeira ocorrência em que $\frac{d\Delta v_{DC}(t)}{dt} = 0$. Assim, tem-se:

$$\frac{d\Delta v_{DC}(t)}{dt} = \frac{-\frac{1}{C} \cdot \Delta I}{w_n \cdot \sqrt{1-z^2}} \left[-z w_n e^{-z w_n t} \text{sen}(w_n t \sqrt{1-z^2}) + e^{-z w_n t} \cos(w_n t \sqrt{1-z^2}) (w_n \sqrt{1-z^2}) \right] = 0$$

ou :

$$-z \text{sen}(w_n t \sqrt{1-z^2}) + \cos(w_n t \sqrt{1-z^2}) (\sqrt{1-z^2}) = 0$$

Equação 63

Portanto, o primeiro pico (t_p), ocorre quando:

$$\text{tg}(w_n t_p \sqrt{1-z^2}) = \frac{\sqrt{1-z^2}}{z}$$

Equação 64

Ou seja, t_p é dado por:

$$t_p = \frac{\arctg\left(\frac{\sqrt{1-z^2}}{z}\right)}{w_n \sqrt{1-z^2}} (s)$$

Equação 65

Aplicando o tempo t_p (Equação 65) na Equação 62, vem:

$$\Delta v_{DC}(t_p) = \frac{-\frac{1}{C} \cdot \Delta I \cdot e^{-z \cdot \arctg\left(\frac{\sqrt{1-z^2}}{z}\right) / \sqrt{1-z^2}}}{w_n \cdot \sqrt{1-z^2}} \cdot \operatorname{sen}\left(\arctg\left(\frac{\sqrt{1-z^2}}{z}\right)\right) (V)$$

Equação 66

Da Equação 60 e da Equação 66, tem-se o sobre-sinal:

$$M_p = \frac{\Delta v_{DC}(t_p)}{v_{DC}(t_\infty)}$$

Equação 67

O tempo de acomodação (t_s)[10] é definido como o intervalo de tempo necessário para que a envoltória exponencial da Equação 62 decaia para uma faixa de erro desejada (que neste caso é dado por: $\Delta V\% * V_{DCref}$). A partir da Equação 62 obtém-se a Equação 68 que relaciona t_s com os demais parâmetros.

$$\Delta V\% \cdot V_{DCref} = \frac{-\frac{1}{C} \cdot \Delta I \cdot e^{-z v_n t_s}}{w_n \cdot \sqrt{1-z^2}} (V)$$

Equação 68

3.2.2.4 CÁLCULO DO CONTROLADOR PI

Tem-se o cálculo do controlador PI a partir do projeto mostrado nos três itens anteriores.

Neste trabalho utilizou-se controlador PI com parâmetros fixos, projetado para as condições nominais de operação, mostradas no Anexo. Estipulando o tempo de acomodação $T_s=20\text{ms}$, fator de amortecimento $\zeta=0,7$, degrau de carga $DI=-1\text{A}$, $V_{DCref}=350\text{V}$, $\Delta V\%=2,7\%$ e $C=390\mu\text{F}$, obtém-se da Equação 68 $\omega_n = 97,2\text{rad/s}$.

Substituindo os valores nominais do retificador estudado (Anexo) na Equação 49 e na Equação 50, obtém-se:

$$K = \frac{V \cdot 1,5}{\overline{i_{DC}}} = \frac{127 \cdot \sqrt{2} \cdot 1,5}{1} = 269,4(\Omega)$$

Equação 69

e

$$T = \frac{C \cdot \overline{v_{DC}}}{\overline{i_{DC}}} = \frac{400 \cdot 10^{-6} \cdot 350}{1} = 0,140(s)$$

Equação 70

Da Equação 59 resultam:

$$K_p = 0,067(\Omega)^{-1}$$

$$K_I = 8,77(\Omega s)^{-1}$$

Equação 71

Portanto, a função de transferência em malha fechada torna-se:

$$\frac{\Delta v_{DC}(s)}{\Delta i_{DC}(s)} = \frac{-2564 \cdot s}{s^2 + s \cdot 136,1 + 9447} (\Omega)$$

Equação 72

Da Equação 66, obtém-se o sobre-sinal. Para um degrau de -0,1A, fica:

$$\Delta v_{DC}(t_p) = \frac{-\frac{1}{C} \cdot \Delta I \cdot e^{-z \cdot \arctg\left(\frac{\sqrt{1-z^2}}{z}\right)}}{w_n \cdot \sqrt{1-z^2}} \cdot \text{sen}\left(\arctg\left(\frac{\sqrt{1-z^2}}{z}\right)\right) = 1,21(V)$$

Equação 73

Da Equação 60 e da Equação 73, tem-se o sobre-sinal porcentual para o degrau de -0,1A:

$$M_p = \frac{\Delta v_{DC}(t_p)}{v_{DC}(t_\infty)} = \frac{0,6704}{350} = 0,35\%$$

Equação 74

Os índices de desempenho calculados anteriormente são válidos para o sistema em malha fechada dado pela Equação 72, que descreve o retificador linearizado (em torno do ponto de operação, pelas Equação 41, Equação 42 e Equação 43), simplificado (Equação 45 e Equação 46) e nas condições nominais de operação (descritas no Anexo).

Para o retificador em funcionamento em outros pontos de operação (outros valores de i_{DC}), haverá alterações nos valores das constantes K (Equação 69) e T (Equação 70) na Equação 56, afetando a função de transferência dada pela Equação 72, com mudança no valor do fator de amortecimento (z). Assim, para o controlador com parâmetros fixos projetado, haverá alteração na função de transferência (Equação 72) para operação em outras condições de carga. A Tabela 3.1 apresenta valores de sobre-sinais e tempos de acomodação em transitórios de carga (perturbações Δi_{DC}) a

partir de alguns pontos de operação, permitindo verificar a influencia do ponto de operação nos índices de desempenho. Desta tabela, tem-se:

- Os sobre-sinais (possuem valores positivos) são relativos a degraus negativos na corrente de carga, enquanto os subsinais (negativos) são relativos a degraus positivos em i_{DC} .
- Para degraus em i_{DC} (Δi_{DC}) de mesma amplitude em pontos de operação diferentes, os parâmetros de desempenho são ligeiramente diferentes, devido a mudanças na função de transferência em MF, conforme descrito anteriormente, o que mostra que a influencia do ponto de operação na função de transferência é pequena.
- Também devido à mudança na função de transferência, as amplitudes dos sub e sobre-sinais não são exatamente proporcionais às amplitudes dos degraus em i_{DC} .
- A aplicação de dois degraus (Δi_{DC}) simétricos acarreta respostas (sub e sobre-sinais) de mesma amplitude. O mesmo ocorre com o tempo de acomodação.
- Tem-se, principalmente, que os sub e sobre-sinais apresentam comportamento aproximadamente linear a perturbações de carga (Δi_{DC}), para qualquer ponto de operação e qualquer amplitude de perturbação.

Tabela 3.1: Sub e sobre-sinais e tempo de acomodamento em algumas condições de carga – teórico.

| i_{DC} inicial [A] | Δi_{DC} [A] | Sub e sobre-sinais [V] | Tempo de acomodação na faixa de 2,7% [ms] |
|----------------------|---------------------|------------------------|---|
| | | Teórico | Teórico |
| 1,0 | +0,1 | -1,192 | 13,1 |
| 0,5 | -0,1 | 1,211 | 13,9 |
| 0,1 | +0,1 | -1,226 | 14,5 |
| 0 | 1,0 | -12,294 | 20,2 |
| 1,0 | -1,0 | 11,923 | 19,9 |
| 1,0 | 1,0 | -11,923 | 19,9 |
| 1,0 | 3,0 | -35,770 | 35,6 |

As hipóteses consideradas na linearização e simplificação não se verificam para perturbações suficientemente grandes. Assim, os parâmetros de desempenho mostrados na Tabela 3.1 podem não se verificar. Isto é investigado nos itens 4.2 e 5.2.

3.2.3 SISTEMA DE SINCRONISMO (PLL)

Aqui é descrito o bloco que gera os sinais senoidais em fase com as tensões da rede, além de sincronizar os instantes de amostragem e os pulsos de chaveamento com a tensão da rede.

O bloco PLL (*Phase-Lock Loop*) gera três ondas senoidais, de 60Hz, defasadas entre si de 120 graus elétricos, em fase com as tensões de rede (medidas na entrada da

planta). O PLL também sincroniza os pulsos de amostragem e chaveamento com as tensões de rede. A Figura 3.20 ilustra o funcionamento do PLL.

Para dado número de “amostragens por ciclo da rede” (PPC), o PLL atua de forma a impor “ PPC ” pulsos de amostragem igualmente espaçados por ciclo, além de garantir que o primeiro pulso de amostragem ($CA=0$) seja coincidente com a transição positiva por zero da tensão de rede de referência, como mostrado na Figura 3.20 (instante t_3). Para isso, ao se detectar no instante t_2 a passagem por zero da tensão da rede ocorrida no instante t_1 , o algoritmo calcula o erro resultante do ciclo anterior ($erroI$) e o novo intervalo de amostragem (Δ'), para que este erro seja nulo no início do ciclo seguinte (instante t_3).

Com o intervalo de amostragem calculado (Δ'), são geradas as três senóides unitárias de referência $\overline{v_r}, \overline{v_s}, \overline{v_t}$ a partir da leitura de três tabelas de senos com “ PPC ” pontos. Esta leitura, em intervalos “ Δ ”, sincroniza ainda a amostragem da referência de tensão e do chaveamento do conversor. Este algoritmo gera três sinais de referência de seqüência positiva atrelados a uma das fases (fase v_r), ou seja, não garante defasagem nula entre corrente e tensão para as outras fases (v_s e v_t) para redes com elevado grau de desequilíbrio na tensão de alimentação. Em casos aonde isto venha a prejudicar o desempenho do retificador, pode-se aplicar a estratégia acima a cada fase.

Para a estratégia proposta na Figura 3.10, deve-se incluir na rotina de inicialização a detecção da seqüência de fases.

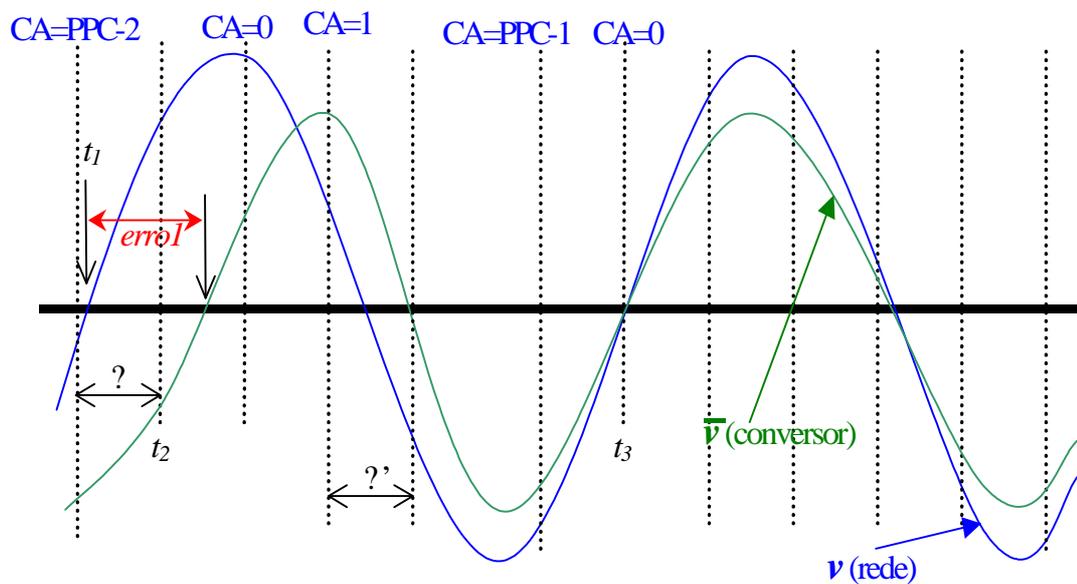


Figura 3.20: Funcionamento do PLL.

4 SIMULAÇÃO NUMÉRICA

Após a modelagem do conversor e o projeto dos controladores faz-se simulação numérica para verificar o comportamento do sistema.

Entre os simuladores tipicamente utilizados em eletrônica de potência, (Psim, Pspice, Simulink com ferramenta específica e MatLab), estavam disponíveis por ocasião da realização deste trabalho, o Pspice (versão gratuita) e o MatLab. O Pspice [50] não foi originalmente concebido para a simulação de circuitos de eletrônica de potência, requerendo uma série de cuidados tais como ajuste de parâmetros de integração e inclusão de circuitos adicionais (por exemplo *snubber* numérico [46]). Muitas vezes a simples alteração de parâmetros do circuito ou das condições iniciais exige alterações nos parâmetros do simulador ou dos circuitos agregados, o que requer boa familiaridade do usuário com esta metodologia. Apesar disso este programa é bastante utilizado pela comunidade de eletrônica de potência [42][46][47].

Uma vantagem do Pspice é a existência de modelos de chaves bastante realistas, descrevendo bem os processos de chaveamento e de perdas [47]. Como a versão gratuita do Pspice não comporta o sistema simulado neste trabalho, utilizou-se o MatLab como linguagem de programação, sem o Simulink, nem rotinas de integração e nem o Power System Toolbox.

4.1 ANÁLISE DE DESEMPENHO EM REGIME PERMANENTE (RP)

São mostradas e comentadas as formas de onda resultantes da simulação para o sistema operando em RP⁵. Verifica-se a operação com tensão insuficiente no lado CC, sua influência no espectro de corrente e duas possíveis soluções, incluindo a injeção de seqüência zero aos sinais de referência do bloco PWM.

A Figura 4.1 mostra formas de onda das tensões de fase e das correntes de linha na entrada do retificador simulado (Figura 3.10), operando nas condições nominais de projeto, listadas no anexo. O controlador de corrente leva em conta, neste item (4.1), o atraso de atuação de um período de amostragem ($66,666\mu\text{s}$) devido ao tempo de cálculo do algoritmo do controlador, descrito em 3.2.1. Observa-se que as correntes são balanceadas e apresentam pequeno conteúdo harmônico.

A Figura 4.2 mostra de forma ampliada e sobrepostas as formas de onda de tensão e corrente na fase r , onde se observa defasagem nula entre elas.

⁵ Neste trabalho considera-se que o sistema esteja em RP quando não tenha apresentado situações transitórias de carga ou alimentação em um tempo suficientemente grande, e as formas de onda sejam periódicas.

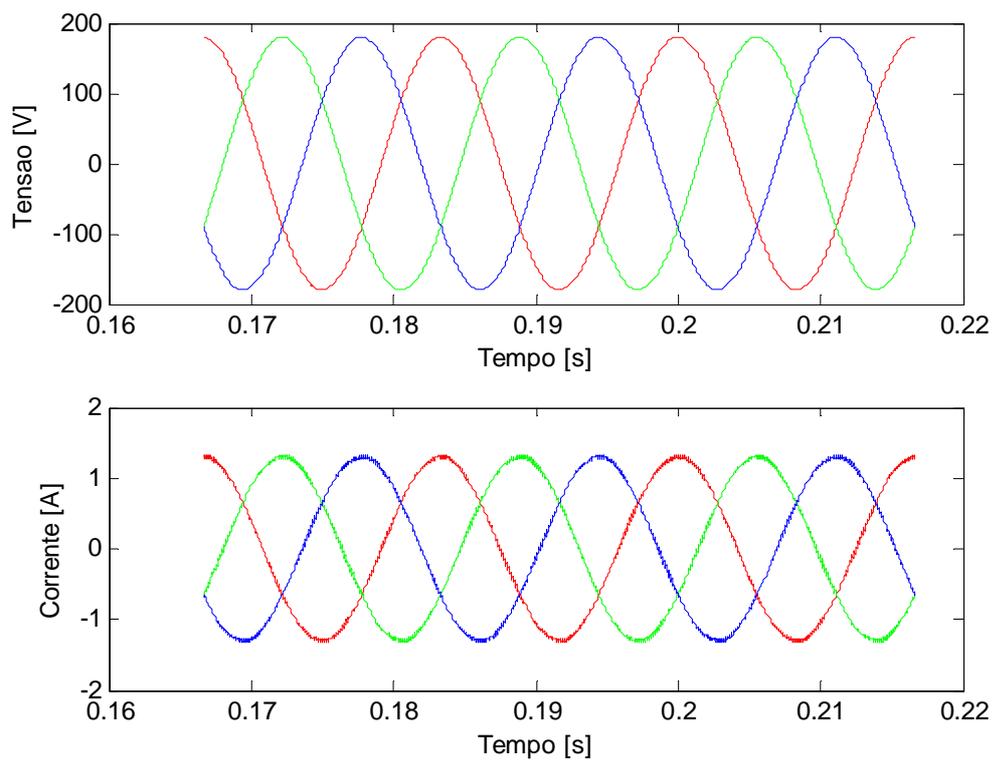


Figura 4.1: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) v_r , v_s e v_t em cima, i_r , i_s e i_t em baixo, respectivamente nas cores vermelha, verde e azul.

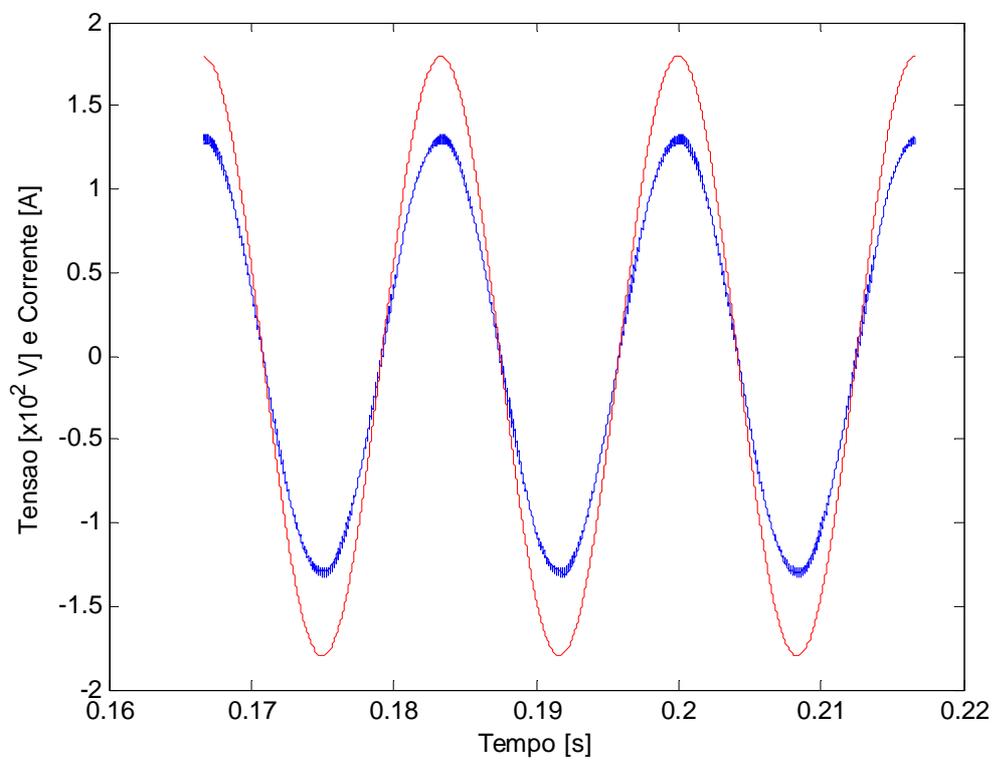


Figura 4.2: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) $v_r/100$ (cor vermelha) e i_r (cor azul).

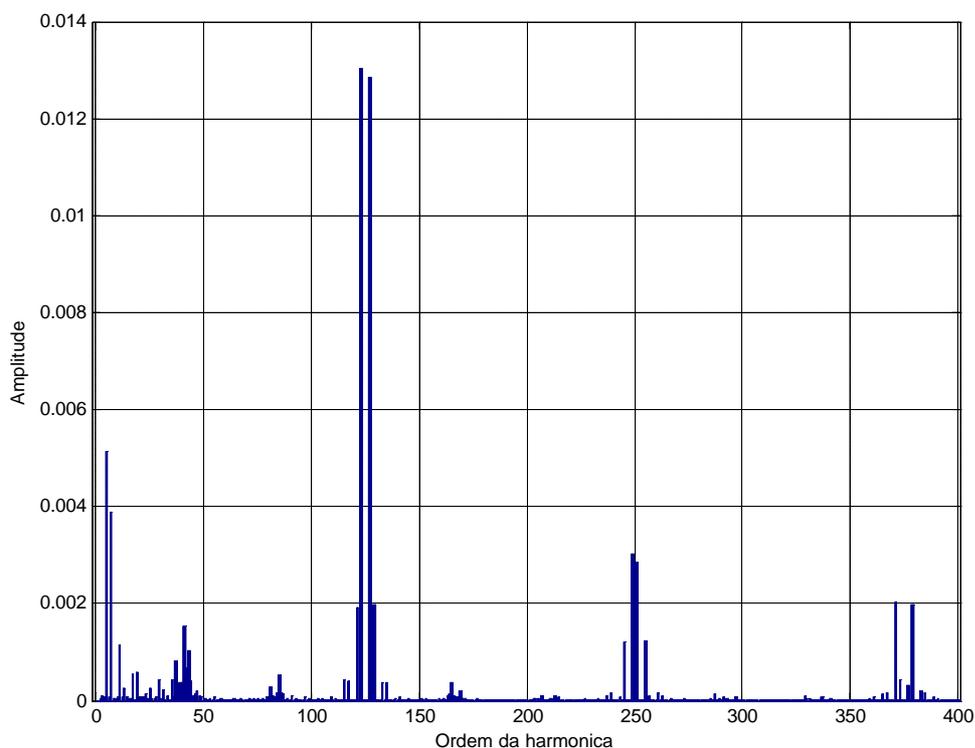


Figura 4.3: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) espectro de frequências de i_r . THD=1,586%.

Para o PWM com portadora triangular com sinal modulador senoidal, espera-se grupos de harmônicas em torno dos múltiplos da frequência de chaveamento (7500Hz), ou seja, 125 pulsos/ciclo, gerando grupos de harmônicas características de ordem 125, 250,... $k*125$, (k número natural). Apesar do aparente bom desempenho mostrado na Figura 4.1 e na Figura 4.2, o espectro da corrente (Figura 4.3) mostra o aparecimento de harmônicas não características com ordens variando na faixa de 2 a 30. Isso se deve à saturação do bloco PWM, mostrado na Figura 4.4, e em mais detalhe na Figura 4.5, quando cessa o chaveamento de uma das fases (próximo ao pico da tensão de rede), provocando um pequeno erro de rastreamento. Neste intervalo é necessário que o conversor imponha uma tensão (v_{crefR} , v_{crefS} ou v_{crefT}) com amplitude maior do que a fornecida pelo barramento CC, conforme ilustra a Figura 4.6 para a fase R.

A Figura 4.6 ilustra os sinais de entrada (v_{crefR}) e de saída (m_r) do bloco PWM da fase r , juntamente com a tensão do barramento CC (v_{DC}). Durante o intervalo em que $v_{crefR} > \frac{v_{DC}}{2}$ ($v_{crefR} < -\frac{v_{DC}}{2}$) o braço correspondente do conversor (fase r) impõe $v_{crefR} = \frac{v_{DC}}{2}$ ($v_{crefR} = -\frac{v_{DC}}{2}$). As outras fases (s e t) continuam operando de modo que a corrente na fase r apesar de ser aproximadamente igual ao sinal de referência i_{refR} (Figura 4.5), apresentam pequeno erro de rastreamento. Isto explica o aparecimento das harmônicas não características, na faixa de 2 a 30.

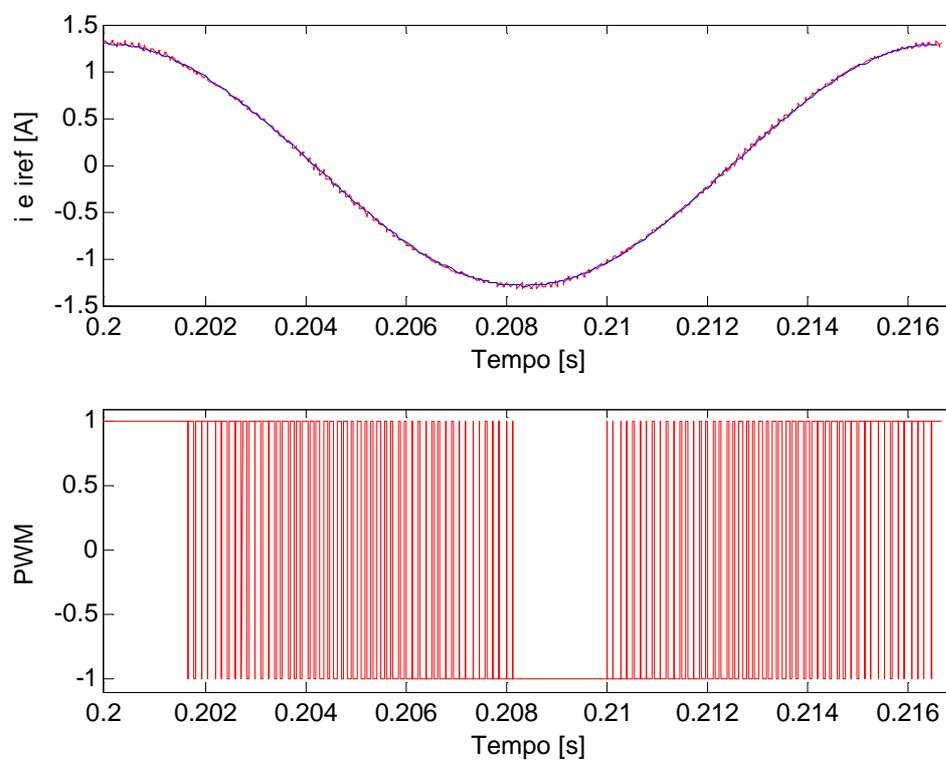


Figura 4.4: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) em cima, i (vermelho) e i_{ref} (azul); embaixo, o sinal do PWM para a fase r (m_r).

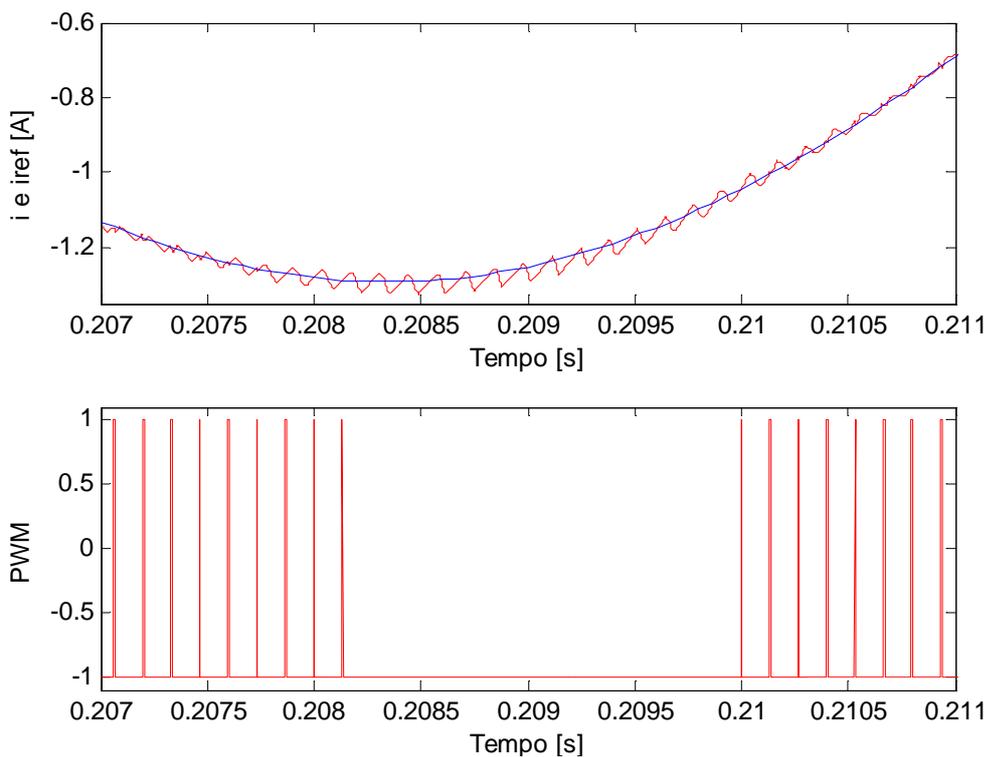


Figura 4.5: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) em detalhes: em cima, i (vermelho) e i_{ref} (azul); embaixo, o sinal do PWM para a fase r (m_r).

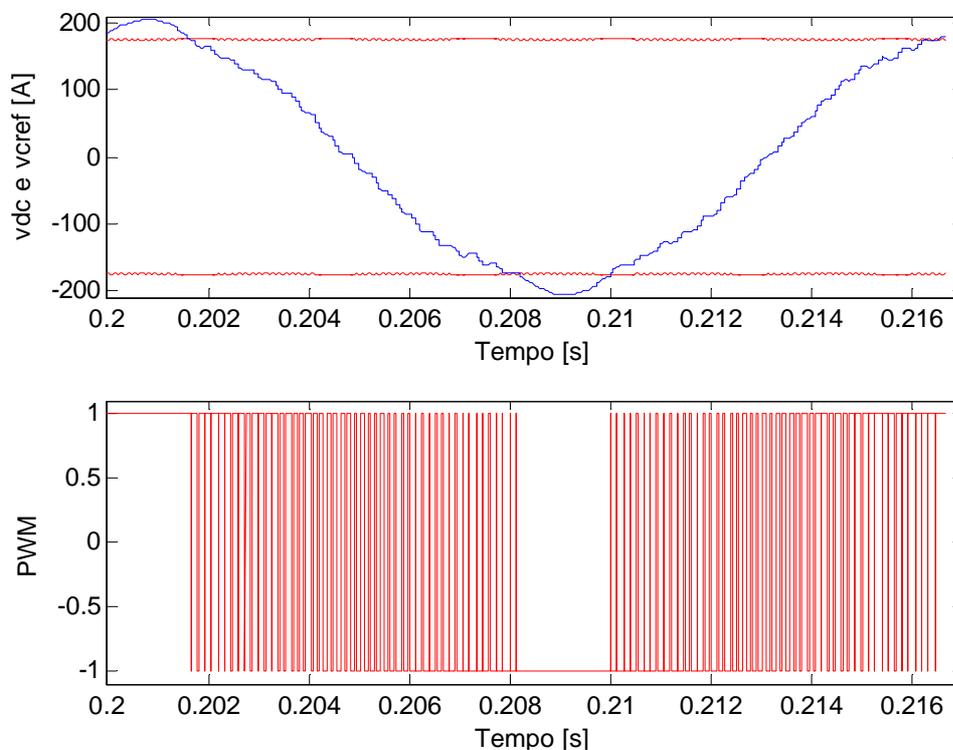


Figura 4.6: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r).

Considerando três conversores independentes, a tensão de fase (v_{cr}) do conversor monofásico de meia onda mostrado na Figura 4.7 pode ser, no máximo, igual a $\frac{v_{DC}}{2}$, ou seja, o conversor consegue impor uma tensão de fase senoidal com amplitude de até $\frac{v_{DC}}{2}$. Como neste trabalho o conversor vai ligado à rede, e desprezando a queda de tensão sobre o indutor de acoplamento, tem-se, na entrada do conversor uma tensão de fase de 180V de pico nominal. Assim, para que o conversor consiga impor corrente no pico da tensão da rede, é necessária uma tensão do barramento CC maior que 360V. Como neste trabalho o barramento CC é de 350V, isto não ocorre, como mostrado da Figura 4.6.

Uma solução é aumentar suficientemente a tensão do barramento CC, como mostrado na Figura 4.8. O espectro de corrente na fase r (Figura 4.9) mostra o desaparecimento das harmônicas de baixa frequência. Tanto para a Figura 4.3 quanto para Figura 4.9, tem-se o conversor operando com PWM triangular, assimétrico, com 125 pulsos/ciclo, gerando grupos de harmônicas características de ordem 125, 250, ... $k*125$, (k número natural). Nos dois casos aparece o grupo não característico em torno da ordem 41a, devido à oscilação com baixo amortecimento causada pelo controlador dead-beat utilizado e discutido no item 3.2.1.2. Esta oscilação tem frequência igual a um sexto da frequência de amostragem (PWM assimétrico), que para este caso é de 250 vezes a frequência da rede, resultando no valor 41,66 vezes a frequência da rede, mostrado na Figura 4.3 e na Figura 4.9. Para se operar com maiores tensões CC de saída, são necessários componentes com maiores tensões de operação (chaves e capacitores), ou seja, requer-se um conversor com maior capacidade (em VA), maior volume e maior custo.

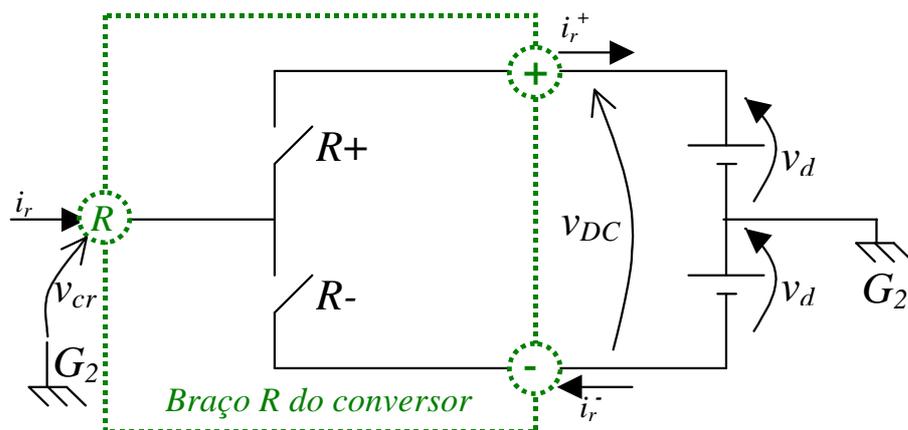


Figura 4.7: conversor monofásico de meia onda.

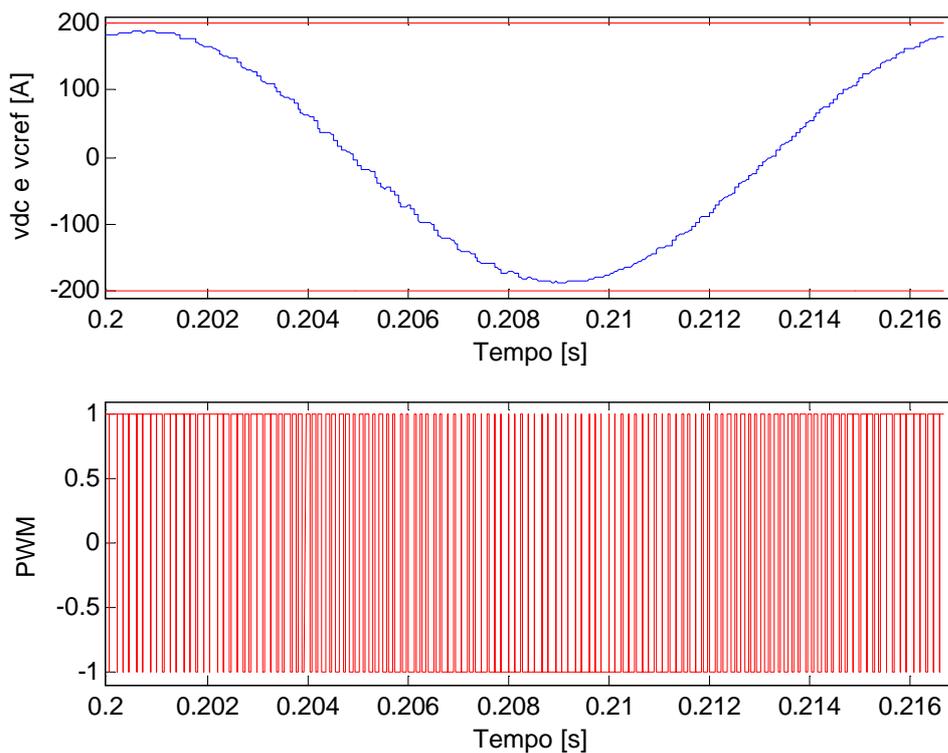


Figura 4.8: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r), para $v_{DC} = 400V$.

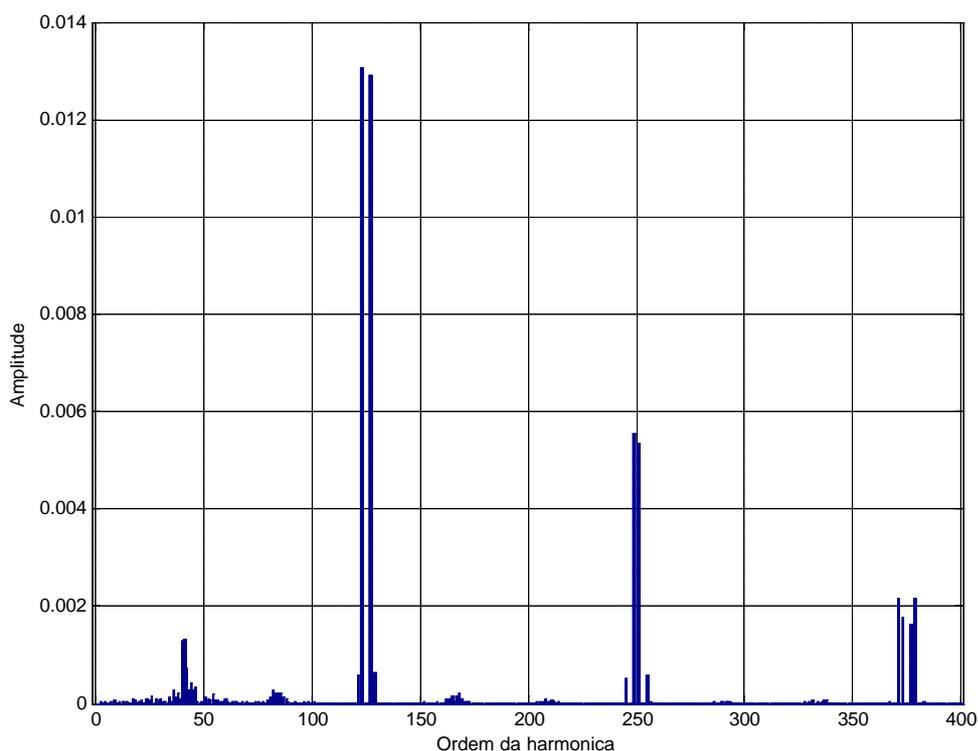


Figura 4.9: (Simulação, RP, carga nominal (conforme anexo), sem injeção de seqüência zero) espectro de frequências de i_r , para v_{DC} igual a 400V. THD=1,575%.

Outra solução é o emprego de estratégias de PWM que possibilitam uma melhor utilização da tensão no barramento CC, fornecendo tensões senoidais, equilibradas, com amplitude de até 15% maiores que no caso anterior.

A Figura 4.10 mostra esquematicamente duas fases do conversor trifásico. A tensão de linha entre as fases r e s pode ser, no máximo, igual a v_{DC} , ou seja, o conversor consegue impor um sinal com amplitude de até v_{DC} . Como neste trabalho o conversor vai ligado à rede, e desprezando a queda de tensão sobre o indutor de acoplamento, tem-se, na entrada do conversor uma tensão nominal de linha com valor de pico de até 312V. Assim, para que o conversor consiga impor corrente no pico da tensão da rede é necessária uma tensão do barramento CC maior que 312V e, portanto, são suficientes os 350V utilizados aqui. Uma das estratégias que permite a utilização plena do barramento CC é o PWM vetorial [41]. Como este trabalho adota o controle escalar de corrente, e devido ao fato que os DSPs disponíveis no mercado possuem PWM escalar (diversos dos fabricantes [2] e [61]), torna-se interessante a

utilização das técnicas de injeção de seqüência zero⁶ nas referências do bloco PWM [4] [35] [41] [62], que permite não só a melhor utilização do barramento CC, como também a redução da ondulação de corrente. Entre as estratégias existentes, a citada em [62] é facilmente calculada em tempo real, através da Equação 75, e apresenta comportamento igual ao de um PWM vetorial [62] [41]. A Figura 4.11 ilustra as alterações que devem ser feitas no diagrama em blocos mostrado na Figura 3.10 para que se possa calcular e injetar $v_0(t)$ em tempo real. Conforme visto no item 3.1.1, os componentes de seqüência zero não impõem corrente em um conversor trifásico a três fios, não perturbando assim a operação da malha de corrente.

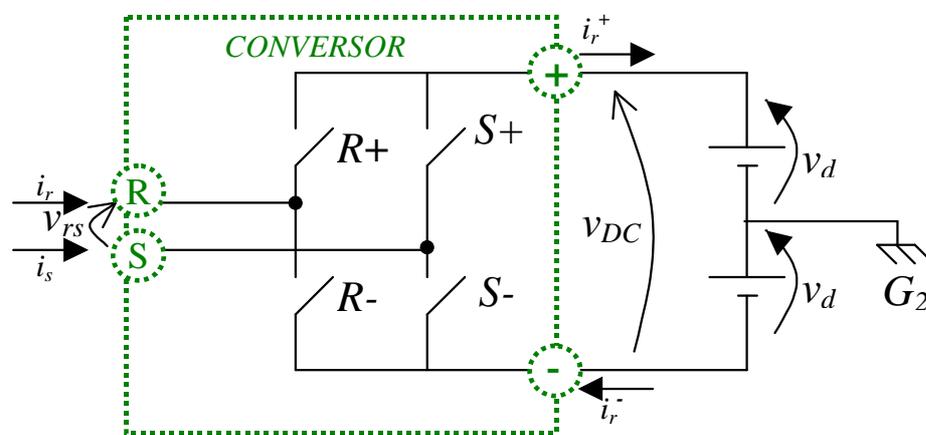


Figura 4.10: Conversor monofásico de onda completa.

$$v_0 = -\frac{\text{máx}(v_r, v_s, v_t) + \text{mín}(v_r, v_s, v_t)}{2}$$

Equação 75

⁶ Acréscimo de uma componente de seqüência zero a cada instante, mantendo inalterada a média local da referência trifásica do bloco PWM.

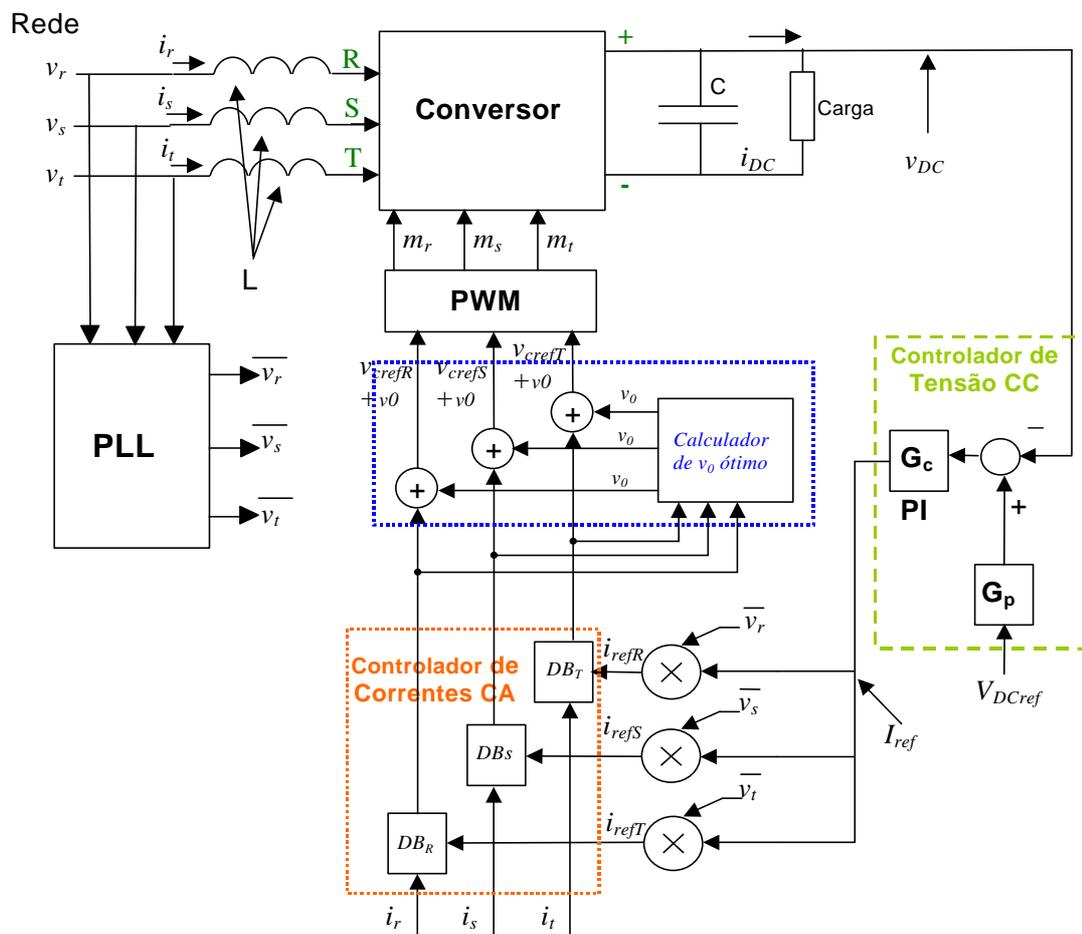


Figura 4.11: Diagrama em blocos do sistema com injeção de seqüência zero.

A Figura 4.12 é semelhante à Figura 4.6 e à Figura 4.8, mas agora com a injeção de seqüência zero. Observa-se que não existe mais a saturação nos picos de v_{cref} quando o barramento CC se mantém em 350V.

A Figura 4.13 quando comparada à Figura 4.3 e à Figura 4.9 mostra significativa redução da amplitude das harmônicas de maiores amplitudes da corrente de linha.

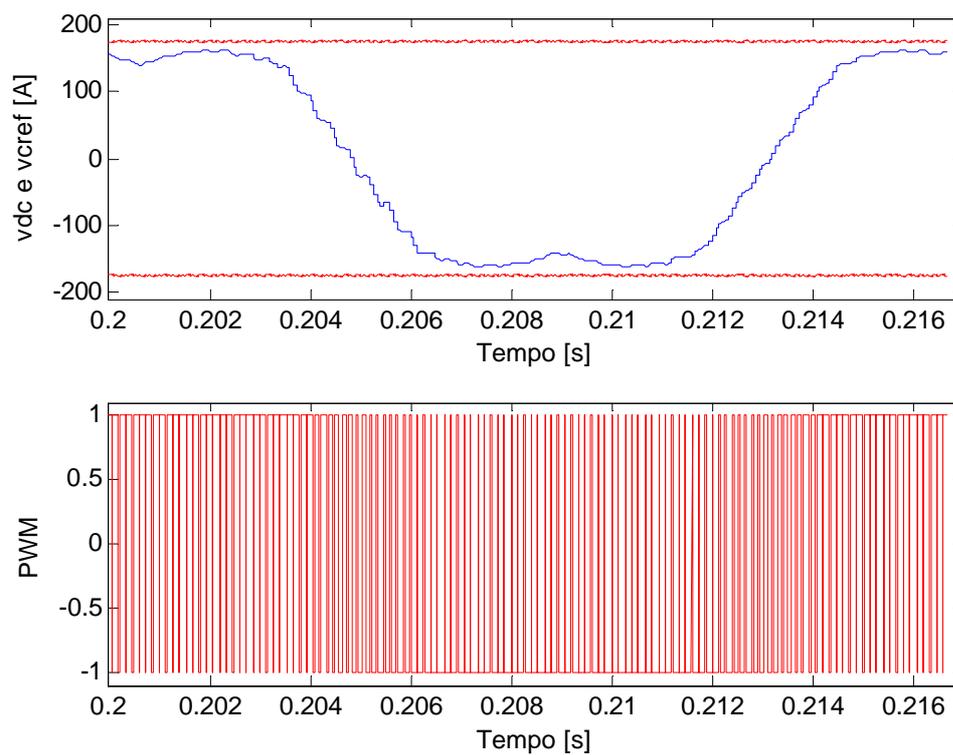


Figura 4.12: (Simulação, RP, carga nominal (conforme anexo), com injeção de seqüência zero) topo: $+v_{DC}/2$ e $-v_{DC}/2$ (vermelho) e v_{cref} (azul); base: o sinal do PWM para a fase r (m_r).

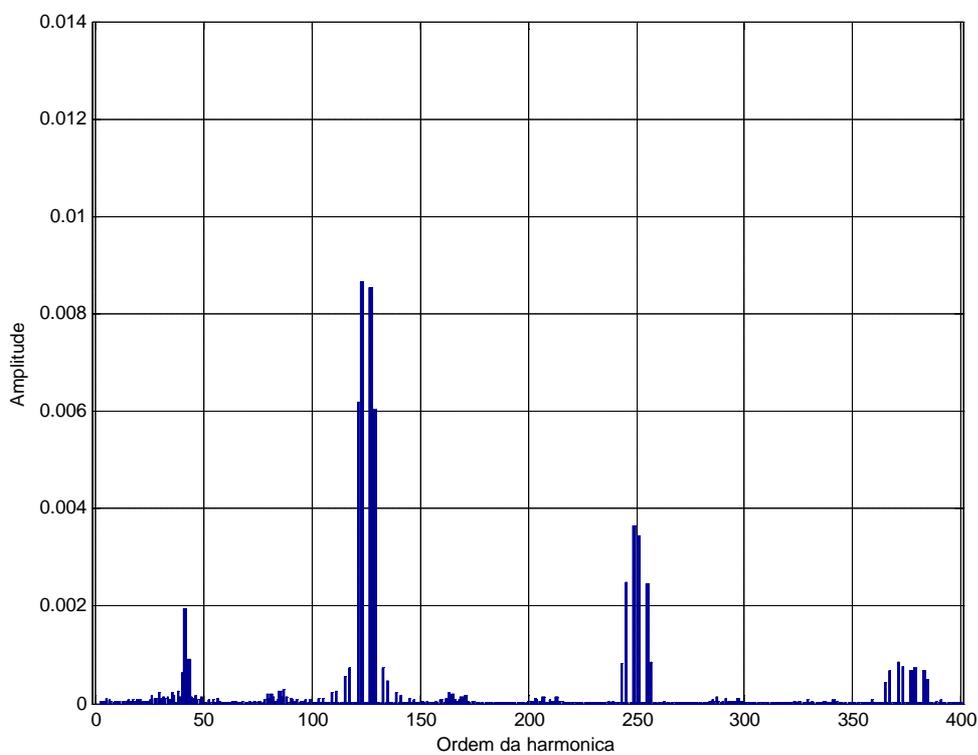


Figura 4.13: (Simulação, RP, carga nominal (conforme anexo), com injeção de seqüência zero) espectro de freqüências de i_r . THD=1,269%.

A Figura 4.14 traz a tensão e corrente na fase r , para o retificador operando sem carga. Nesta situação, há uma troca de energia (em alta frequência) entre a rede e o retificador, sem transferência líquida de energia do lado CA para o lado CC (para o caso ideal, desprezando as perdas).

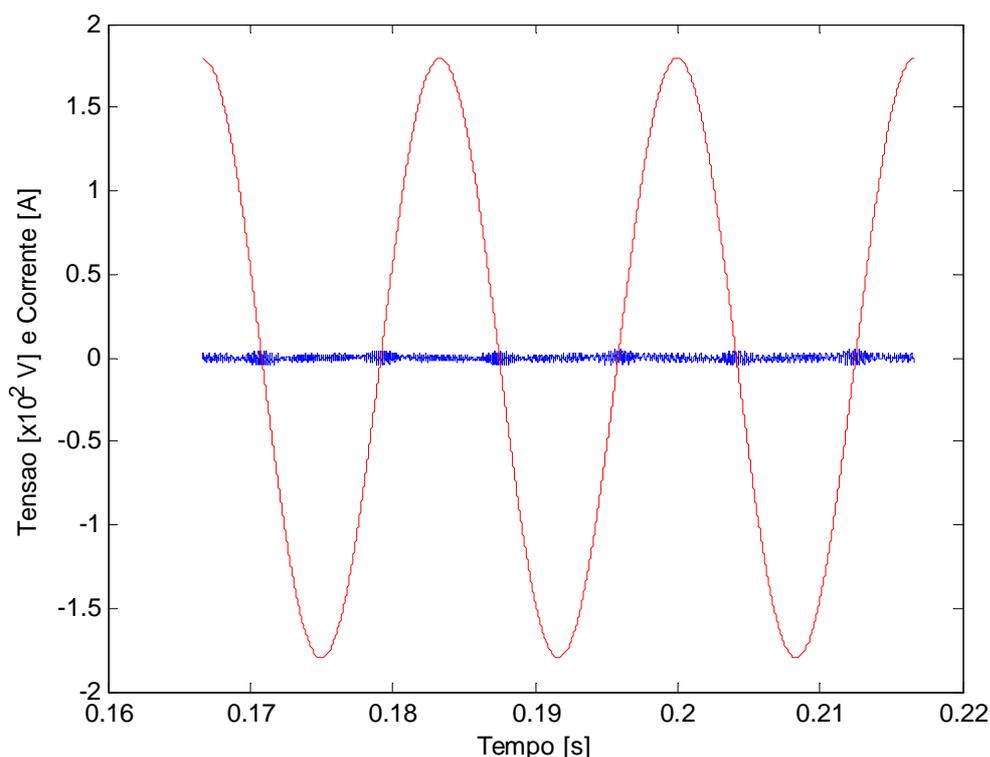


Figura 4.14: (Simulação) $v_r/100$ e i_r com carga nula.

A Figura 4.15 mostra o sinal v_{DC} de saída com o retificador em carga nominal. Esta figura mostra dois gráficos representando o mesmo sinal, onde o gráfico inferior está com a escala de tensão ampliada para mostrar a ondulação existente, com amplitude de 0,2V de pico em 350V CC.

Na Figura 4.16 tem-se o espectro de frequências da ondulação de v_{DC} , nas condições da Figura 4.15. Os grupos de harmônicas se situam em torno de $k \cdot 125$ ($k=1,2,3\dots$).

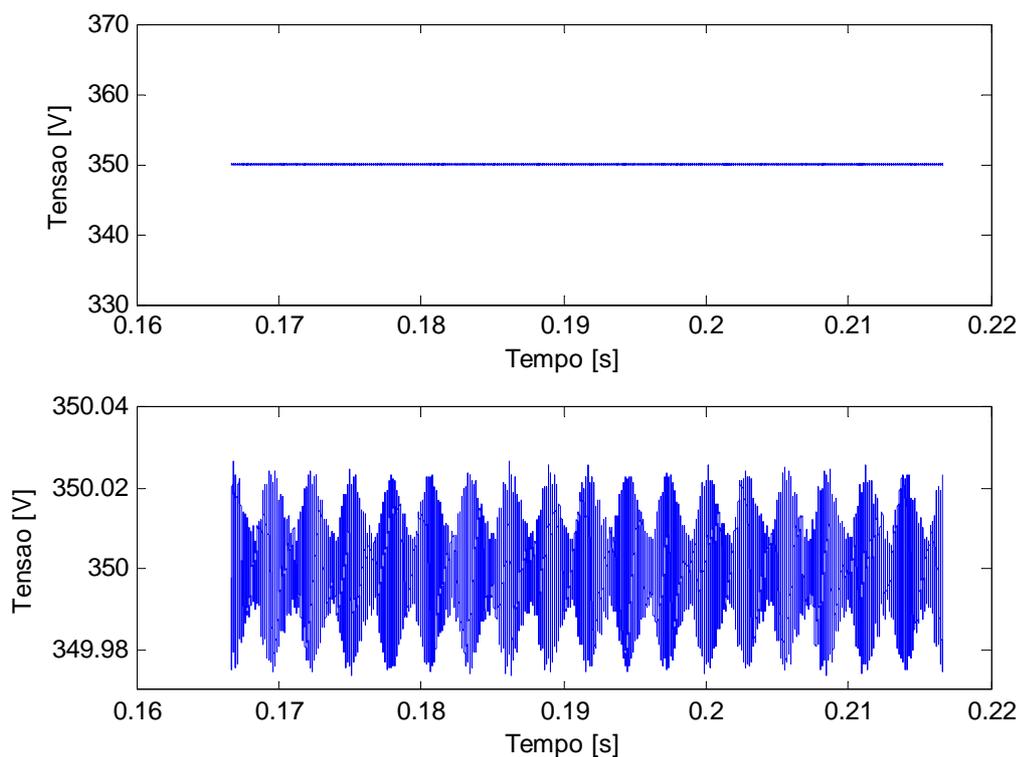


Figura 4.15: (Simulação) v_{DC} e o ondulação de v_{DC} , com carga nominal.

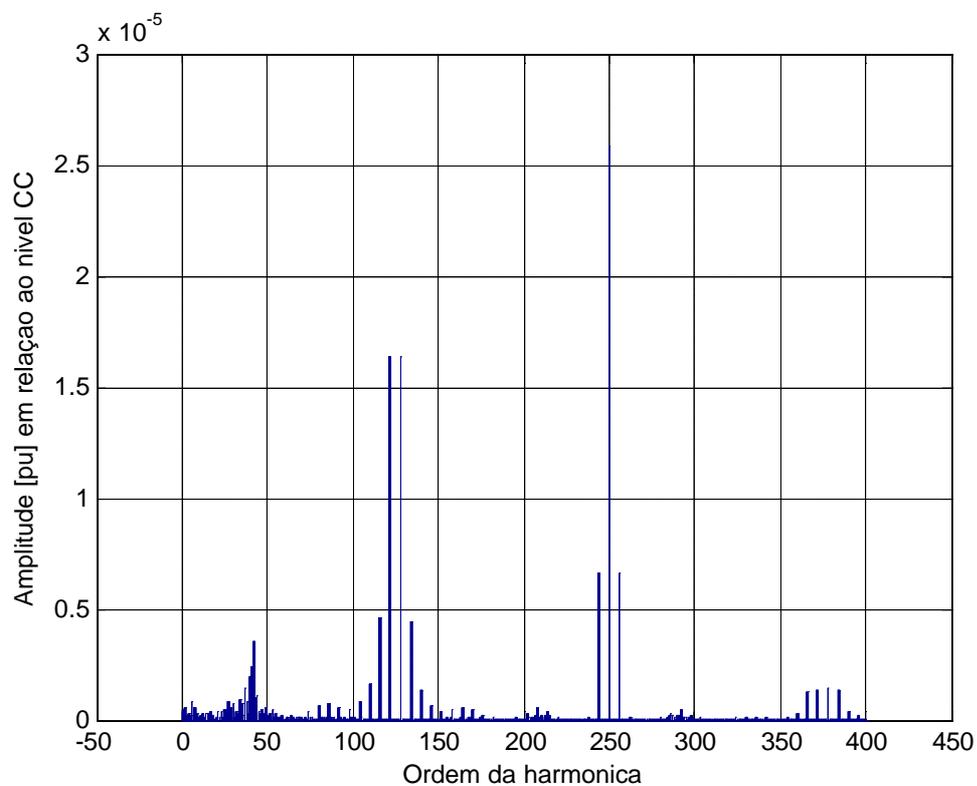


Figura 4.16: (Simulação) espectro de frequências do ondulação de v_{DC} , com carga nominal.

A Tabela 4.1 apresenta resultados de simulações para o comportamento do retificador perante a rede para diversas condições de carga, desde 10% a 110%.

Observa-se desta tabela, os valores de FP, $\cos\phi$ e THD. Para pequenos carregamentos estes indicadores apresentam resultados ruins, mas, como as potências utilizadas nestes casos são pequenas, não acarretam prejuízo significativo à rede.

Tabela 4.1: (Simulação) FP, $\cos\phi$ e THD de corrente em função da carga.

| Saída | Entrada | | | |
|----------|---------|--------|--------------|----------|
| potência | FP | cosPhi | THD corrente | Potência |
| % | | | % | W |
| 10 | 0,9909 | 0,9994 | 12,81 | 34,975 |
| 50 | 0,9997 | 1,0000 | 2,56 | 174,956 |
| 90 | 0,9999 | 1,0000 | 1,42 | 314,959 |
| 100 | 0,9999 | 1,0000 | 1,28 | 349,954 |
| 110 | 0,9999 | 1,0000 | 1,16 | 384,956 |

4.2 ANÁLISE DE DESEMPENHO EM REGIME TRANSITÓRIO (RT)

São mostradas as formas de onda resultantes da simulação para o sistema operando em RT. O desempenho da malha de tensão é comparado ao previsto utilizando o modelo linearizado.

Os casos mostrados em 4.2 e 4.3 não utilizam injeção de sequência zero.

No item 3.2.2.1 é mostrada a linearização da planta para o ponto de operação correspondente às condições nominais de projeto, ou seja, para valores nominais de v_{DC} e pico das correntes CA. O conversor tipo fonte de tensão oferece tensão no lado

CC sempre maior que o valor de pico da tensão de linha da rede (v_{ccmin}). Por outro lado, o máximo valor da tensão CC (v_{ccmax}) não deve ser muito maior do que v_{ccmin} , para se evitarem a utilização de chaves e capacitor com elevada tensão de trabalho, e conseqüentemente, elevado custo. Assim, a faixa de variação admissível ($v_{ccmax}-v_{ccmin}$) é bastante estreita para as aplicações convencionais, fazendo com que o valor da tensão do barramento CC seja sempre próximo ao nominal, respeitando a hipótese utilizada para a linearização. O valor de pico da corrente CA, por seu lado varia conforme a carga no lado CC. O regulador de tensão, do tipo PI a parâmetros fixos, foi projetado para as condições nominais de v_{DC} , pico da corrente CA e i_{DC} nominal (item 3.2.2.2). Assim, é necessário investigar o comportamento do retificador com carregamentos inferiores ao nominal, como mostrado na Tabela 4.1 e, principalmente, o comportamento nos transitórios entre as várias condições de carga. Este item se resume à verificação do desempenho das malhas de tensão e corrente para transitórios de carga.

Para se avaliar o desempenho do regulador de tensão para pequenas perturbações, impuseram-se variações em degrau de 10% em torno da resistência de carga. A Figura 4.17 apresenta os resultados para variações de 10% na resistência de carga em torno da condição nominal. O retificador está inicialmente com potência nominal. Segue intervalo com redução de 10% da resistência de carga, outro com carga nominal, outro com 110% da resistência de carga nominal, e finalmente o intervalo com retorno a condições nominais. Observa-se em v_{DC} os subsinais e sobre-sinais que ocorrem após cada alteração na carga.

Na Figura 4.18 e na Figura 4.19 também são mostradas perturbações de 10% na carga, a partir de 50% e 10% da carga nominal, respectivamente, 0,5A e 0,1A. Nestas figuras são monitorados: v_{DC} , a saída do bloco proporcional (S_{KP}), o sinal na saída do bloco integral (S_{KI}) e a somatória dos dois últimos (I_{ref}) (Figura 3.18). O sinal de erro na entrada do controlador PI (Figura 3.10) é igual à referência (constante, $v_{DCref}=350V$) menos a tensão CC na saída do retificador (v_{DC}). O sinal i_{DC} apresenta os transitórios de carga.

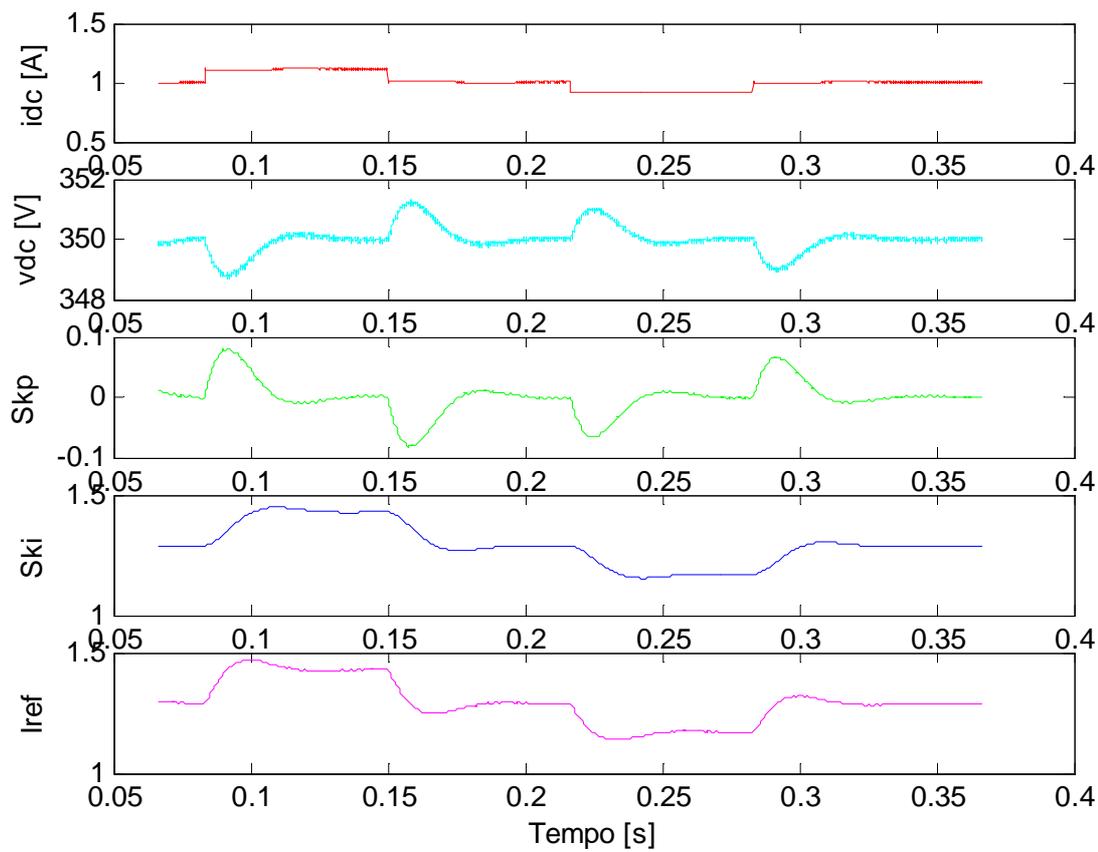


Figura 4.17: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno da nominal (1A).

Nestas três figuras (Figura 4.17 a Figura 4.19) podem-se observar o comportamento dos controladores proporcional e integral. O proporcional atua apenas durante transitórios, ou seja, ele é diferente de zero apenas quando é necessário corrigir o ponto de operação. Já o controlador integral apresenta uma atuação lenta, sendo responsável pelo erro em regime nulo para perturbações em degrau.

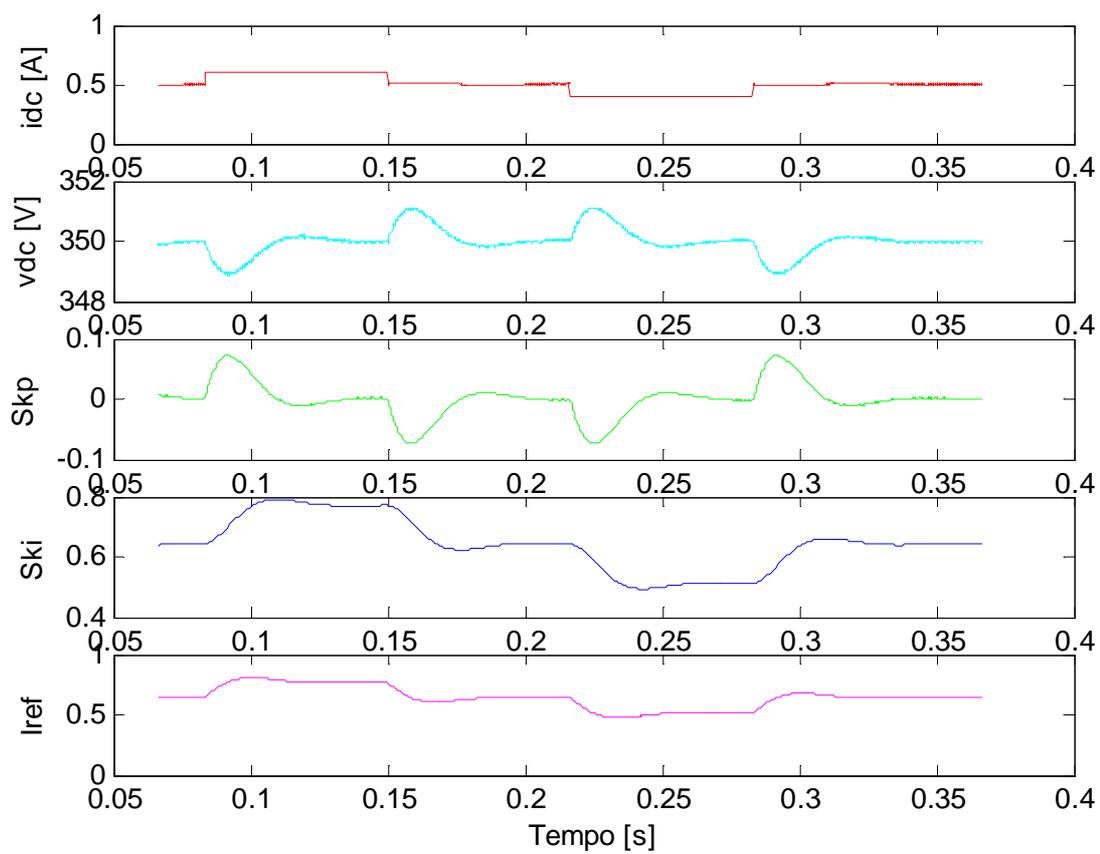


Figura 4.18: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno de 50% da nominal (0,5A).

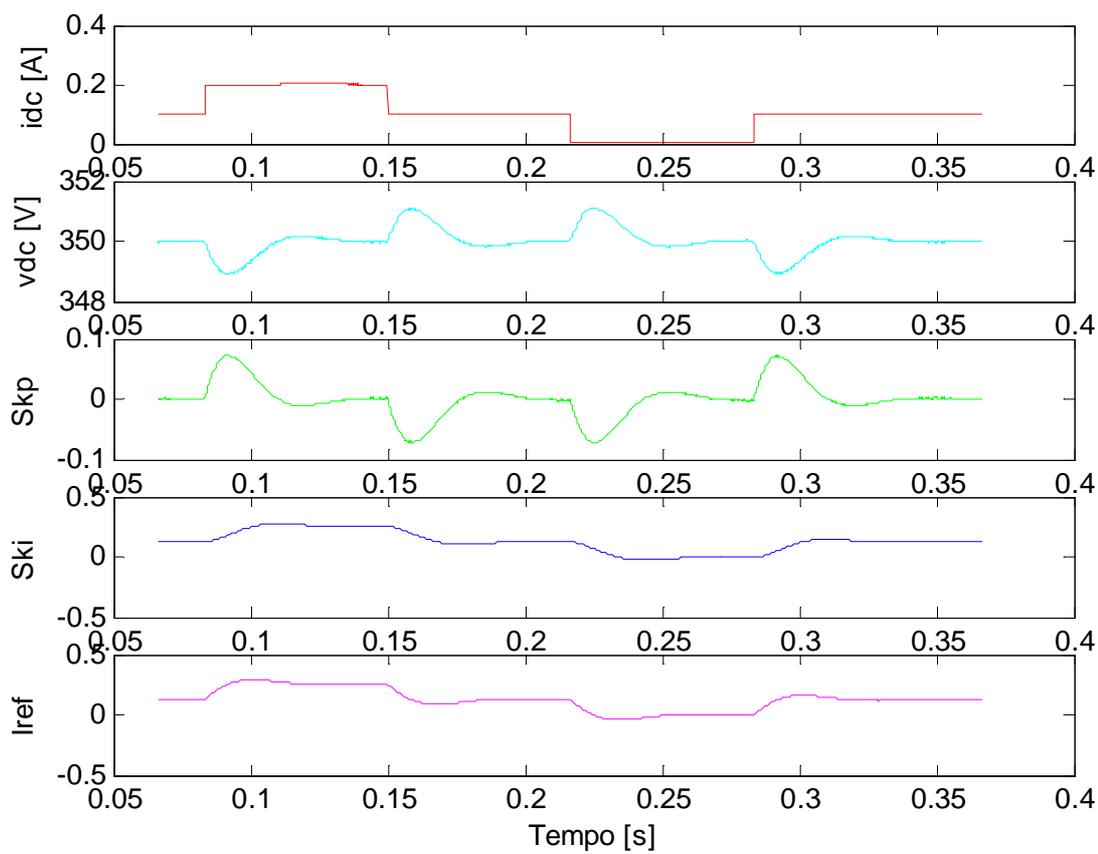


Figura 4.19: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de 10% de carga em torno de 10% da nominal (0,1A).

A Figura 4.20 apresenta os resultados para degraus de carga de 50% e 100%, ou seja, com 100%, 50% e 0% da potência nominal na saída.

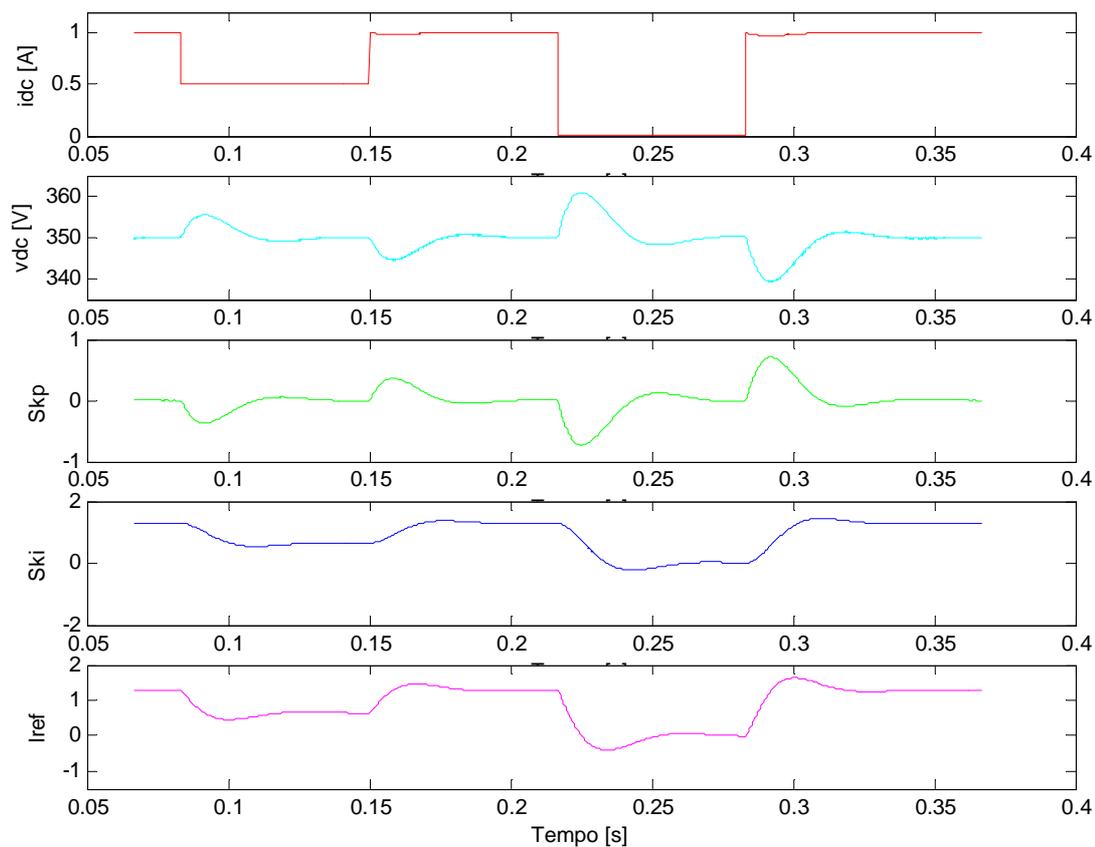


Figura 4.20: (Simulação) i_{DC} , v_{DC} , e saídas dos blocos proporcional, integral e PI (Figura 3.18), para variações de carga 50% da nominal (0,5A).

A Tabela 4.2 acrescenta à Tabela 3.1 os parâmetros de desempenho do retificador simulado (modelo não linear), permitindo sua comparação com os valores teóricos (obtidos a partir do modelo linearizado):

- Os índices de desempenho do modelo simulado são muito próximos dos obtidos para o modelo teórico para todos os pontos de operação investigados. Isto indica que a linearização e a simplificação realizadas para o modelo teórico são adequadas.
- Como previsto teoricamente (item 3.2.2.4), o ponto de operação (i_{DC}) inicial provoca pequena alteração nos parâmetros de desempenho, como pode ser visto para degraus de mesma amplitude (Δi_{DC}), partindo de diferentes valores iniciais de i_{DC} .

- A relação quase linear existente entre as amplitudes dos sub e sobre-sinais em relação à amplitude da perturbação em i_{DC} (Δi_{DC}) se verificam igualmente no retificador simulado.
- Os tempos de acomodação do modelo simulado são semelhantes aos do modelo teórico, mas a imprecisão de leitura não permite comparações consistentes.

Tabela 4.2: Sub e sobre-sinais e tempo de acomodamento em algumas condições de carga – teórico e simulado.

| i_{DC} inicial [A] | Δi_{DC} [A] | Sub e sobre-sinais [V] | | Tempo de acomodação na faixa de 2,7% [ms] | |
|-------------------------|---------------------|------------------------|----------|--|-----------------------|
| | | Teórico | Simulado | Teórico | Simulado ⁷ |
| 1,0 | 0,1 | -1,192 | -1,2 | 13,1 | 14 |
| 0,5 | -0,1 | 1,211 | 1,1 | 13,9 | 15 |
| 0,1 | 0,1 | -1,226 | -1,1 | 14,5 | 15 |
| 0 | 1,0 | -12,294 | -10,7 | 20,2 | 20 |
| 1,0 | -1,0 | 11,923 | 10,86 | 19,9 | 20 |
| 1,0 | 1,0 | -11,923 | -10,84 | 19,9 | 20 |
| 1,0 | 3,0 | -35,770 | -35,5 | 35,6 | 35 |

A Figura 4.21 mostra grandezas externas do retificador (tensões e correntes nas entradas e saída). Têm-se, assim, as formas de onda de corrente CA para alguns pontos de operação: potência nula, 10%, 50% e 100% da potência nominal. O primeiro gráfico mostra as três correntes CA, enquanto o segundo mostra a tensão e

⁷ Valores aproximados, lidos diretamente dos gráficos.

corrente na fase s . Os terceiro e quarto gráficos mostram o comportamento da tensão e corrente CC.

Do segundo gráfico observa-se a inversão de fase da corrente quando há rejeição de carga. Neste instante o controlador PI continua a impor I_{ref} (Figura 3.18), de modo a manter a potência anterior. A potência excedente, que não é consumida pela carga, é absorvida pelo capacitor aumentando sua tensão. O controlador PI detecta este aumento de tensão e gera um sinal de saída (I_{ref}) negativo, de modo a forçar a operação do retificador como inversor, retirando energia do capacitor e enviando à rede, de modo a se restabelecer a tensão nominal no lado CC.

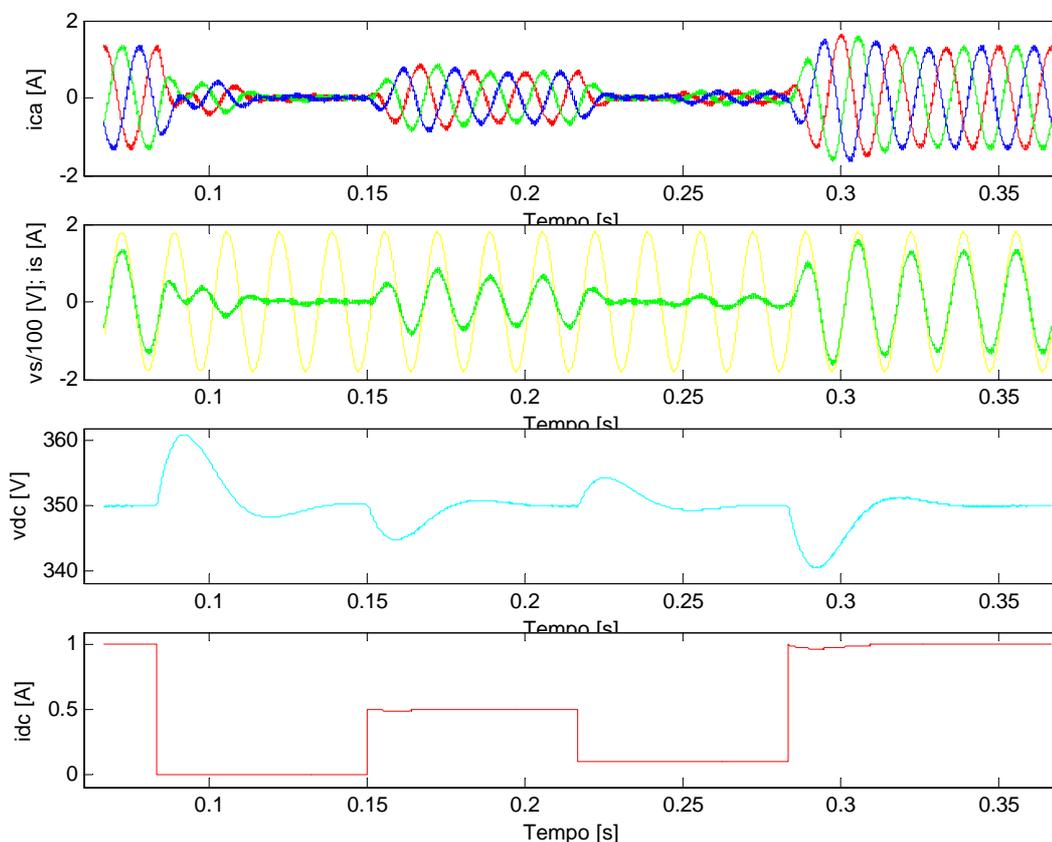


Figura 4.21: (Simulação) i_r , i_s e i_t , $v_s/100$ e i_s , v_{DC} e i_{DC} para degraus de carga de 100%, 50% e 10% da nominal.

Neste item foram apresentados resultados de simulações para diversos pontos de operação do retificador, mostrando um comportamento estável para utilização de controlador fixo e operação em pontos distintos do nominal. Verificou-se

inicialmente o desempenho do controlador de tensão para pequenas perturbações (Figura 4.17, Figura 4.18 e Figura 4.19), e posteriormente, sua robustez para grandes perturbações foi mostrada na Figura 4.20 e na Figura 4.21, verificando-se que o sistema permanece estável com valores aceitáveis de tempo de acomodação e sobre-sinais. Embora os parâmetros de desempenho do sistema simulado tenham se mostrado aquém dos valores previstos teoricamente (Tabela 4.2), os valores para o modelo simulado são razoáveis, considerando as aproximações e simplificações já discutidas no item 3.2.2.4. Na realização experimental a investigação se limita aos pontos de operação para potências nominal, 50% e nula, como pode ser visto no capítulo 5.

4.3 ANÁLISE DE SENSIBILIDADE À VARIAÇÃO DOS PARÂMETROS

Neste item é verificada via simulação a validade da faixa admissível para variação do indutor de filtro estabelecida no item 3.2.1.2.

O efeito da variação da corrente de carga foi avaliado no item 4.2. Aqui se tem a análise da influência de erros no valor do indutor de filtro. Nesta simulação, o conversor trifásico foi implementado substituindo-se o inversor e o bloco PWM (Figura 3.10) por três fontes controladas por tensão iguais às da Figura 3.13, respeitando-se o modelo utilizado na análise do item 3.2.1.2.

Para $\alpha^8 = 1$ nota-se a oscilação não amortecida com frequência de 2500Hz, que corresponde a $\frac{1}{6}$ da frequência de amostragem, de acordo com o item 3.2.1.2. Quando o indutor real é maior que o considerado em projeto ($\alpha > 1$) o sistema se torna

⁸ $\mathbf{a} = \frac{L_{projeto}}{L_{real}}$, como mostrado no item 3.2.1.2.

mais amortecido, mas é introduzida uma defasagem proporcional ao α , como mostrado na Figura 4.22.

O sistema é instável quando o indutor real é menor que o considerado em projeto ($\alpha < 1$), como demonstrado em 3.2.1.2. A Figura 4.23 mostra i_r e i_{refr} para $\alpha = 0,95$, para o modelo da malha de corrente apresentado em 3.2.1.2. Como previsto teoricamente neste item, o sistema é instável.

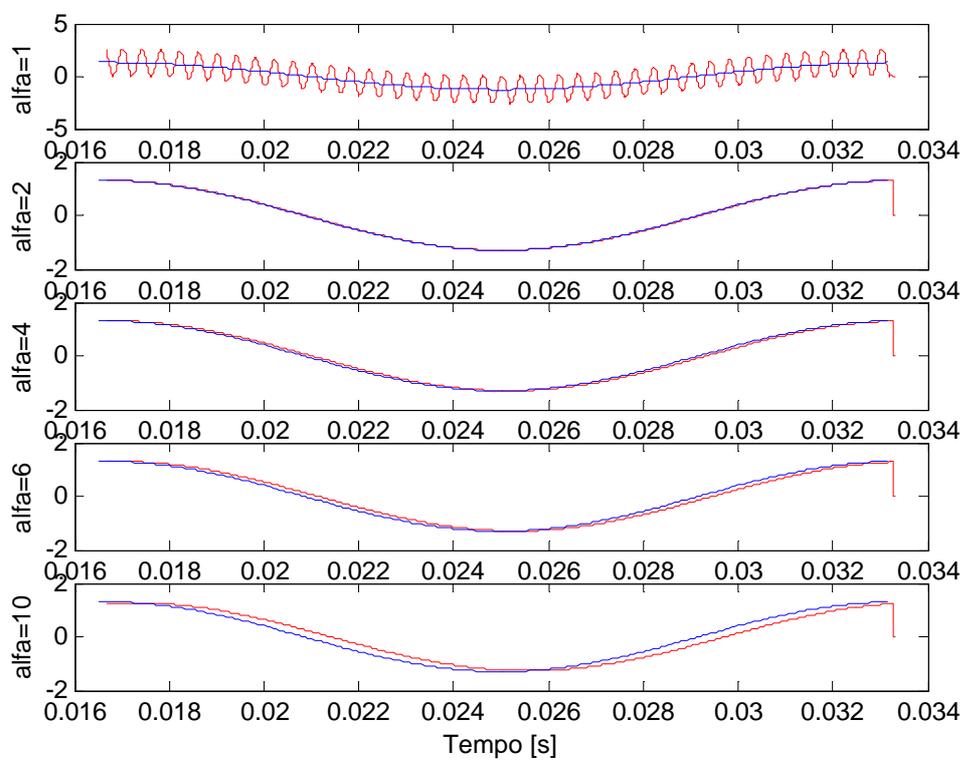


Figura 4.22: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha > 1$.

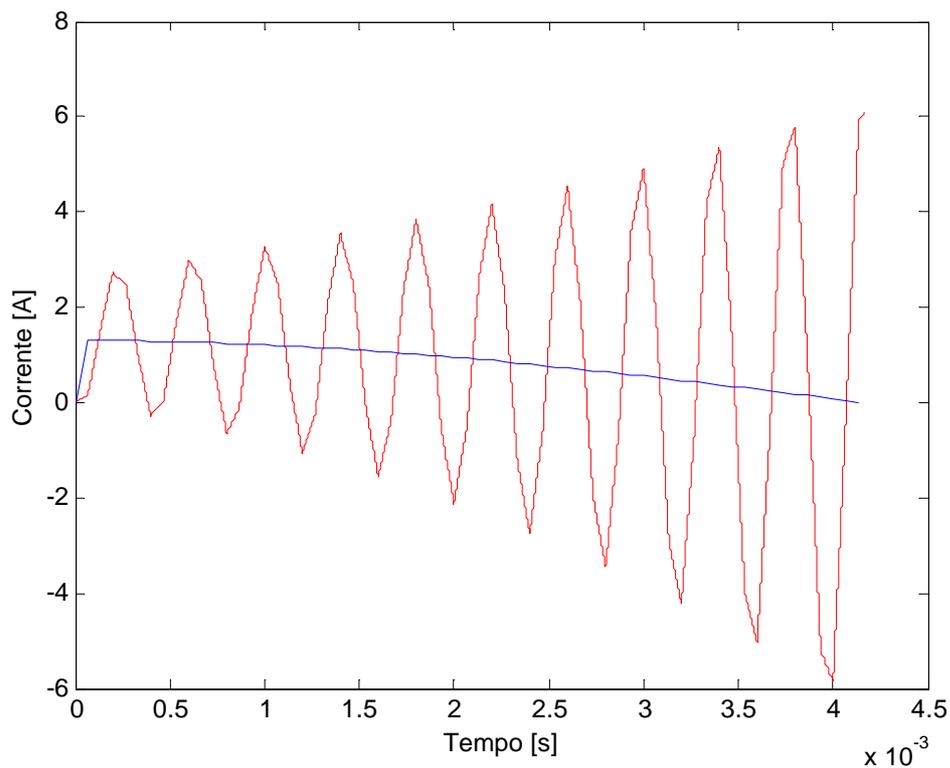


Figura 4.23: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha=0,95$, como modelado.

Substituindo-se as três fontes vinculadas pelo “inversor + bloco PWM”, obtém-se i_r mostrado na Figura 4.24, para o mesmo $\alpha=0,95$. Observa-se que o sistema se torna estável. Isto ocorre porque o bloco PWM limita a amplitude de v_{crefr} , em $+v_d$ ou $-v_d$, que é o limite do barramento CC. A Figura 4.25 mostra v_{crefr} (em azul) para o primeiro caso (fonte vinculada sem limitação), e em vermelho para o caso que considera o inversor + bloco PWM, com tensão de saída limitada na faixa $+v_d$ ou $-v_d$.

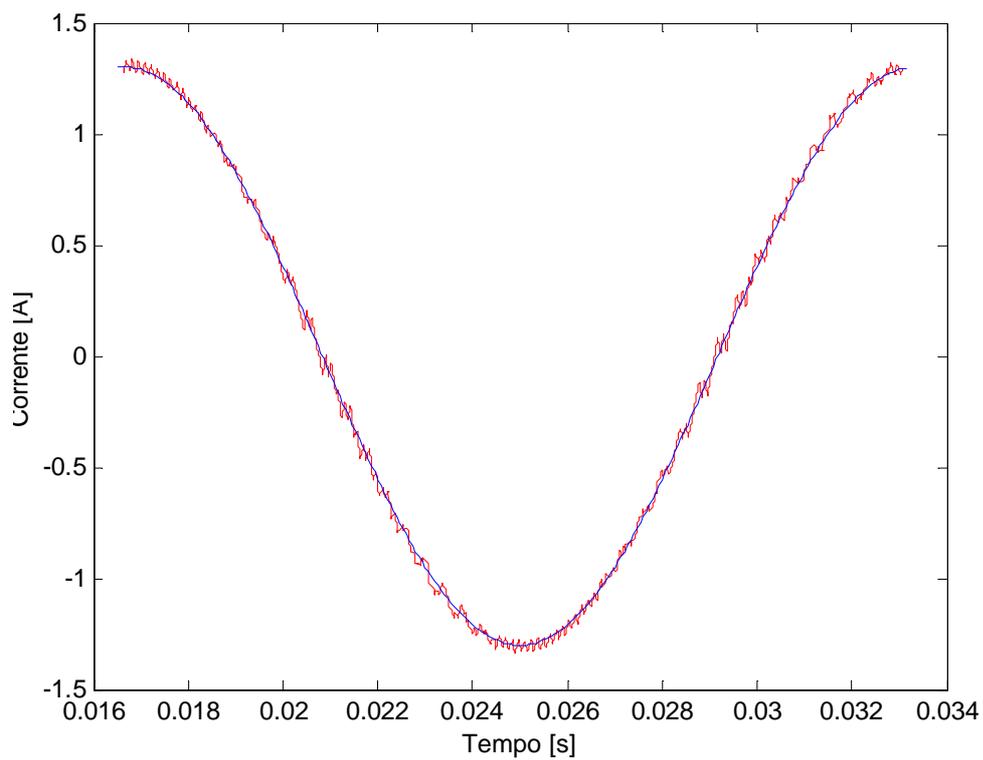


Figura 4.24: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha=0,95$, com PWM.

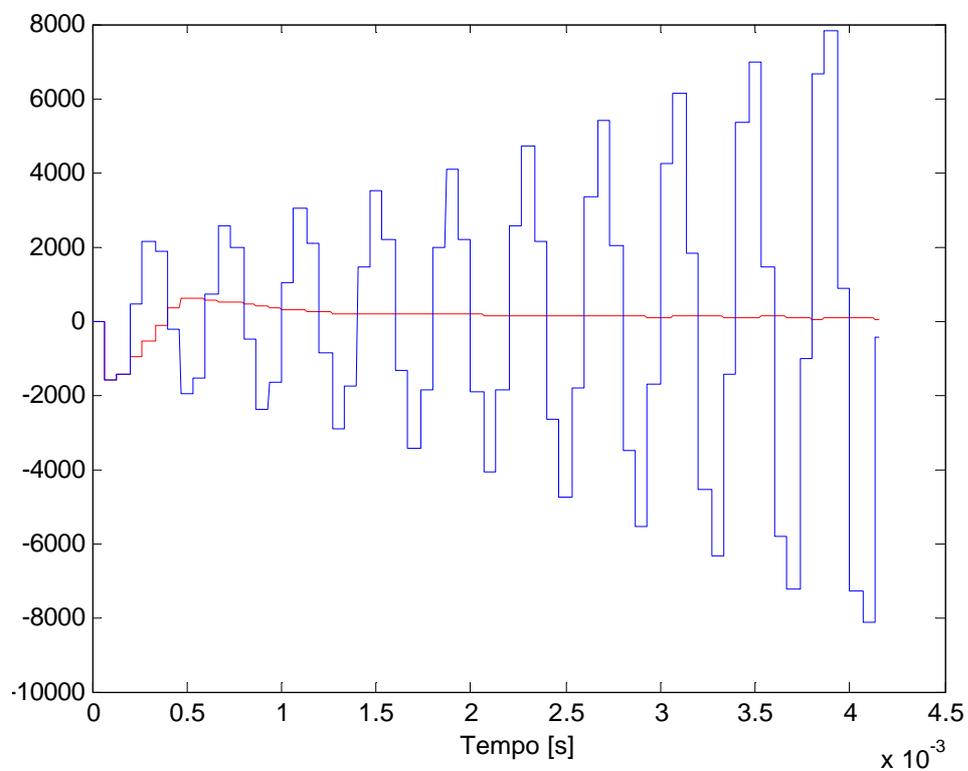


Figura 4.25: (Simulação) v_{crefr} com PWM (vermelha) e v_{crefr} do modelo (azul) para $\alpha=0,95$.

Têm-se na Figura 4.26 em vermelho o sinal v_{crefr} , empregando-se fontes vinculadas no lugar do inversor, e introduzindo-se um limitador de $+v_d$ ou $-v_d$ em v_{crefr} . Em azul, tem-se v_{crefr} para o sistema com inversor + bloco PWM. Observa-se que o efeito estabilizante é devido ao limitador e não ao modulador PWM.

A Figura 4.27 mostra o comportamento da corrente de linha (i_r) para valores de α entre 1 e 0,1. Observa-se que o sistema não perde a estabilidade, embora se torne muito oscilatório para pequenos valores de α . Na prática, o limite inferior de α é função da máxima oscilação permitida nas correntes de linha.

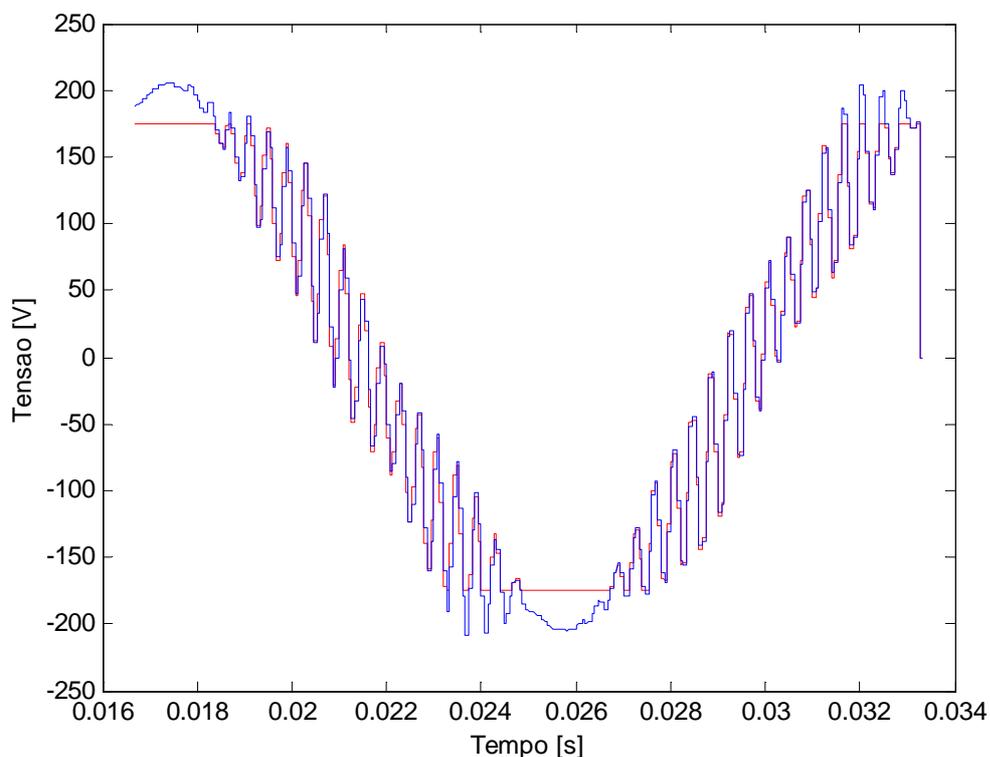


Figura 4.26: (Simulação) v_{crefr} com PWM (azul) e v_{crefr} do modelo com introdução de limitador (vermelha) para $\alpha=0,95$.

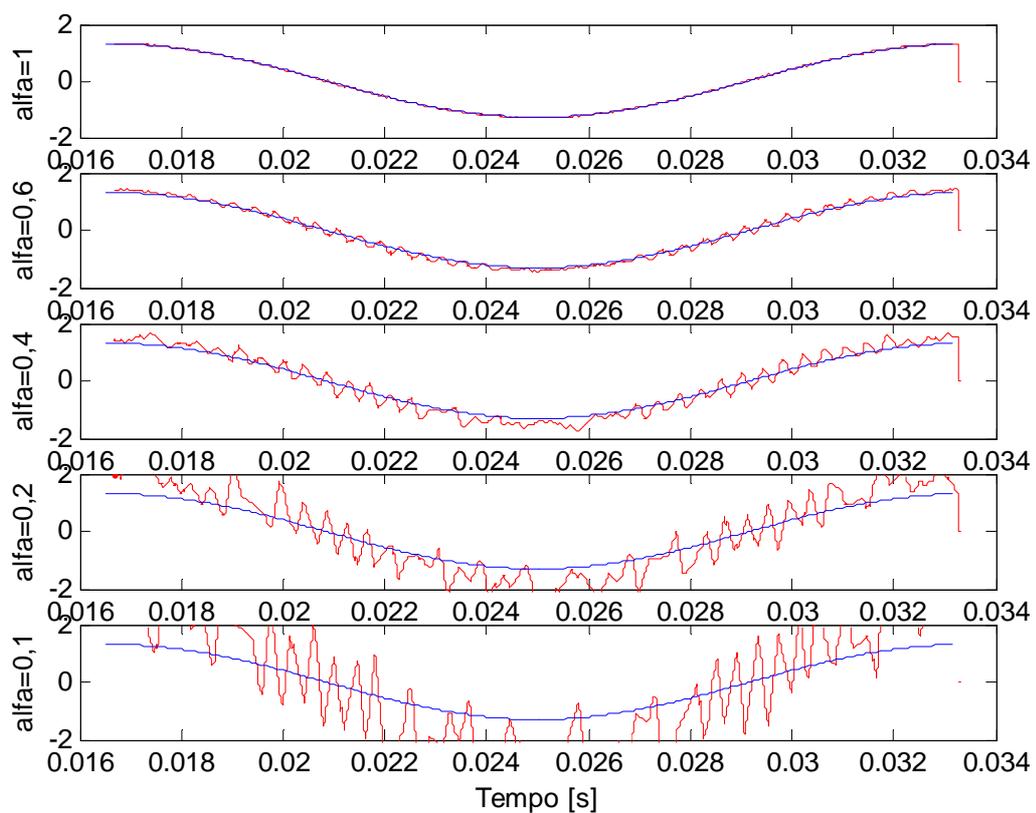


Figura 4.27: (Simulação) i_r (vermelha) e i_{refr} (azul) para $\alpha < 1$, com PWM.

5 RESULTADOS EXPERIMENTAIS

Este capítulo apresenta e analisa as medições experimentais realizadas, comparando-as com os resultados obtidos via simulação.

O sistema utilizado para a implementação experimental está descrito no Anexo.

O capítulo anterior apresenta resultados de simulações numéricas para o retificador estudado. Neste capítulo têm-se os resultados obtidos experimentalmente, que são apresentados conjuntamente com novas simulações para maior facilidade de comparação. As novas simulações apresentadas neste capítulo utilizam as formas de onda das tensões de rede reais (e portanto não senoidais) medidas quando da obtenção dos resultados experimentais.

A seguir são apresentadas formas de onda de medições realizadas para verificar o comportamento do retificador nas diversas condições estudadas. Não foi aplicada a técnica de injeção de seqüência zero nos experimentos.

É importante observar ainda que:

- Para alimentação foi utilizada a rede 3 ϕ do laboratório. As tensões da rede CA não são puramente senoidais em 60Hz, e apresentam formato aproximadamente trapezoidal, como mostrado em diversas figuras a seguir.
- Este conteúdo harmônico varia com o carregamento da instalação, ou seja, a forma de onda da tensão depende do horário e dia em que foi realizada a medição. O mesmo vale para as amplitudes de cada fase, que apresentam variações.
- Foram utilizados dois osciloscópios, duas pontas de tensão diferencial na escala 200:1 e duas pontas de corrente amplificadas, na escala mais adequada

em cada caso. Com isso, existem pequenas diferenças de calibração entre um dispositivo e outro, levando a pequenas diferenças de amplitudes registradas. Embora se tenha tomado o cuidado de deixar todo o sistema estabilizar termicamente antes das aquisições, existem pequenas variações de tensões residuais (*off-set*) nos dispositivos ao longo das medidas.

Os parâmetros empregados nos experimentos e nas simulações são os mesmos e estão listados a seguir.

- Tensão de linha: 3 ϕ 220V eficazes
- Frequência da rede: 60Hz
- Indutores de linha: 92mH
- PWM assimétrico com frequência de 7,5kHz
- Tempo de amostragem do controlador de 66,667 μ s
- Capacitor de filtro lado CC: 390 μ F
- Tensão CC: 350V
- Resistência de carga (meia carga): 691 Ω
- Resistência de carga (carga nominal): 351 Ω
- Intervalo de integração: 1/(200*15000)s (simulação)

5.1 AVALIAÇÃO DO DESEMPENHO EM REGIME PERMANENTE (RP)

Aqui são apresentadas as medições com o sistema operando em RP.

Para a medição das tensões de fase v_r , v_s e v_t e das correntes de linha i_r , i_s e i_t em regime permanente (RP), como foram utilizadas duas pontas de tensão e duas pontas de corrente, as grandezas da fase t foram capturadas e armazenadas para exibição posterior juntamente com as outras duas fases, sem prejudicar o resultado.

A Figura 5.1 apresenta as tensões de fase e correntes de linha para as três fases, com o retificador com carga nominal, capturadas como média de oito amostras para minimizar os ruídos presentes na medida. Observam-se as tensões com formato trapezoidal, e as correntes com formato senoidal nas cores correspondentes. À semelhança da figura anterior, a Figura 5.2 apresenta os resultados da simulação correspondente, permitindo a verificação visual da semelhança entre o experimental e o simulado. As simulações foram realizadas utilizando as tensões de fase v_r , v_s e v_t medidas no ponto de acoplamento com a rede (com o retificador parado).

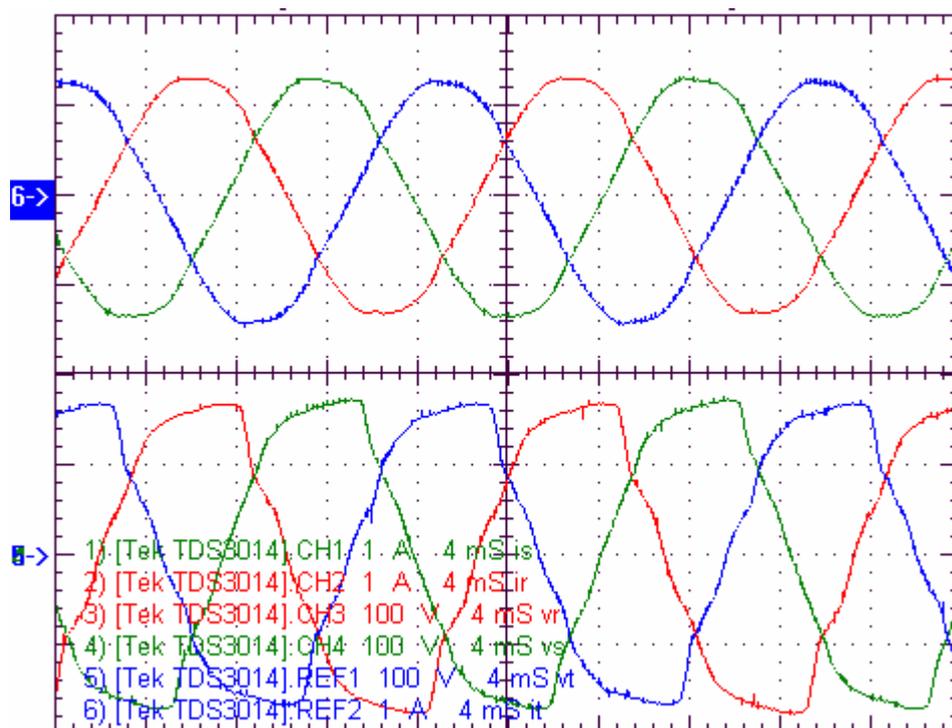


Figura 5.1: (Experimental) i_r , i_s e i_t (topo), v_r , v_s e v_t (base) com carga nominal.

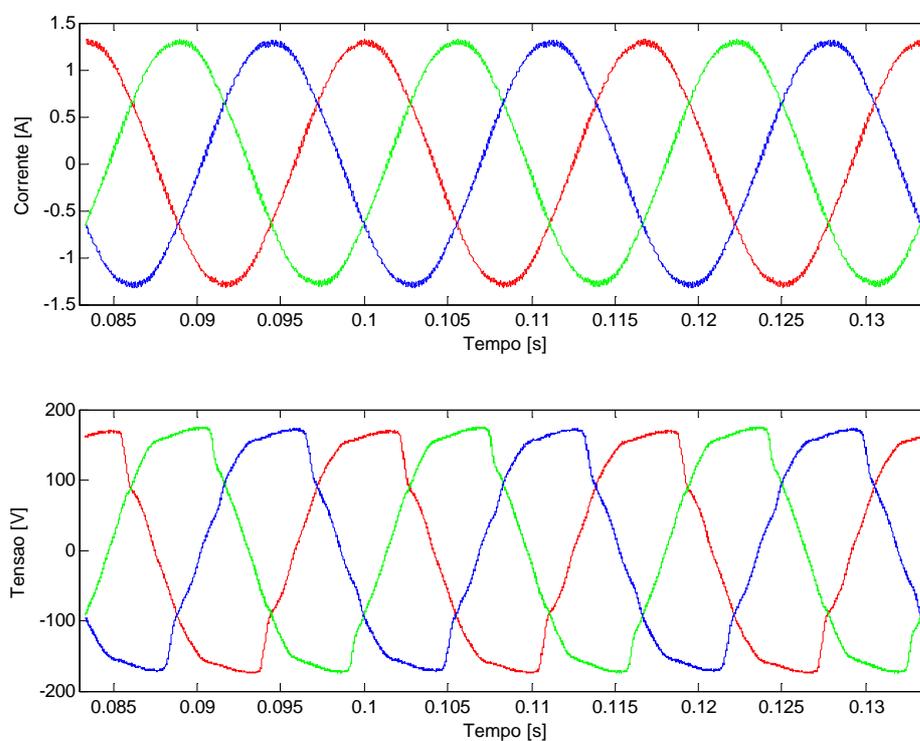


Figura 5.2: (Simulado) i_r , i_s e i_t (topo), v_r , v_s e v_t (base) com carga nominal. FP=0,9983.

A Figura 5.3 mostra a tensão e a corrente de entrada do retificador em uma fase (v_r e i_r) e a tensão e a corrente de saída (v_{DC} e i_{DC}) para a condição de carga nominal (350W), em amostragem única (com o osciloscópio no modo de aquisição única), permitindo visualizar a oscilação na corrente devido ao chaveamento e os ruídos introduzidos pela medida.

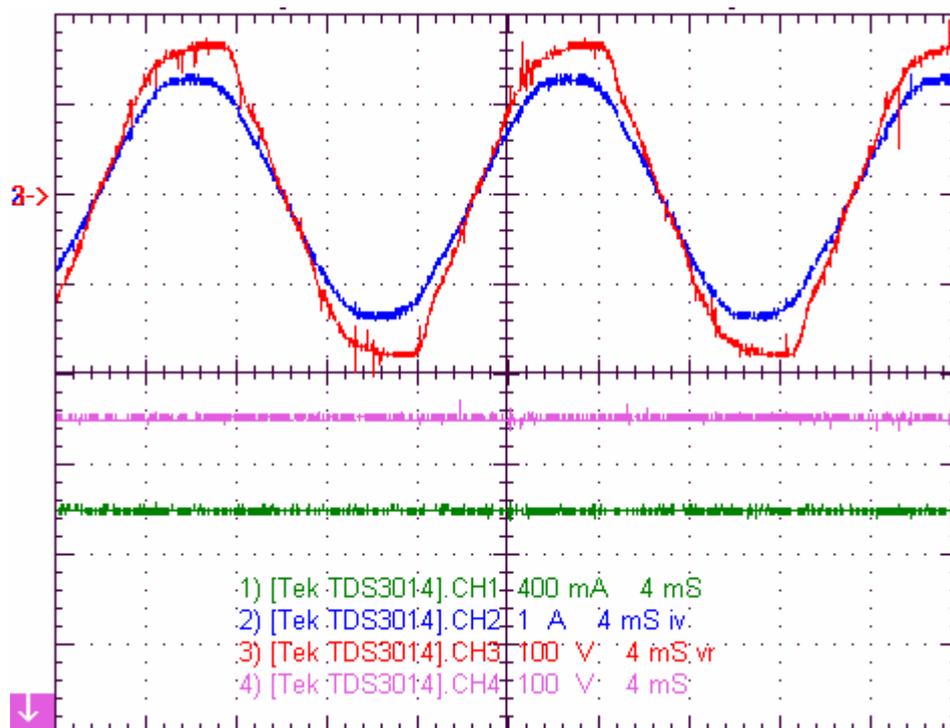


Figura 5.3: (Experimental) v_r (vermelho) e i_r (azul), v_{DC} (rosa) e i_{DC} (verde), com carga nominal.

A Tabela 5.1 permite comparar quantitativamente os resultados experimentais e simulados, mostrados respectivamente na Figura 5.3 e na Figura 5.4, através dos valores de potência ativa e aparente, THD de corrente, $\cos\phi$ e FP em uma fase (r), além de apresentar a potência ativa e FP total na entrada trifásica do retificador para o caso simulado, mostrando a coerência entre os valores totais e para uma fase. Tem-se desta tabela:

- A potência por fase é um terço da total;

- A potência dissipada no retificador (para uma potência na carga de 350W e sem considerar a potência consumida pelo sistema de controle) é de 3,2%.
- O FP de uma fase experimental é muito próximo do simulado por fase e total;
- O $\cos\phi$ experimental e o simulado são muito semelhantes;
- O THD experimental é maior que o simulado, e uma das causas é o ruído presente no sinal medido;
- Os valores de potências experimentais são maiores que os simulados, o que mostra a potência dissipada pelo retificador, que foi desprezada no modelo simulado.

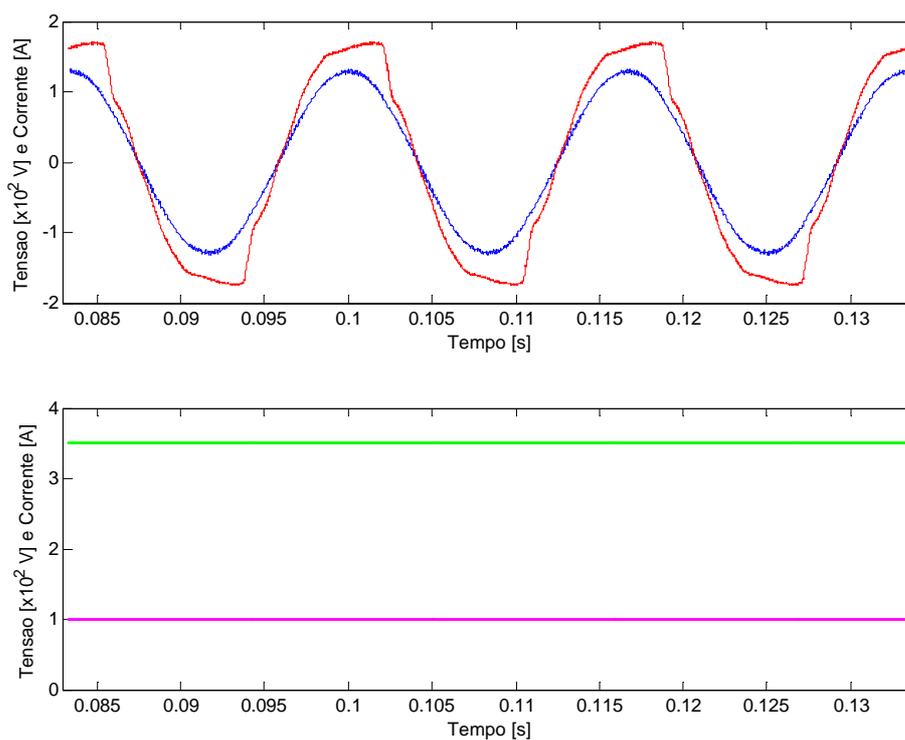


Figura 5.4: (Simulado) v_r (vermelho) e i_r (azul), v_{DC} (rosa) e i_{DC} (verde), com carga nominal.

Tabela 5.1: Potências, THD, $\cos\phi$, e FP com carga nominal, experimental e simulado.

| Grandeza | | Experimental | Simulado |
|----------|------------------------|--------------|----------|
| Total | Potência [W] | 361,5315 | 348,9893 |
| | FP | 0,9957 | 0,9958 |
| Fase r | Potência [W] | 121,2773 | 116,5070 |
| | Potência Aparente [VA] | 121,5861 | 117,1120 |
| | THD [%] | 2,9205 | 1,7488 |
| | $\cos\phi$ | 0,9991 | 0,9994 |
| | FP | 0,9975 | 0,9948 |
| Fase s | Potência [W] | 120,8730 | 116,412 |
| Fase t | Potência [W] | 119,3817 | 116,070 |

Tem-se a seguir, da Figura 5.5 à Figura 5.12, o comparativo entre o real e o simulado, mostrando um ciclo da tensão e da corrente em uma fase (r), para três situações de carga (nominal, meia carga e sem carga). A Figura 5.5 mostra as formas de onda de tensão e corrente para a fase r , com carga nominal, com aquisição da média de oito amostragens. A Figura 5.6 apresenta resultado de simulação semelhante.

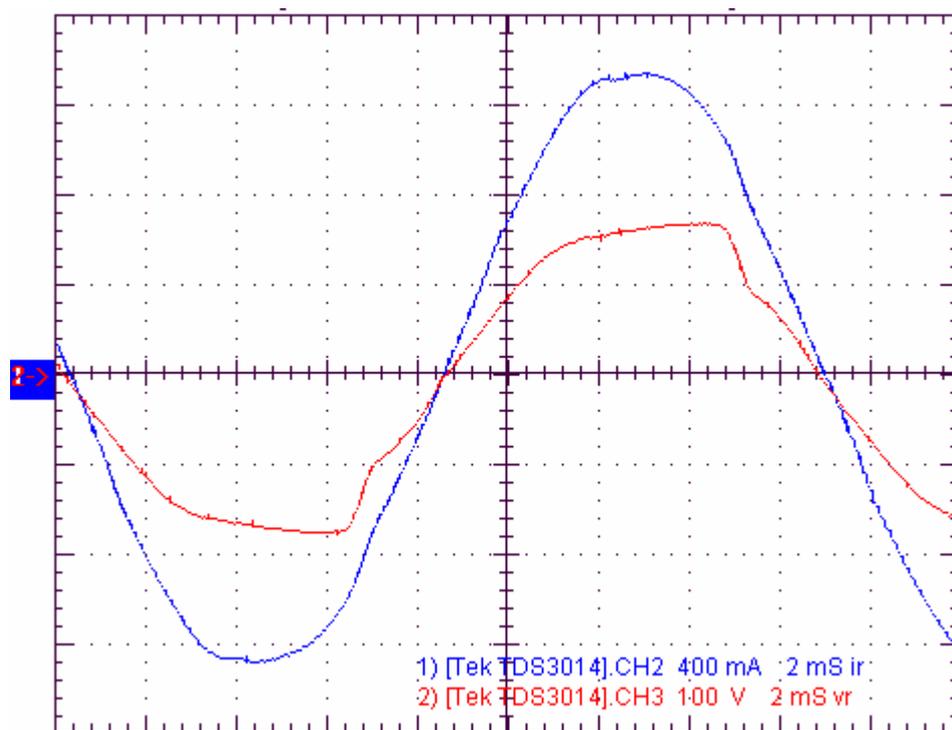


Figura 5.5: (Experimental) v_r (vermelho) e i_r (azul) com carga nominal.

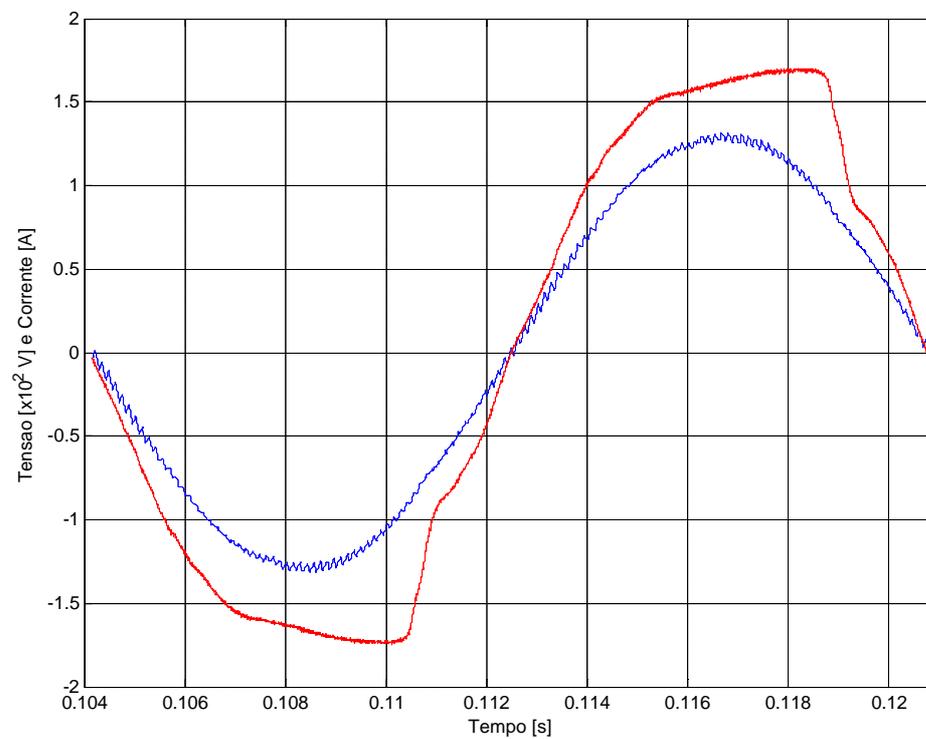


Figura 5.6: (Simulado) v_r (vermelho) e i_r (azul) com carga nominal.

A Figura 5.7 e a Figura 5.8 apresentam o espectro da corrente na fase r para os casos experimental e simulado mostrados respectivamente na Figura 5.5 e na Figura 5.6. Estes gráficos de espectros de corrente não possuem a componente fundamental e todas as outras são dadas em relação à fundamental. Com mesmas escalas, os gráficos permitem identificar os múltiplos das freqüências de amostragem (15kHz) e chaveamento (7,5kHz). Tem-se ainda, que o experimental possui maior conteúdo harmônico de baixas freqüências.

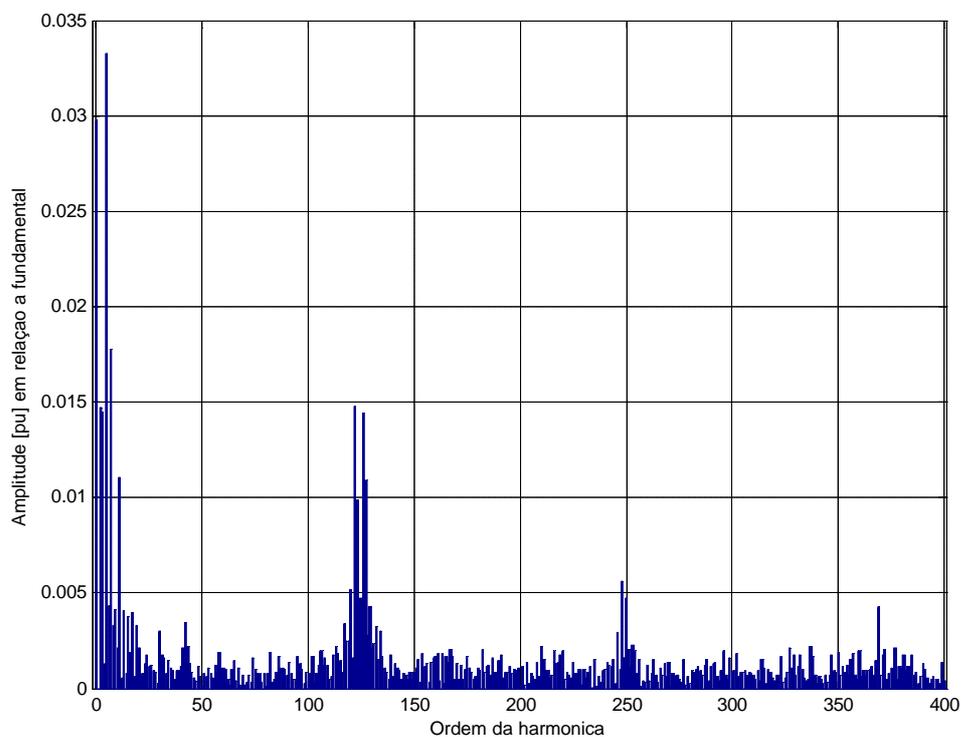


Figura 5.7: (Experimental) Espectro de ir com carga nominal. THD=2,51%.

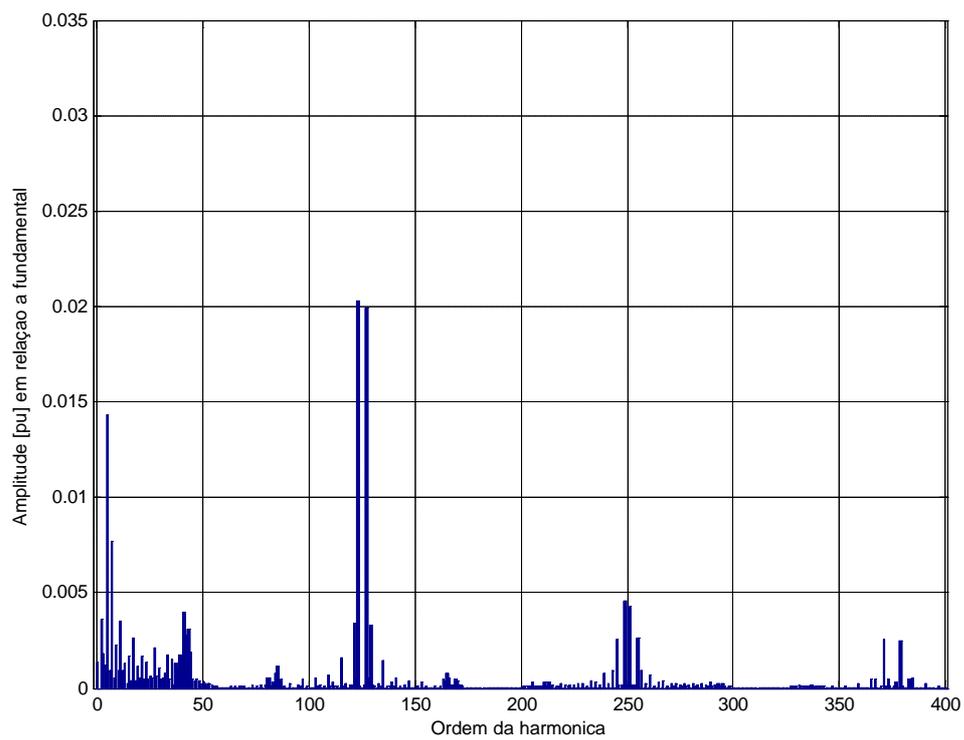


Figura 5.8: (Simulado) Espectro de i_r com carga nominal. THD=1,75%.

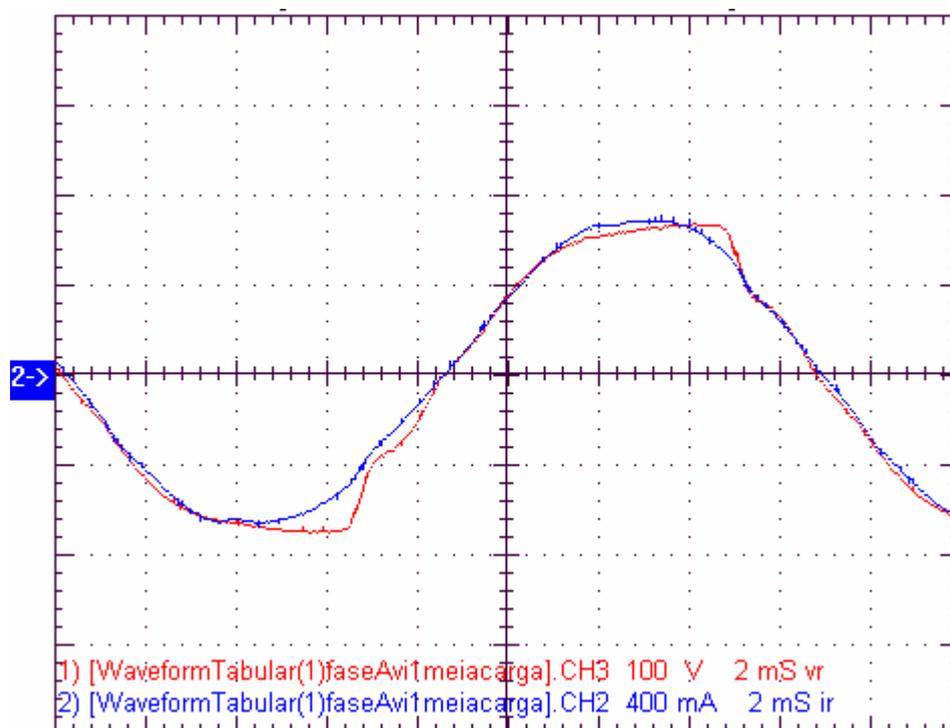


Figura 5.9: (Experimental) v_r (vermelho) e i_r (azul) com meia carga.

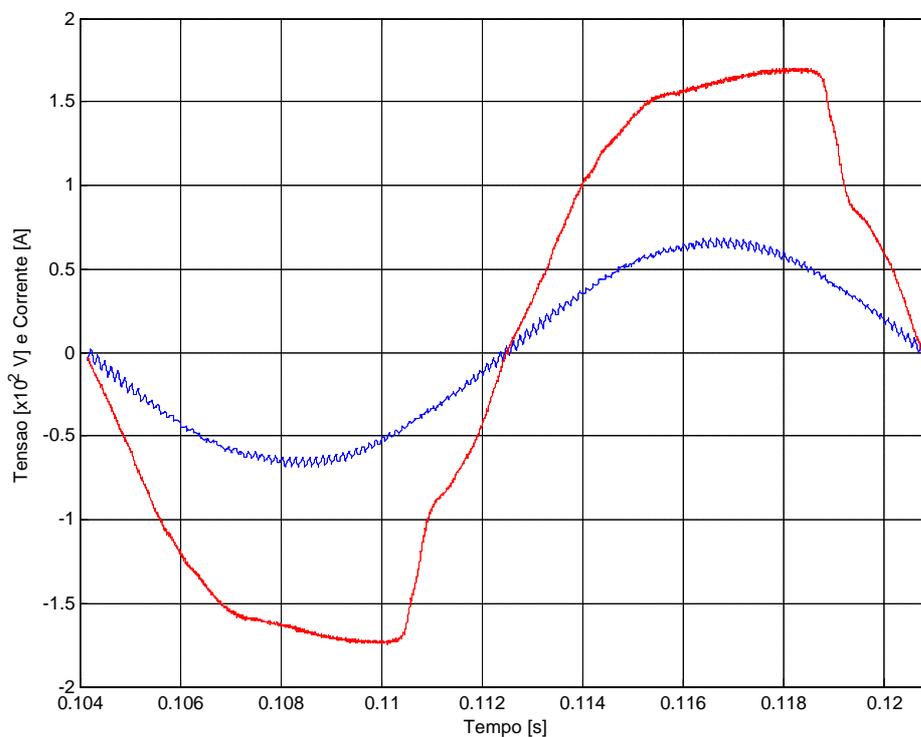


Figura 5.10: (Simulado) v_r (vermelho) e i_r (azul) com meia carga.

A Tabela 5.2 permite comparar os resultados reais e simulados para os casos apresentados na Figura 5.9 e na Figura 5.10. Comparando com a Tabela 5.1, observa-se que houve significativa piora no THD de corrente, embora o FP se mantenha acima de 0,994.

Tabela 5.2: Potências, THD, $\cos\phi$, e FP com meia carga, experimental e simulado.

| Grandeza | | Experimental | Simulado |
|----------|------------------------|--------------|----------|
| Total | Potência [W] | - | 177,2544 |
| | FP | - | 0,9951 |
| Fase r | Potência [W] | 62,5165 | 59,1575 |
| | Potência Aparente [VA] | 62,8379 | 59,5139 |
| | THD [%] | 3,5883 | 3,0745 |
| | $\cos\phi$ | 0,9993 | 0,9991 |
| | FP | 0,9949 | 0,9940 |

A tensão e a corrente na fase r com o retificador sem carga, são mostradas na Figura 5.11 e na Figura 5.12, com a corrente com componente fundamental nula, mas com componentes harmônicas de ordem superior. As formas de onda experimentais foram capturadas com média de oito amostragens.

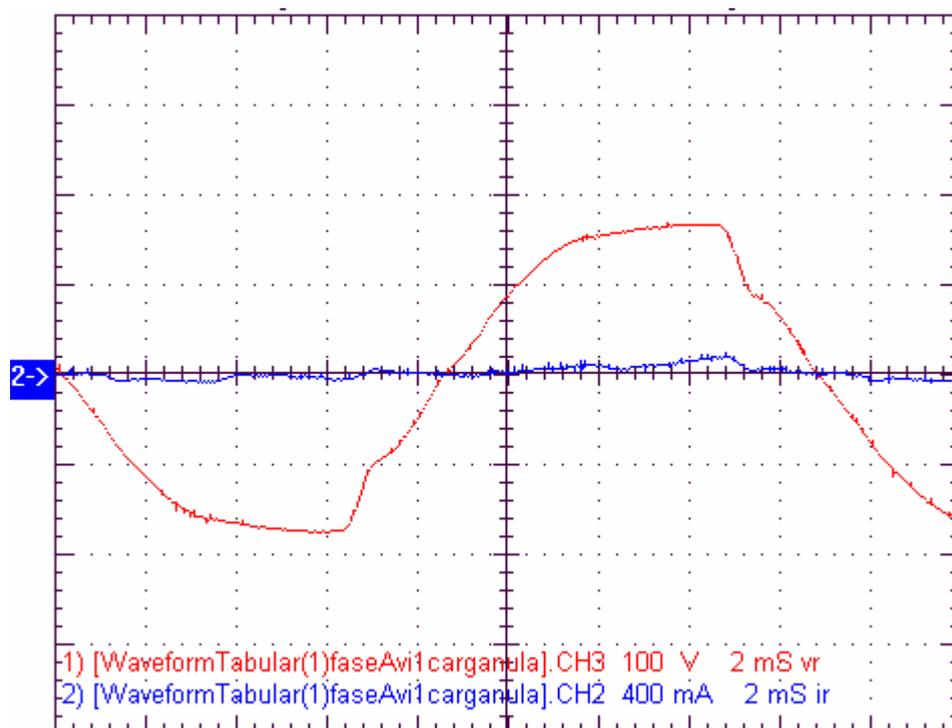


Figura 5.11: (Experimental) v_r (vermelho) e i_r (azul) com carga nula.

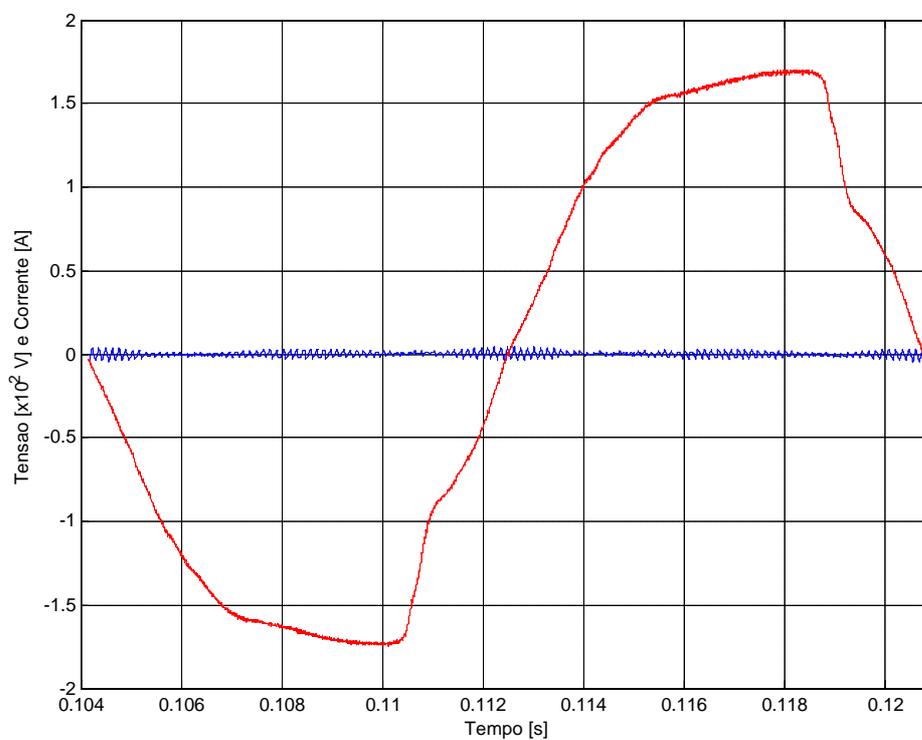


Figura 5.12: (Simulado) v_r (vermelho) e i_r (azul) com carga nula.

Tem-se na Figura 5.13 e na Figura 5.14 as tensões e correntes de entrada (fase r) e saída para o retificador alimentado com tensões de rede de fase de 80Vrms. Observa-se que, com a redução da tensão de fase, a corrente de linha aumentou de forma a manter a tensão de saída (v_{DC}) constante. Esta medida foi obtida com meia carga, uma vez que em carga completa a corrente de linha se torna maior que o limite da proteção por sobrecorrente imposto (1,7A), impedindo o funcionamento do retificador.

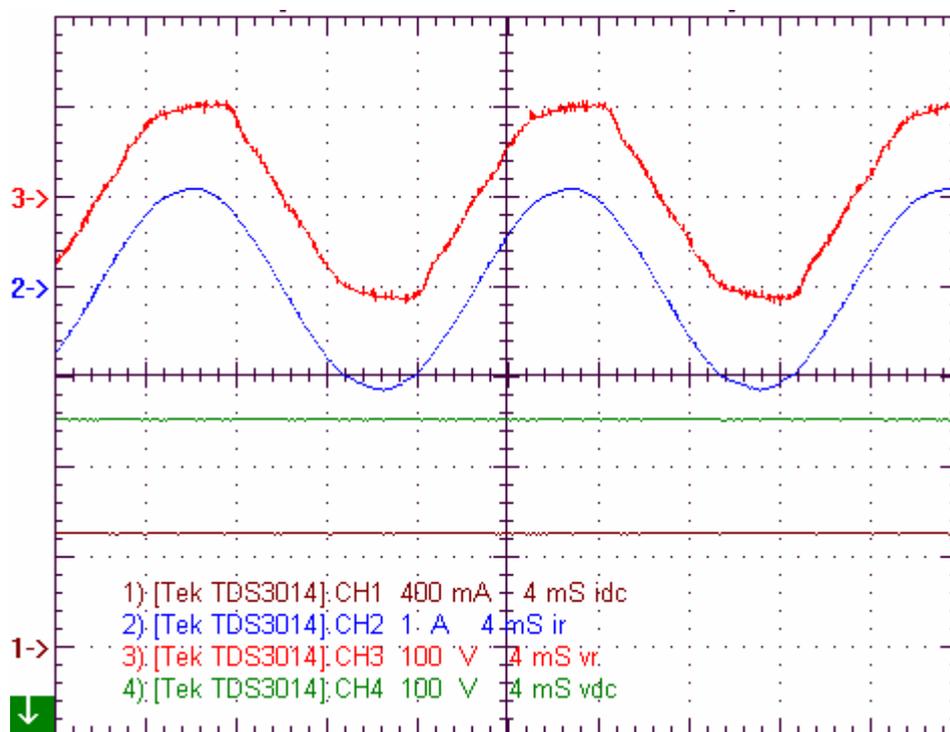


Figura 5.13: (Experimental) v_r (vermelho) e i_r (azul) com meia carga e v_r igual a 80Vrms.

A Tabela 5.3 permite comparar os resultados reais e simulados para os casos apresentados na Figura 5.13 e na Figura 5.14. Comparando com a Tabela 5.2, observa-se que houve significativa melhora no THD de corrente, o que pode ser explicado pelo fato da tensão CC ser sempre maior que o pico da tensão de fase, conforme discutido no item 4.1 e ilustrado na Figura 4.8.

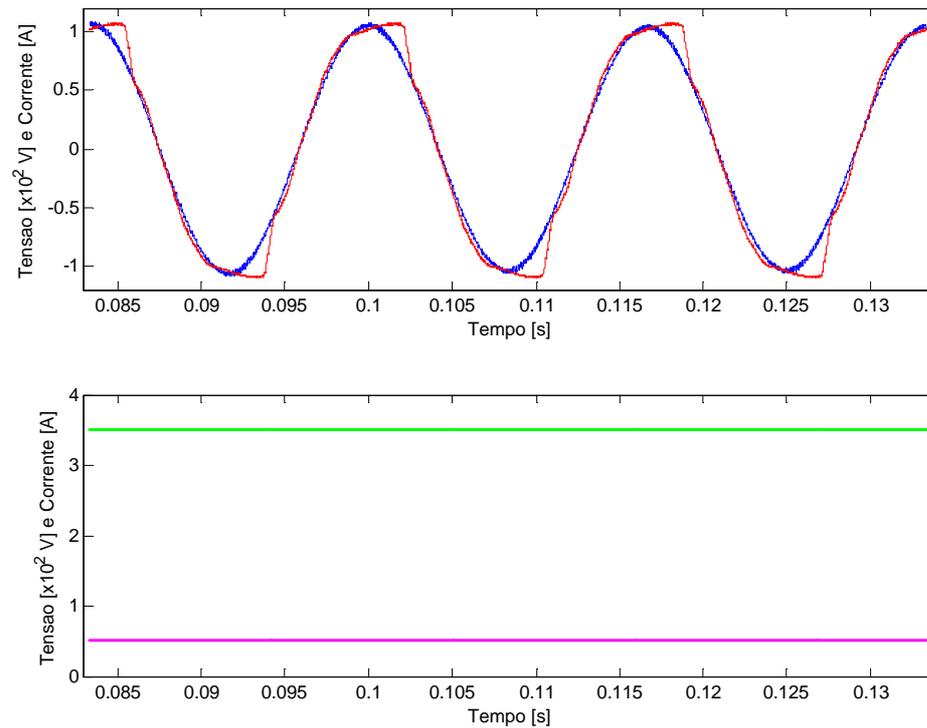


Figura 5.14: (Simulado) v_r (vermelho) e i_r (azul) com meia carga e v_r igual a 80Vrms.

Tabela 5.3: Potências, THD, $\cos\phi$, e FP com meia carga, experimental e simulado, para v_r igual a 80Vrms.

| Grandeza | | Experimental | Simulado |
|----------|------------------------|--------------|----------|
| Total | Potência [W] | - | 176,5082 |
| | FP | - | 0,9956 |
| Fase r | Potência [W] | 63,0085 | 58,9331 |
| | Potência Aparente [VA] | 63,1494 | 59,2624 |
| | THD [%] | 1,2785 | 0,9940 |
| | $\cos\phi$ | 0,9993 | 0,9992 |
| | FP | 0,9978 | 0,9944 |

5.2 AVALIAÇÃO DO DESEMPENHO EM REGIME TRANSITÓRIO

Aqui são apresentadas medições com o sistema operando em regime transitório.

5.2.1 PARTIDA DO RETIFICADOR COM CARGA NOMINAL

É mostrado o procedimento de partida do retificador.

Para a partida do sistema, inicialmente, com os MOSFETs da ponte retificadora inibidos, o programa é iniciado e ocorre a retificação não controlada pelos diodos reversos dos MOSFETs. Assim, no lado CC tem-se uma tensão máxima igual ao pico das tensões CA. Após isso, o controle passa a atuar na ponte retificadora, com uma referência de tensão CC crescente linearmente até atingir o valor nominal (350V).

A Figura 5.15 apresenta as tensões de linha CA e CC na partida do sistema. Não houve preocupação aqui em otimizar o tempo de partida.

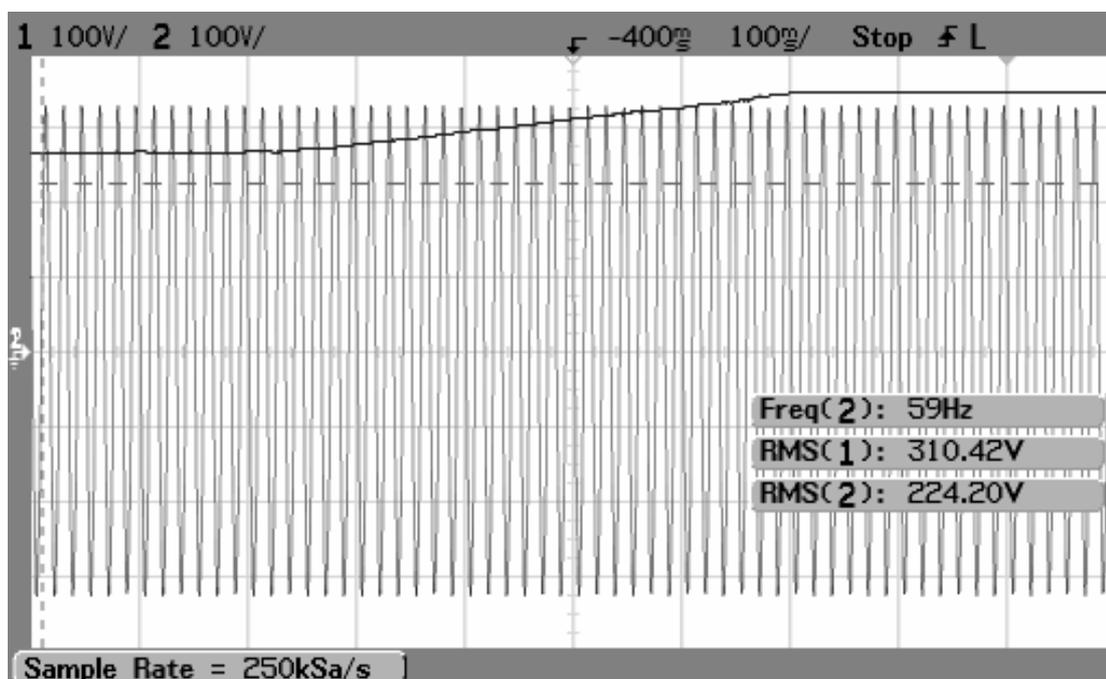


Figura 5.15: (Experimental) Tensões CC e CA em uma fase, na partida do sistema com carga nominal.

5.2.2 CHAVEAMENTO DE CARGA

É mostrado o comportamento do retificador em situações de rejeição e re-introdução de carga.

A seguir são apresentadas formas de onda para o retificador operando com transitórios de carga. As figuras a seguir mostram as tensões e correntes na entrada (fase s) e na saída (CC) do retificador.

Na Figura 5.16 (simulação), inicialmente o retificador está com carga nominal e ocorre rejeição total de carga, seguida por retorno a carga nominal; depois ocorre redução a meia carga, e finalmente retorno a carga nominal. Observa-se o sobre-sinal em v_{DC} sempre que ocorre rejeição de carga, assim como subsinal correspondente a aumento de carga.

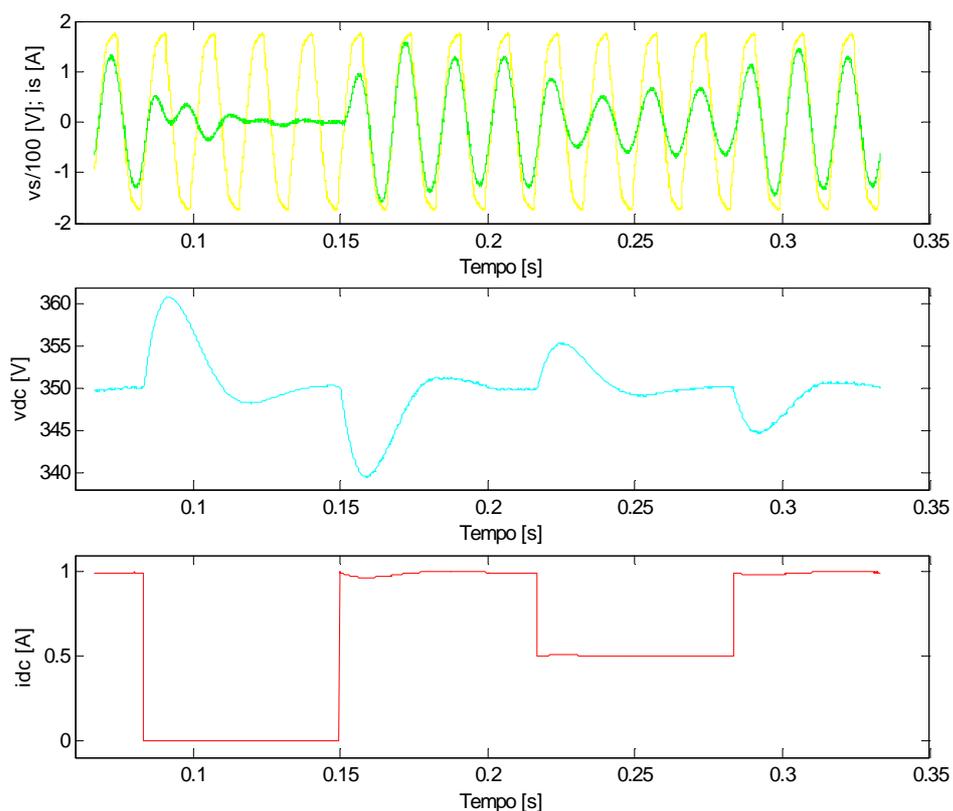


Figura 5.16: (Simulado) v_s (amarelo) e i_s (verde), v_{DC} (azul) e i_{DC} (vermelho) com transitórios de carga: carga nominal, nula e meia carga.

A Figura 5.17 mostra estas grandezas na retirada e re-introdução total da carga. A retirada da carga ocorre lentamente devido a limitação física do chaveamento manual e do arco-voltaico que ocorre na interrupção da corrente, o que pode ser observado também na Figura 5.18, que mostra inicialmente a introdução da carga seguida da sua retirada. Em ambos os casos podem-se observar os subsinais e sobre-sinais que ocorrem em v_{DC} nos chaveamentos de carga, e que são mostrados em detalhes no item 5.2.3.

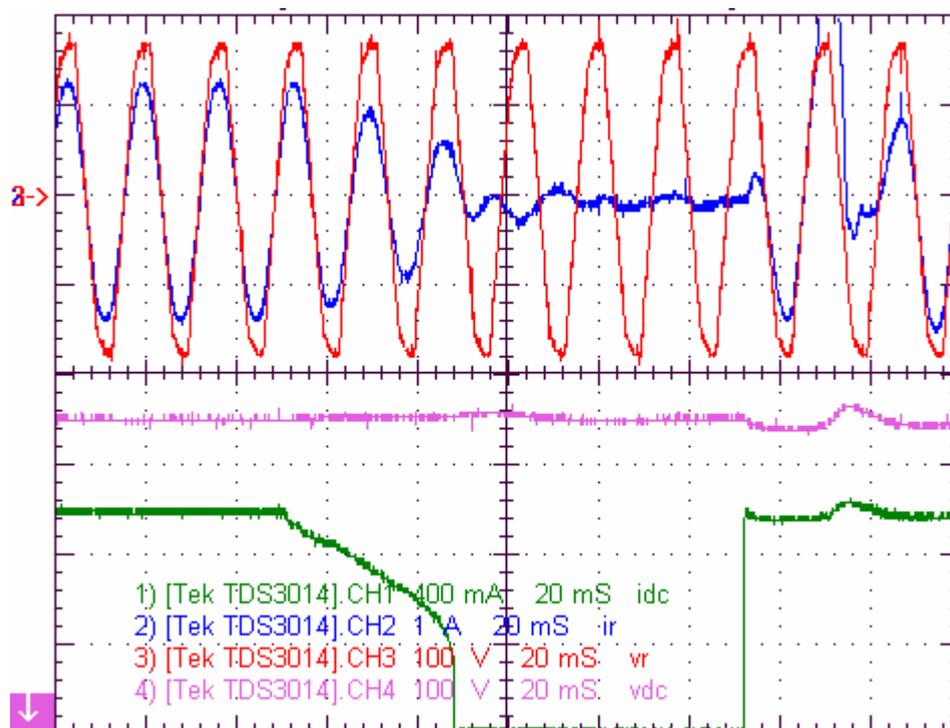


Figura 5.17: (Experimental) v_r (vermelho), i_r (azul), v_{DC} (rosa) e i_{DC} (verde) com rejeição e re-introdução de carga plena.

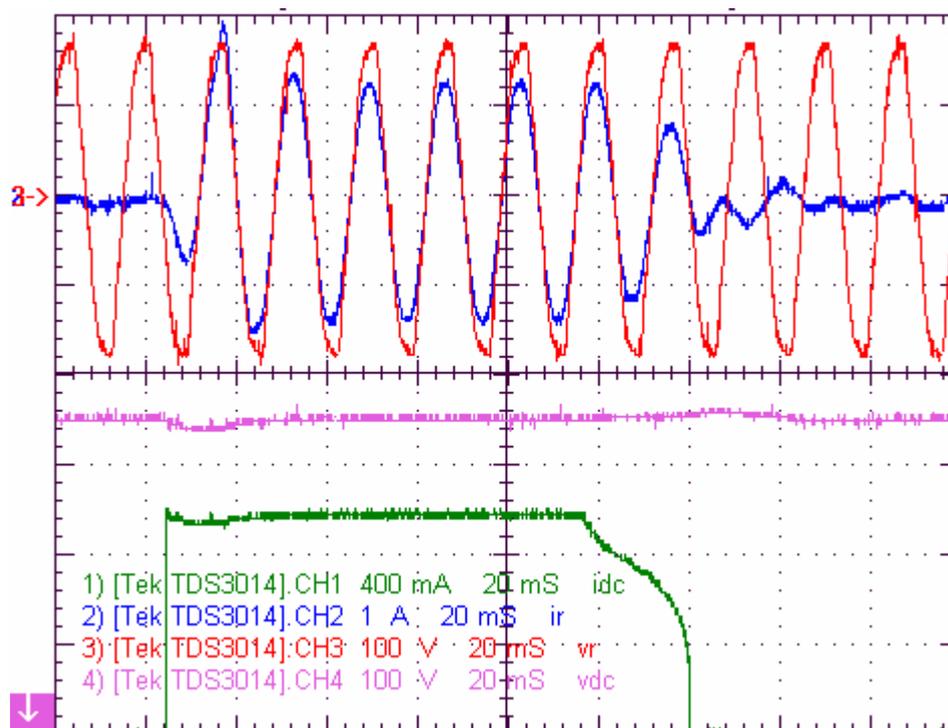


Figura 5.18: (Experimental) v_r (vermelho), i_r (azul), v_{DC} (rosa) e i_{DC} (verde) com introdução e retirada de carga plena.

5.2.3 SUB E SOBRE-SINAIS EM v_{DC} PARA VARIAÇÃO DE CARGA EM DEGRAU

No item anterior pôde-se observar em v_{DC} o subsinal na introdução de carga e o sobre-sinal na rejeição de carga. Este item apresenta os sub e sobre-sinais em detalhes para o transitório mais crítico (entre carga nula e nominal). Para se medir adequadamente as perturbações de alguns volts em v_{DC} ($=350V$), utilizou-se um circuito RC série ($R=100k\Omega$, $C=47\mu F$) na saída do retificador, possibilitando a subtração dos 350V de v_{DC} . Devido a limitações dos dispositivos utilizados experimentalmente, não foram investigados casos com correntes de valores maiores que as nominais.

Na Figura 5.19 tem-se a rejeição total de carga, onde se pode observar um sobre-sinal de aproximadamente 9V, em 350V (2,6%), valor ligeiramente inferior ao obtido em simulação (10,86V), mostrado na Figura 4.21 e na Tabela 4.2, o que pode ser explicado pela dificuldade na obtenção de um degrau decrescente abrupto, devido à abertura de arco na chave comutadora da carga. O tempo de acomodação, de difícil leitura no gráfico, vê-se que é próximo de 20ms, semelhante ao obtido para o modelo simulado (20ms). Embora, neste caso, a rejeição de carga mostrada não seja em degrau, estes índices de desempenho são compatíveis com os índices para Δi_{DC} simétrico, mostrados na Figura 5.20.

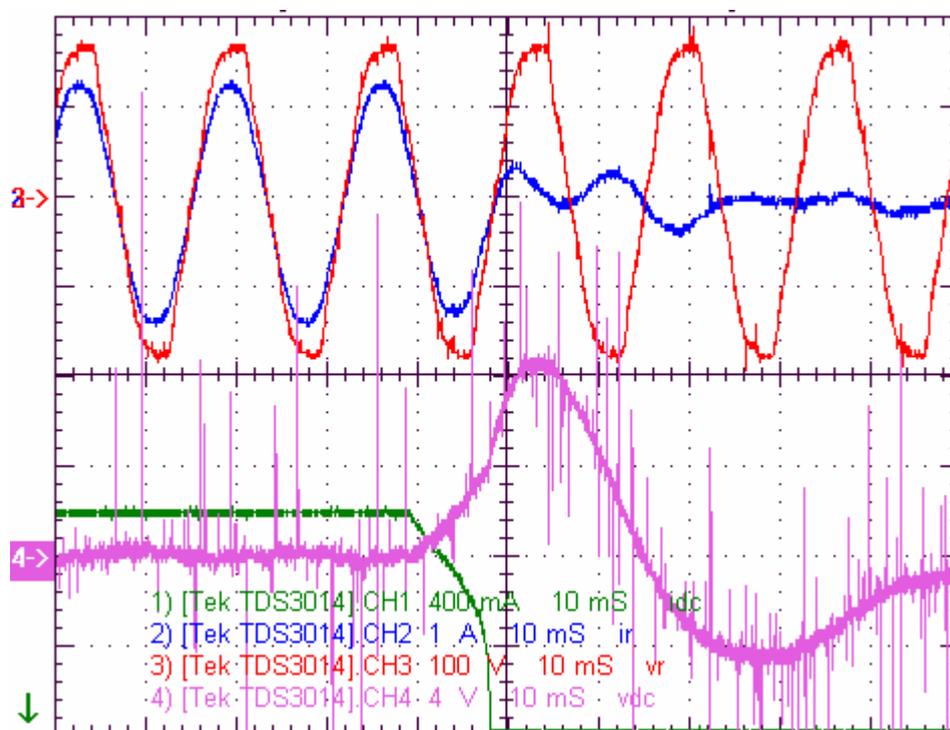


Figura 5.19: (Experimental) v_r (vermelho), i_r (azul), ($v_{DC} - 350V$) (rosa) e i_{DC} (verde), sobre-sinal na retirada de carga.

A Figura 5.20 mostra formas de onda com a introdução de carga nominal. Pode-se observar um subsinal de aproximadamente 10V, em 350V (2,8%), valor semelhante ao encontrado em simulação (10,84V), apresentado na Figura 4.21 e na Tabela 4.2. De difícil leitura no gráfico, o tempo de acomodação é algo como 20ms, também semelhante ao obtido para o modelo simulado.

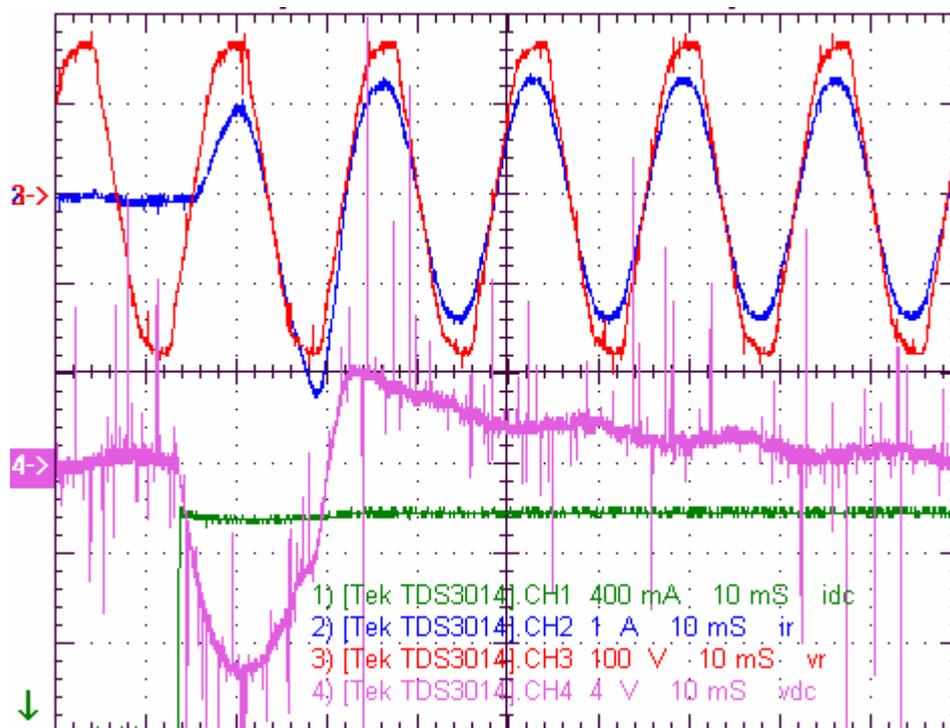


Figura 5.20: (Experimental) v_r (vermelho), i_r (azul), $(v_{DC} - 350V)$ (rosa) e i_{DC} (verde), subsinal na introdução de carga.

Como os sub e sobre-sinais medidos na pior condição de carga (chaveamento de 100%) são semelhantes aos simulados e aos teóricos (Figura 4.21 e Tabela 4.2), pode-se concluir que condições intermediárias de corrente de carga (i_{DC}) e degraus de carga (Δi_{DC}) terão comportamentos semelhantes aos sistemas simulado (não linear) e teórico (linearizado e simplificado). Como os resultados experimentais (para degraus de plena carga) são semelhantes aos simulados e aos previstos teoricamente, pode-se concluir que o retificador é robusto a perturbações de carga, mantendo seu desempenho e estabilidade mesmo para grandes variações de carga.

5.3 DESEMPENHO DO PLL

Verifica-se o desempenho do PLL para variações na frequência da rede.

O PLL, como está implementado, gera uma referência senoidal de 60Hz, sincronizada com a rede. A Figura 5.21 mostra a referência do PLL gerada a partir de um sinal gerado utilizando-se a função “*sweep*” de um gerador de sinais simulando o sinal v_r da rede, que é captado no canal 2 do osciloscópio (forma de onda azul). O sinal senoidal gerado pelo PLL é captado pelo canal 1 do osciloscópio (forma de onda vermelha). Variando a frequência do gerador de 50 a 70 Hz, obtém-se os sinais apresentados nesta figura. Assim, a referência gerada por este PLL é sincronizada com a rede (referência externa). Caso a rede apresente uma frequência menor que 60Hz, o PLL produz uma referência adiantada da rede. Caso contrário, o PLL produz uma referência atrasada em relação à rede. Isto se deve ao fato do algoritmo implementado experimentalmente não medir o período do sinal de referência (v_r), tal como apresentado no item 3.2.3.

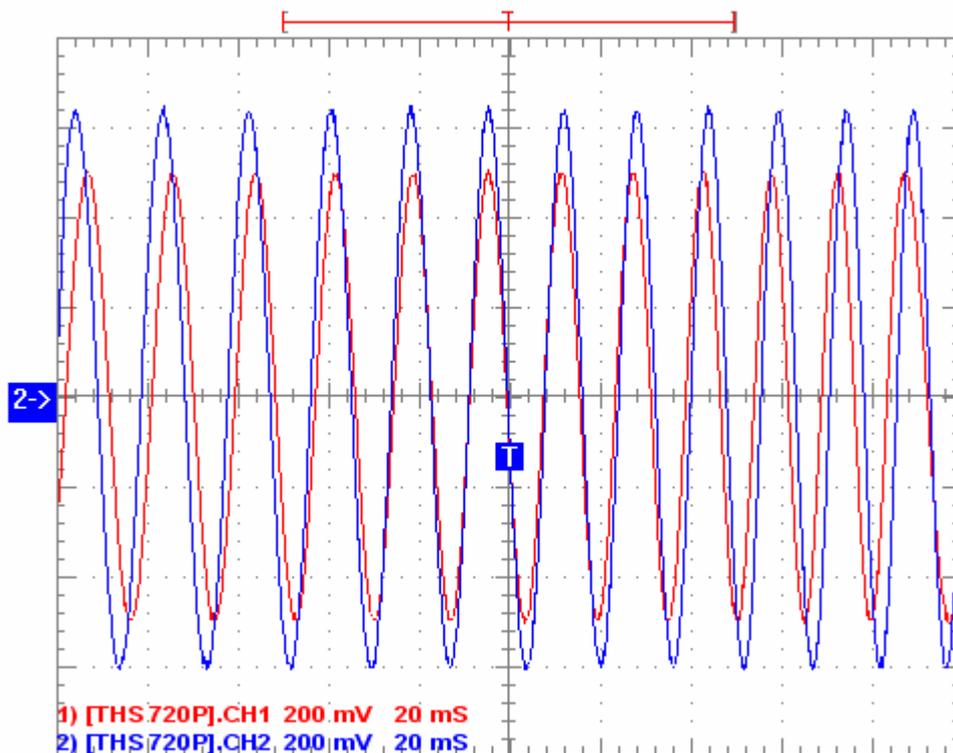


Figura 5.21: (Experimental) Resposta do PLL (vermelho) gerada a partir do sinal de frequência variável (azul).

Este PLL é capaz de manter o sincronismo com uma variação da frequência de referência de 30Hz a 90Hz, embora, para uma frequência diferente de 60Hz, o PLL introduza uma defasagem/adiantamento, como explicado anteriormente.

Por erro de aproximação do timer do PWM, nesta implementação aparece um *jitter* que é dado, teoricamente, pela resolução do timer do DSP multiplicada pelo número de amostragens em um ciclo da rede, o que dá 15,6 μ s.

5.4 TEMPO DE EXECUÇÃO

São medidos os tempos de execução do programa e, conseqüentemente, a máxima freqüência de chaveamento possível.

Para medir o tempo de execução do programa no DSP, utilizou-se uma variável interna que recebe o valor zero no início do programa e, no final, recebe novamente o valor um. Como o programa é executado na freqüência de amostragem (15kHz, neste caso), para visualização deste sinal, é necessário expandir suficientemente a base de tempo do osciloscópio, como apresentado na Figura 5.22.

Esta figura apresenta ainda a tensão v_{DC} em seu valor nominal (350V) e v_r na vizinhança de sua passagem por zero.

O tempo de execução é de 20 μ s (tempo em nível baixo, canal 4). Assim, para o algoritmo utilizado, a máxima freqüência de amostragem (limitada pela velocidade do DSP) é de 50kHz, resultando em máxima freqüência de chaveamento de 50kHz se utilizado PWM simétrico e 25kHz para o PWM assimétrico. Para o caso apresentado, tem-se um intervalo de 46,67 μ s (período de amostragem atual menos 20 μ s) disponível para outras tarefas, como proteção, supervisão, etc.

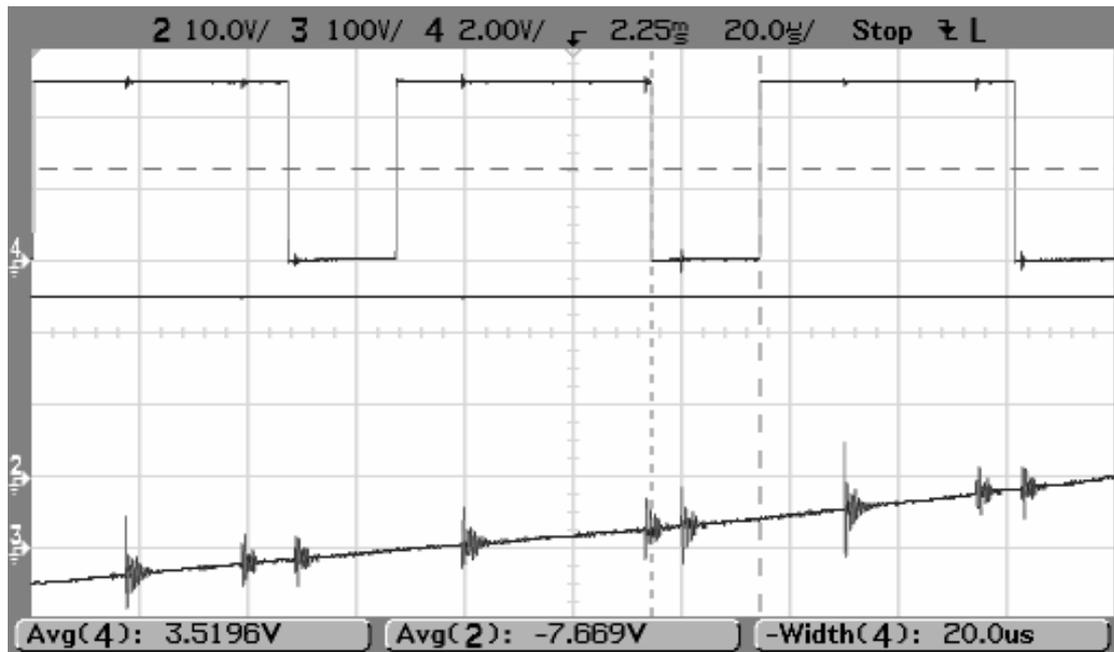


Figura 5.22: (Experimental) Tempo de execução do programa no DSP: (intervalo em nível baixo do traço superior) $20\mu\text{s}$, v_{DC} (no meio) e v_r (em baixo), mostrando a passagem por zero.

6 CONCLUSÃO

Tem-se o apontamento das principais contribuições deste trabalho, destacando as principais conclusões de temas discutidos ao longo dos outros capítulos. São listadas ainda possibilidades de prosseguimento deste trabalho.

Para o retificador estudado tem-se a modelagem da planta, dada por um sistema de duas equações diferenciais não lineares mostrado na Equação 15 (item 3.1).

O controlador das correntes CA de entrada no retificador (do tipo dead-beat) é modelado e mostrado na Equação 21 (item 3.2.1.1). A estabilidade deste controlador é discutida teoricamente no item 3.2.1.2, onde é mostrada sua limitação, uma vez que o sistema é oscilatório com amortecimento nulo nas condições de projeto e se torna instável para o caso do indutor real utilizado ser de valor inferior ao considerado em projeto. Entretanto, esta limitação do controlador dead-beat não ocorre na realidade, como mostrado por simulações (item 4) e experimentalmente (item 5). O item 3.2.1.2 mostra, também, que a planta com o controlador dead-beat apresenta a frequência natural não amortecida com valor de $\frac{1}{6}$ da frequência de amostragem, sendo portanto, esta, a causa das componentes harmônicas de $\frac{1}{6}$ da frequência de amostragem que aparecem no espectro das correntes CA mostrados nos itens 4 e 5.

Para o projeto do regulador de tensão CC (do tipo PI), é desenvolvido um modelo linearizado e aproximado em torno do ponto de operação em RP (item 3.2.2.1), a partir do qual é desenvolvida a função de transferência que relaciona a tensão CC com a corrente de carga e uma rotina de projeto para o controlador PI segundo parâmetros de desempenho escolhidos (itens 3.2.2.2 e 3.2.2.3). Tem-se no item 3.2.2.4 o cálculo dos parâmetros do controlador para este retificador, assim como uma análise do desempenho teórico para perturbações na carga a partir de alguns pontos de operação possíveis.

As simulações em RP (item 4.1) mostram que o retificador, embora apresente bom comportamento (rastreadabilidade das correntes CA e regulação da tensão CC), introduz componentes de baixas frequências nas correntes CA (componentes não características do conversor), o que ocorre devido a limitação do barramento CC (Figura 4.6), que não permite que o conversor imponha tensões maiores que a disponível no lado CC. São mostradas duas formas de contornar esta limitação:

- Elevação da tensão do barramento CC (Figura 4.8)
- Injeção de sequência zero nas referências das tensões a serem impostas pelo conversor (Figura 4.12)

Com as soluções anteriores, o espectro de frequências das correntes CA (Figura 4.13) apresentam apenas as componentes características (múltiplas da frequência de chaveamento) e componente de $\frac{1}{6}$ da frequência de amostragem, conforme previsto no item 3.2.1.2.

Tem-se na Tabela 4.1 os parâmetros de qualidade da energia utilizada pelo modelo simulado, mostrando excelente desempenho para diferentes condições de carregamento.

A análise de desempenho em RT do retificador simulado (item 4.2) comprova todas as previsões teóricas (item 3.2.2.4), com comportamentos muito semelhantes para diversos pontos de operação. Tem-se que os sub e sobre-sinais apresentam comportamento aproximadamente linear a perturbações de carga (Δi_{DC}), para qualquer ponto de operação e qualquer amplitude de perturbação.

O item 4.3 apresenta uma análise da robustez do sistema em malha fechada a variações no valor das indutâncias L, mostrando que o sistema é naturalmente estável, diferentemente do previsto teoricamente no item 3.2.1.2, devido a limitação do barramento CC, que impossibilita que o conversor imponha em sua entrada, tensões maiores que a disponível no lado CC. Os resultados das simulações mostram que, para indutores reais menores que os considerados em projeto, o sistema permanece estável, embora reduza o amortecimento da frequência natural do sistema,

aumentando, assim, a amplitude da componente de $\frac{1}{6}$ da frequência de amostragem nas correntes CA (Figura 4.27).

O capítulo 5 apresenta o comportamento do retificador implementado experimentalmente alimentado pela rede distorcida do LEP/EPUSP, comparando-o com o modelo simulado com as tensões de rede distorcidas. Observam-se comportamentos semelhantes, em todas as condições experimentadas, com exceção dos valores de potências, porque o modelo simulado não considera as perdas no retificador. Em RT (item 5.2), os índices de desempenho da planta real é muito semelhante aos índices obtidos para o modelo simulado (não linear) e para o modelo teórico (linearizado e simplificado), demonstrando, portanto, a validade do método de projeto proposto.

O retificador apresentado aqui possui inúmeras aplicações que se expandem à medida que caem os custos dos componentes e as aplicações se tornem mais sofisticadas.

Para continuidade deste trabalho outros aspectos podem ser tratados, como a compatibilidade eletromagnética do retificador e melhorias possíveis na implementação experimental, algumas listadas a seguir:

- Melhorar proteções e supervisão do processo.
- Melhorar o programa do DSP, como:
 - reduzir seu tamanho, o que possibilita aumentar frequência de chaveamento;
 - melhorar rotina de partida;
 - implementar a injeção de seqüência zero em v_{cref} .
- Verificar operação com indutores reais menores que o projetado, como previsto em simulação.

- Reduzir reatância de filtro (para, por exemplo, 10% da impedância de entrada do conversor), visando reduzir o custo e volume dos indutores.
- Aumentar frequência de chaveamento, onde, para este sistema, com melhorias no programa do DSP, pode ser possível chegar a 20kHz com dupla amostragem (amostragem assimétrica).
- Verificar a eficiência energética deste retificador e comparar com outros presentes na literatura.

ANEXO - IMPLEMENTAÇÃO EXPERIMENTAL

Descreve-se sucintamente o sistema utilizado para a implementação experimental.

DESCRIÇÃO DO SISTEMA

O diagrama da Figura A.0.1 mostra, simplificada, os blocos que compõem o retificador. A seguir tem-se a descrição de cada bloco.

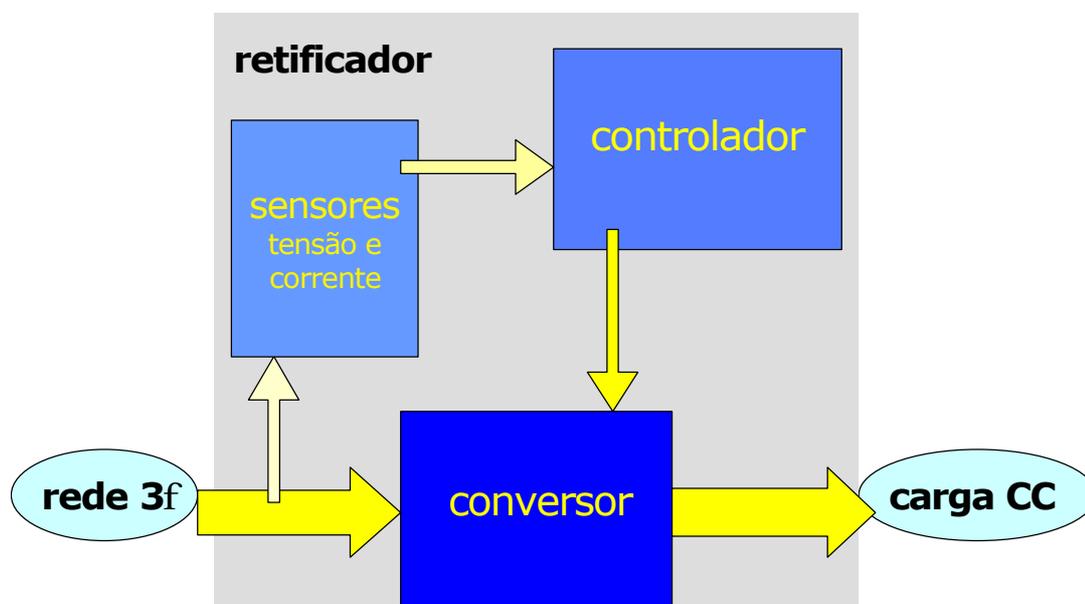


Figura A.0.1: Diagrama ilustrativo do retificador.

Foi utilizado um módulo de conversor trifásico genérico desenvolvido em projeto de iniciação científica apresentado em [17] e utilizado em [18] e [20]. Neste módulo, os sinais provenientes do controlador são isolados opticamente e acondicionados de forma produzir os atrasos necessários para o desligamento dos transistores (tipo MOSFET, modelo IRF-840). Após isso excitam o circuito de acionamento dos transistores da ponte (IR-2110).

São medidas duas tensões de linha e duas correntes CA, o que permite o cálculo das três tensões de fase e da terceira corrente de linha. Das grandezas CC é medida apenas a tensão. As medidas das tensões e correntes foram realizadas através de sensores por efeito Hall [31]. Para isso foram utilizados módulos de sensores de tensão e corrente desenvolvidos em pesquisa de iniciação científica apresentados em [17].

O controle foi implementado no DSP ADMC-401 [1], que é um DSP da Analog Devices [2], de ponto fixo, 16 bits, com relógio de 26MHz, utilizando seu kit de desenvolvimento [1]. A Figura A.0.2 mostra um diagrama em blocos do ADMC-401, que possui internamente bloco para geração de PWM trifásico, além de conversores A/D de 12 bits e amplitude de $-2V$ a $+2V$. A placa de desenvolvimento oferece adicionalmente oito canais de saídas analógicas, úteis para verificação das variáveis internas em tempo real.

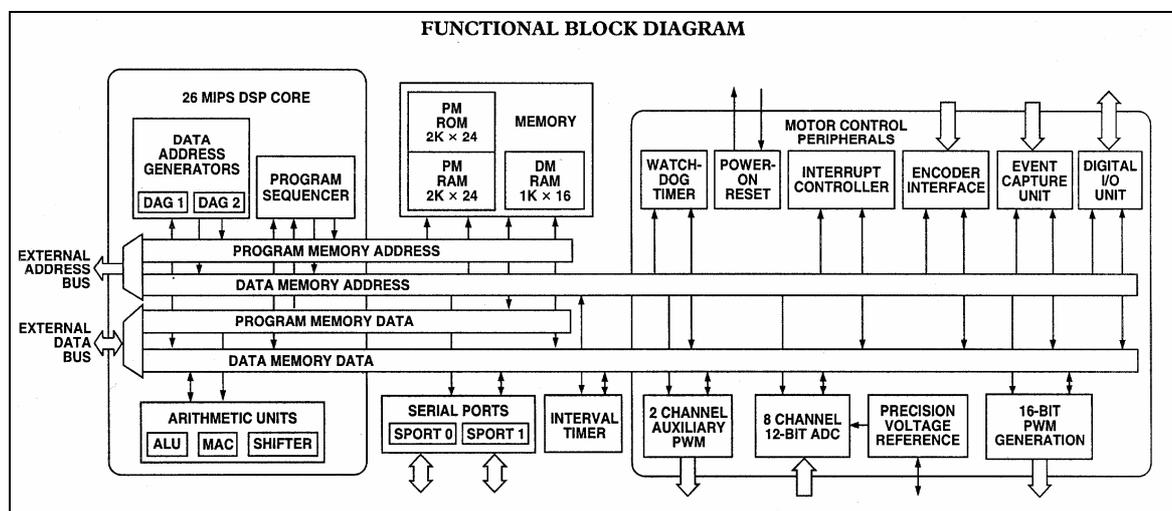


Figura A.0.2: Diagrama em blocos do ADMC-401.

A Figura A.0.3 mostra uma foto da montagem experimental e equipamentos utilizados. Tem-se na placa de madeira o conversor, os sensores, o kit do DSP e as fontes de alimentação destes circuitos. Dentro da caixa de alumínio estão os

indutores. Aparece à direita na foto o variac trifásico utilizado e as cargas resistivas (reostatos). No centro da foto aparecem os equipamentos usados para a aquisição dos sinais, todos da Tektronix: amplificadores das pontas de corrente AM503 e os osciloscópios (TDS3014B e THS720P).

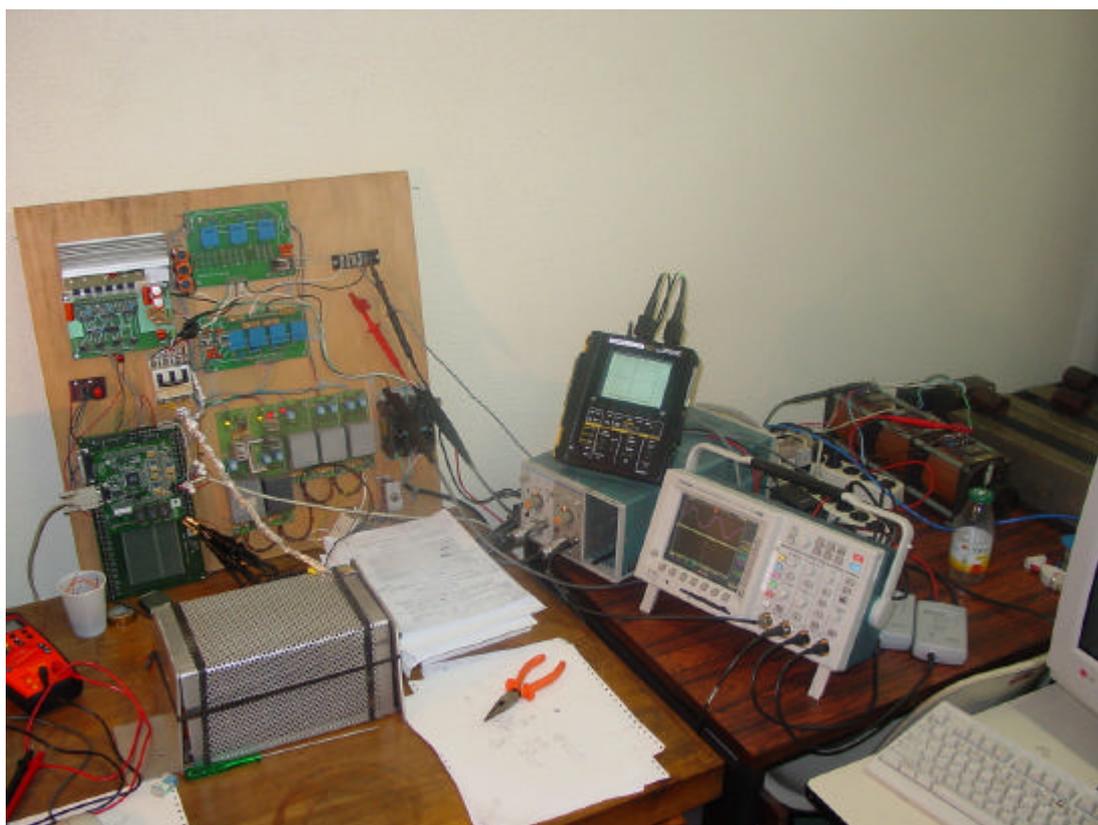


Figura A.0.3: Foto da montagem e equipamentos utilizados na experimentação.

LISTAGEM DOS PARÂMETROS EMPREGADOS

Aqui são apresentados os parâmetros utilizados na simulação e no arranjo experimental.

Os parâmetros empregados foram:

- Tensão de linha: 3 ϕ 220V eficazes
- Frequência da rede: 60Hz
- Indutores de linha: 92mH
- PWM assimétrico com frequência de 7,5kHz
- Tempo de amostragem do controlador de 66,667 μ s
- Capacitor de filtro lado CC: 390 μ F
- Tensão CC: 350V
- Resistência de carga (meia carga): 691 Ω
- Resistência de carga (carga nominal): 351 Ω
- Intervalo de integração: 1/(200*15000)s (simulação)

ESCOLHA DOS INDUTORES CA

Tem-se o método utilizado para dimensionamento dos indutores de filtro CA.

A reatância do filtro CA (indutores L) deve ser algo como 10% a 25% do módulo da impedância de entrada do retificador.

Para uma potência na entrada aproximadamente igual a da carga (P=350W), fica:

$$i_{fase} = \frac{350}{3 \cdot 127} = 919mA, \text{ e a impedância de entrada fica:}$$

$$Z = \frac{|V_{fase}|}{|I_{fase}|} = \frac{127}{0,919} = 138\Omega$$

Adotando a reatância do filtro como 20%, fica:

$$L = \frac{0.2 \cdot 138}{2 \cdot \pi \cdot 60} = 73mH$$

Foram utilizados indutores de 92mH, disponíveis no LEP/EPUSP, que corresponde a uma reatância de 25%.

LISTA DE REFERÊNCIAS

- [1] ANALOG DEVICES. ADMC401 EVALUATION KIT – todos os livros que fazem parte do kit de desenvolvimento, manuais de hardware e software. Disponíveis também em: <<http://www.analog.com/>>.
- [2] ANALOG DEVICES: Material de apoio e atualização de programas. Disponível em: <<http://www.analog.com/>>. Consultado em 20/05/2001.
- [3] ASTROM, K.; WITTENMARK, B. **Computer Controlled Systems – Theory and Design**. 2nd ed. Prentice-Hall International Editions. 1990.
- [4] BOWES, S. R. Advanced Regular-Sampled PWM Control Techniques for Drives and Static Power Converters. IEEE, 1993, pp 662-669.
- [5] BUSO, S. Digital Control of Power Converters. (Lecture notes). Disponível em <<http://www.dsce.fee.unicamp.br/~antenor/Digital.html>>. Consultado em 06/06/2001.
- [6] BUSO, S.; MALESANI, L.; MATTAVELLI, P. Dead-Beat Current Control for Active Filters. 24 Annual Conference of IEEE Industrial Electronics Society (IECON), Aachen, Germany, August 31 - September 4, 1998, pp 1859 – 1864.
- [7] CARLI, G. Elimination of Input Harmonic Currents in 3 Phase AC to DC Converters: a Practical Approach. 15th International Telecommunications Energy Conference, 1993, INTELEC '93, Volume 1, 27-30 Sept. 1993, Pages 399-406.
- [8] CHATTOPADHYAY, S.; RAMANARAYANAN V. Digital Implementation of a Line Current Shaping Algorithm for Three Phase High Power Factor Boost Rectifier without Input Voltage Sensing. IEEE Transactions on Power Electronics, Volume 19, Issue 3, May 2004, Pages 709-721.

- [9] CIVIDINO, L. Power Factor, Harmonic Distortion; Causes, Effects and Considerations 14th International Telecommunications Energy Conference, 1992. INTELEC '92, 4-8 Oct. 1992, Pages 506-513.
- [10] CRUZ, J. J. PEE-413 – Controle I. Apostila Didática, Departamento de Engenharia Eletrônica – PEE/EPUSP. São Paulo, 1999.
- [11] DIXON, J. W.; CONTARDO, J. M.; MORÁN, L. A. A Fuzzy-Controlled Active Front-End Rectifier with Current Harmonic Filtering Characteristics and Minimum Sensing Variables. IEEE Transactions on Power Electronics, Volume 14, Issue 4, July 1999, Pages 724-729.
- [12] DORF, R.; BISHOP, R. **Modern Control Systems** 8^a ed. Menlo Park, CA, USA: Addison-Wesley, 1998. 855p.
- [13] DOVAL-GANDOY, J.; CASTRO, C.; EQUIZÁBAL, L.; PEÑALVER, C. M. Minimum Hardware Solution for Implementing a Complete Control Algorithm for Voltage Source Rectifiers. The 25th Annual Conference of the IEEE Industrial Electronics Society, 1999, IECON '99, Volume 1, 29 Nov.-3 Dec. 1999, Pages 490-495.
- [14] DUARTE, J. L.; WINTJENS, J. A. A.; ROZENBOOM, J. Advantages of a Fully Digitized Preconditioner. In: International Conference on Power Quality: End-use Applications and Perspectives – PQA'94, 3., Amsterdam, 1994. Proceedings. Amsterdam, KEMA, 1994, Vol.1.
- [15] ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**, 2nd ed. USA. Kluwer Academic Publishers. 2001. 883p.
- [16] IEEE Standard 519-1992. Recommended Practices and Requirements for Harmonic Control in Power Systems. IEEE, 1992.
- [17] JUNQUEIRA, A. D.; KOMATSU, W.; MATAKAS JR, L. Controle Digital de Conversores Estáticos. 7o SICUSP, São Paulo, 1999.

- [18] JUNQUEIRA, A. D.; KOMATSU, W.; MATAKAS JR, L. Controle Digital de Conversores Estáticos II 8o SICUSP, São Paulo, 2000.
- [19] JUNQUEIRA, A. D.; MATAKAS JR, L.; KOMATSU, W. Digital Implementation of Three-Phase Rectifier with Dead-Beat Controller. In Revista de Eletrônica de Potência da SOBRAEP, vol. 7, no. 1, novembro, 2002, Brasil.
- [20] JUNQUEIRA, A. D.; YAMAGUTI, D. S.; KOMATSU, W.; MATAKAS JR, L. Retificador Trifásico com Alto Fator de Potência - 8o SICUSP, São Paulo, 2000.
- [21] KASSAKIAN, J. G.; SCHLECHT M. F.; VERGHESE G. C. **Principles of Power Electronics**. USA. Addison-Wesley Publishing Company Inc., 1992 738p.
- [22] KAWABATA, T.; MIYASHITA, T.; YAMAMOTO, Y. Dead Beat Control of Three Phase PWM Inverter, IEEE TRANSACTIONS ON POWER ELECTRONICS, Vol. 5, No. 1, January, 1990.
- [23] KAWAMURA, A.; HANEYOSHI, T.; HOFT, R. G. Deadbeat Controlled PWM Inverter with Parameter Estimation Using Only Voltage Sensor IEEE TRANSACTIONS ON POWER ELECTRONICS, Vol. 3, No. 2, April 1988.
- [24] KAWAMURA, A.; YOKOYAMA, T. Comparison of Five Control Methods for Digitally Feedback Controlled PWM Inverters. EPE, Firenze, 1991.
- [25] KAWAMURA, A.; YOKOYAMA, T. Comparison of Five Different Approaches for Real Time Digital Feedback Control of PWM Inverters. Conference Record of the 1990 IEEE Industry Applications Society Annual Meeting, 1990, 7-12 Oct. 1990, Pages 1005-1011, vol.2.
- [26] KAZMIERKOWSKI, M.P.; MALESANI, L. Current Control Techniques for Three-Phase Voltage-Source PWM Converters: A Survey. IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol. 45, No. 5, October 1998. p. 691-703.

- [27] KOLAR, J. W.; ERTL, H. Status of the Techniques of the Three-Phase Rectifier Systems with Low Effects on the Mains. In 21st INTELEC, Copenhagen, Denmark, IEEE, 1999.
- [28] KOMATSU, W. PEA-5788 Conversores Comutados em CA - Notas de Aula. PEA/EPUSP. São Paulo, 2001.
- [29] KOMATSU, W.; KAISER, W.; MATAKAS, L. PWM Current Source Converter with Deadbeat Control. In: INTERNATIONAL POWER ELECTRONICS CONFERENCE, Tokyo, 2000. Proceedings. Tokyo, IEEJ, 2000, Vol.2, p.911-917.
- [30] KORONDI, P.; NAGY, L.; NEMETH, G. Control of a Three Phase UPS Inverter with Unbalanced and Non Linear Load. EPE 1991, pp 3-180.
- [31] LEM COMPONENTS: Projeto envolvendo sensores LEM. Disponível em: <<http://www.lem.com/www.nsf>>. Consultado em 05/05/2001.
- [32] MALESANI, L.; MATTAVELLI, P.; BUSO, S. Robust Dead-Beat Current Control for PWM Rectifiers and Active Filters. IEEE Transactions on Industry Applications, vol. 35, No. 3, May/June 1999, pp 613-620.
- [33] MALESANI, L.; TENTI, P. A Novel Hysteresis Control Method for Current Controlled Voltage Source PWM Inverters With Constant Modulation Frequency. IEEE Transactions on Industry Applications, Volume 26, Issue 1, Jan.-Feb. 1990, Pages 88-92.
- [34] MARAFÃO, J. A. G.; POMILIO, J. A.; SPIAZZI, G. Implementação e Controle de Retificador Trifásico de Alta Qualidade com Comutação em Baixa Freqüência. In Revista de Eletrônica de Potência da SOBRAEP, vol. 7, no. 1, novembro, 2002, Brasil.
- [35] MATAKAS Jr., L. Conexão Paralela de Conversores Estáticos do Tipo Fonte de Tensão Sem Transformador – Características e Estratégias de Controle. Tese de Doutorado, Escola Politécnica da Universidade de São Paulo, Departamento de Energia e Automação Elétricas, São Paulo, 1998.

- [36] MATAKAS Jr., L. High Power, High Performance Parallel Connected Multiconverters: Analysis and Control In: CONGRESSO BRASILEIRO DE AUTOMÁTICA, 11, São Paulo, 1996, CBA.
- [37] MATAKAS Jr., L. PEA- Conversores Estáticos do tipo PWM Utilizados em FACTS e Filtros Ativos - Notas de Aula. PEA/EPUSP. São Paulo, 2001.
- [38] MATAKAS Jr., L. PEA- Introdução aos Conversores Estáticos Modulados em Largura de Pulso (PWM) - Notas de Aula. PEA/EPUSP. São Paulo, 2001.
- [39] MATAKAS Jr., L. Retificadores Especiais. Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, Departamento de Energia e Automação Elétricas, São Paulo, 1988.
- [40] MATAKAS Jr., L., MASADA, E., MORIZANE, T., KOSEKI, S. Full Digital Control of Power Electronics Converter Using Transputers. In: PROCEEDINGS OF THE 4TH TRANSPUTER/OCCAM INTERNATIONAL CONFERENCE, June/92, Tokyo, Japan.
- [41] MATAKAS Jr., L.; MASADA, E. An Instantaneous Optimum PWM and its Comparison to the Space Vector and Regular Sampling Methods. In National Convention of the Institute of Electrical Engineer of Japan. Tokyo, 1994.
- [42] MEHL, E.; BARBI, I. Design Oriented Analysis of a High Power Factor and Low Cost Three-phase Rectifier. . Power Electronics Specialists Conference, 1996. PESC '96, 27th Annual IEEE Record. Volume 1, 23-27 June 1996, Pages 165-170.
- [43] MICROCHIP Fabricante de Microcontroladores da Família PIC, Disponível em <http://www.microchip.com>. Consultado em 25/05/2004.
- [44] MIDAVAINÉ, H.; LE MOIGNE, P.; BARTHOLOMEUS, P. Multilevel Three Phase Rectifier with Sinusoidal Input Currents. Power Electronics Specialists Conference, 1996. PESC '96, 27th Annual IEEE Record, Volume 2, 23-27 June 1996, Pages 1595-1600.

- [45] MIGUCHI, Y.; KAWAMURA, A.; HOFT, R. Optimal Pole Assignment for Power Electronics Systems. ANNUAL IEEE POWER ELECTRONICS SPECIALISTS CONFERENCE, Toulouse, 1985.
- [46] MOHAN, N. **Power Electronics: Computer Simulation, Analysis and Education Using Pspice**, Minnesota Power Electronics Research & Education, USA, 1991.
- [47] MOHAN, N.; UNDELAND, M. T.; ROBBINS, W. P. **Power Electronics: Converters, Applications and Design** – 2nd ed. USA, John Wiley & Sons, Inc, 1995. 802p.
- [48] MOHLER R. R. **Bilinear Control Process With Applications to Engineering, Ecology and Medicine**, USA, Academic Press, 1973.
- [49] NAGY, I., MATAKAS Jr., L.; MASADA, E. A Novel Adaptive Switching Pattern of AC-DC Conversion for Suppressing Network Pollution. Third International Conference on Power Quality: End Use Applications and Perspectives (PQA94). Amsterdam, The Netherlands.
- [50] ORCAD Fabricante do Simulador de Circuitos Pspice, Disponível em <http://www.orcad.com/>. Consultado em 25/05/2004.
- [51] ORSINI, L. Q. Curso de Circuitos Elétricos – volume I. Editora Edgard Blucher - São Paulo, 1997.
- [52] POMILIO, J. A. Fontes Chaveadas. Material Didático de Pós Graduação, disponível em <http://www.dsce.fee.unicamp.br/~antenor>, consultado em 17/08/2002. UNICAMP-Campinas.
- [53] POMILIO, J. A. Pré-reguladores de Fator de Potência. Material Didático de Pós Graduação, disponível em <http://www.dsce.fee.unicamp.br/~antenor>, consultado em 17/08/2002. UNICAMP-Campinas.
- [54] POULIQUEN, H.; LE BITOUX, M.; SCHIMITT, A.; DEFLANDRE, T. Disturbances Generated by Power Rectifiers: Existing Solutions and Future

Prospects. 12th International Conference on Electricity Distribution, 1993, CIRED, 17-21 May 1993, Pages 5.18/1 - 5.18/5, vol.5.

- [55] QIAO C.; SMEDLEY, K.M.; A Topology Survey of Single-Stage Power Factor Corrector with a Boost Type Input-Current-Shaper. APPLIED POWER ELECTRONICS CONFERENCE, 2000, Proceedings, Vol.1, pp 460-467.
- [56] SALAMA, S.; LENNON, S. Overshoot and Limit Cycle Free Current Control Method for PWM Inverters. EPE 1991, pp 3-247.
- [57] SATO, S.; SUEHIRO, Y.; NAGAI, S.; MORITA, K. High Efficiency Soft-Switching 3-Phase PWM Rectifier. Telecommunications Energy Conference, 2000. Twenty-second International INTELEC, 10-14 Sept. 2000, Pages 453-460.
- [58] SATO, Y.; ISHIZUKA, T.; NEZU, K.; KATAOKA, K. A New Control Strategy for Voltage Type PWM Rectifiers to Realize Zero Steady-State Control Error in Input Current. IEEE Transactions on Industry Applications, Volume 34, Issue 3, May-June 1998, Pages 480-486.
- [59] SATO, Y.; KAWAMURA, K.; MARIMOTO, H.; NEZU, K. Hybrid PWM Rectifiers to Reduce Electromagnetic Interference. Industry Applications Conference, 2002, Conference Record of the 37th IAS Annual Meeting, Volume 3, 13-18 Oct. 2002, Pages 2141-2146.
- [60] TENTI, P.; ZUCCATO, A.; ROSSETTO, L.; BORTOLOTTI, M. Optimum Digital Control of PWM Rectifiers. 20th International Conference on Industrial Electronics, Control and Instrumentation, 1994, IECON '94, Volume 1, 5-9 Sept. 1994, Pages 382-387.
- [61] TEXAS INSTRUMENTS, Fabricante de Circuitos Integrados (entre eles, DSPs), disponível em: <www.powerti.com>. Consultado em 25/05/2001.
- [62] VAN DER BROECK, H. W.; SKUDELNY, H. C.; STANKE, G. V. Analysis and Realization of a Pulse Width Modulation Based on Voltage Space Vectors. IEEE Trans, IA-24, (1), 1988. pp. 142-150.

- [63] VERDELHO, P. Voltage Type Reversible Rectifiers Control Methods in Unbalanced and Non-sinusoidal Conditions. Proceedings of the 24th Annual Conference of the IEEE Industrial Electronics Society, 1998, IECON '98, Volume 1, 31 Aug.-4 Sept. 1998, Pages 479-484.
- [64] VERDELHO, P.; MARQUES, G. D. DC Voltage Control and Stability Analysis of PWM-Voltage-Type Reversible Rectifiers. IEEE Transactions on Industrial Electronics, Volume 45, Issue 2, April 1998, Pages 263-273.
- [65] VERDELHO, P.; SOARES, V. A Unit Power Factor PWM Rectifier Based on the Instantaneous Active and Reactive Current i_d - i_q Method. Proceedings of the IEEE International Symposium on Industrial Electronics, 1997. ISIE '97, Volume 2, 7-11 July 1997, Pages 411-416.
- [66] WERNEKINCK, E.; KAWAMURA, A.; HOFT, R. A High Frequency AC/DC Converter with Unity Power Factor and Minimum Harmonic Distortion. IEEE Transactions on Power Electronics, Volume 6, Issue 3, July 1991, Pages 364-370.
- [67] ZHOU, K.; WANG, D.; XU, G. Repetitive Controlled Three-Phase Reversible PWM Rectifier. In AMERICAN CONTROL CONFERENCE, Chicago – Illinois, June 2000.